

# 相变存储器离散地址数据写入读出 控制系统设计

植耀玲, 伍华丽

(广西壮族自治区防雷中心, 南宁 530022)

**摘要:** 采用传统系统受到干扰信号影响, 控制能力变差, 提出设计一种基于可编程逻辑阵列方式的相变存储器离散地址数据写入读出系统, 可改善控制能力; 选用 Xilinx 公司的 Spartan-6 芯片作为配置基础, 设计抗干扰可编程逻辑阵列主—被动配置方案, 促使硬件具有抵抗信号干扰的能力, 以该方案对电路进行连接; 将硬件主—被动配置软件功能进行设计, 以时序图来展示控制结果, 可抵抗外界信号造成的干扰; 通过实验结果得出, 该系统最低控制能力也可达到 80%, 即使在强信号干扰下, 也能对离散地址数据写入与读出进行有效控制。

**关键词:** 变存储器; 离散地址; 数据; 写入; 读出; 控制

## Design of Read out Control System for Variable Memory Discrete Address Data writing

Zhi Yaoling, Wu Huali

(Lightning Protection Center of Guangxi Province, Nanning 530022, China)

**Abstract:** The traditional system is affected by the interference signal and the control capability is worse. It is proposed to design a discrete address data write in readout system based on programmable logic array, which can improve the control ability. Using Spartan-6's Xilinx chip as the basic configuration, programmable logic array and passive configuration scheme of anti-jamming design, the hardware has the ability to resist the interference signal, the scheme of the hardware circuit are connected; the main passive configuration software function design, with sequence diagram to show the result of control, can resist external interference signal the. The experimental results show that the minimum control ability of the system can also reach 80%. Even under strong signal interference, it can effectively control discrete address data writing and reading.

**Keywords:** variable memory; discrete address; data; write; readout; control

## 0 引言

相变存储器一种新型的非易失性存储器, 在嵌入式系统中发展迅速, 对于离散地址数据的写入与读出, 使用该存储器能够提高读写速度, 但存在无法控制读写能力问题。检查离散地址数据是否存储于计算机中, 如果已经存储, 那么需要发送信号传递给控制板, 由控制板对数据进行读取, 在此过程中一旦出现错误信息, 需将所有数据信息全部返回到计算机中, 重新筛选正确信息发送。对于写入与读出标准需遵循智能卡 ISO-7816 标准, 满足系统 GSM11.11 技术需求, 操作系统可为网络提供相应支持, 方便降低系统开发难度, 适合控制板系统操作标准<sup>[1]</sup>。设计控制功能可实现系统快速对数据进行写入与读出, 不但节省了时间, 又提高了工作效率, 但是采用传统系统存在控制能力

差问题, 无法满足控制基本需求, 为此, 采用可编程逻辑阵列对功能进行设计, 实现变存储器离散地址数据写入读出有效控制, 通过实验验证结果可知, 该系统控制能力较强。

## 1 读写控制系统设计

相变存储器离散地址数据写入读出控制系统的设计需从系统硬件与软件两方面展开, 将硬件结构划分为芯片选择、配置方式和电路连接方式三部分, 详细描述可编程逻辑阵列配置方式以及电路设计, 确保系统供电电源稳定; 将硬件中配置进行软件功能设计, 对写入与读出主要以时序图展示。

### 1.1 控制系统硬件设计

系统整体硬件结构如图 1 所示。

图 1 中包含了系统异步收发传输器、微控制单元、可编程只读存储器和时钟、电平转换等模块, 其中可编程逻辑阵列配置的电路设计主要是为了引导编程完成复位、相应程序配置和初始化等步骤, 该配置通常分为两种, 一种是主动配置, 另一种为被动配置; 微控制单元为电源提供按键功能; 电平转换为电源电路提供稳定输入电压, 而通

收稿日期: 2018-03-29; 修回日期: 2018-05-25。

基金项目: 广西雷电业务产品共享及 CIMISS 对接应用技术研究。

作者简介: 植耀玲(1985-), 女, 广西桂林人, 硕士研究生, 工程师, 主要从事雷电监测预警方向的研究。

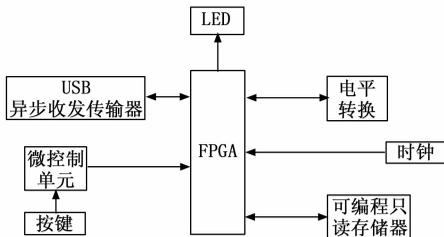


图 1 控制系统硬件结构图

信接口处电路可完成外围设备与内在设备电路连接<sup>[2]</sup>。

根据划分模块将微控制单元和通信接口单元进行统一描述,可编程逻辑阵列配置设计包括芯片选择、配置方式和电路连接方式,电路连接为芯片提供稳定电压。

### 1.1.1 芯片选择

根据上述系统整体硬件结构,需对可编程逻辑阵列中的芯片进行选择,完成与计算机命令交互的时序处理任务,在具体操作过程中,需要使用丰富逻辑关系保障资源利用效率,同时也保证了系统性能,降低了成本。选择 Xilinx 公司的 Spartan-6 芯片具有功率高、消耗低的优势,其性价比和功耗也能完美搭配,促使系统硬件部分的设计拥有较低的成本,可适合大批量生产<sup>[3]</sup>。采用 45 nm 的 Spartan-6 芯片可编程逻辑阵列具有动静态功率下消耗低特点,功率消耗是传统芯片 50%左右,具有如下属性:

1) 低功耗具有效率高优势,采集集成模块,优化 I/O 选择标准,在待机条件下,可保持系统工作状态与当前配置相符,采用多引脚方式支持零功耗休眠状态;

2) 设计多个电压方便存储器接口的选择,兼容 3.0~1.5 V 的标准协议,采用 I/O 转换速率可完成调节,进而提高信号传送完整性;

3) 设计集成存储器控制模块能够支持多种接口信息存储,电路总线带有独立半共享式存储器 (FIFO);

4) 具有丰富资源,支持寄存器采用分布式设计原理;

5) 具有不同粒度易挥发性随机存取存储器具有写入与读出速度快的特点,按照字节完成功能设计;

6) 采用低噪声、灵活性强时钟管理方式,可提升系统性能;

7) 采用多重配置方式,在引脚处设计自动检测装置,支持多重启动方式。

### 1.1.2 抗干扰可编程逻辑阵列配置

以上述选择 Spartan-6 芯片的属性作为配置条件,为可编程逻辑阵列提供低成本方案。启动电源,对可编程逻辑阵列配置内部寄存器和引脚进行初始化操作,待操作完成后,将可编程逻辑阵列工作模式切换到用户工作模式,此时需解除 I/O 引脚的高阻值状态,按照硬件描述设计编程语言工作。

为了提高系统在信号干扰情况下仍然具有较高的控制能力,需设计两种可编程逻辑阵列配置方式,分别是主动模式和被动模式<sup>[4]</sup>。

#### 1.1.2.1 主动模式

针对 Spartan-6 芯片主动配置模式是将可编程逻辑阵列作为主要器件,外部相变存储器为配件,在启动电源之后,将器件中配置数据全部读取出来,将读取的数据存储到静态随机存储器之中,该配置方式有两种,分别是串行配置和并行配置,方便电路设计。

#### 1.1.2.2 被动模式

针对 Spartan-6 芯片被动配置模式是将可编程逻辑阵列作为配件,微控制单元作为主要器件,将这两种器件视为控制芯片主要装置,通过对芯片控制所提供时序图,才能精准对编程进行配置,同样该配置方式也具有两种,分别是串行配置和并行配置,方便电路设计<sup>[5]</sup>。

在串行模式下,对存储器中数据进行自动加载,选择某公司 50 MHz 的 M25P128 型号时钟接口为总线接口,将 Spartan-6 芯片可编程逻辑阵列作为主器件, PROM 作为配件,将两者连接后形成了配置主要结构。Spartan-6 芯片的引脚处还需设置成 01,方便后续引脚编号。将芯片底部引脚 CCLK 与 M25P128 型号时钟引脚进行连接,为主配器件串行接口提供时钟数据输入通道;将芯片两侧 MOSI 和 DIN 引脚分别连接 M25P128 型号时钟数据写入和数据读出引脚,如果向上拉伸可获取相应数据指令,此时串行输入状态为封锁状态;如果向下拉伸,需改变数据输出状态。将 Spartan-6 芯片 CS0\_B 作为器件引脚可直接与 M25P128 型号时钟信号控制引脚连接,为芯片提供可选择的信号。

利用 Spartan-6 芯片设计主—被动可编程逻辑阵列配置方案,在主动模式下,可编程逻辑阵列需从相变存储器中读取相关配置数据,引导整个配置过程。当电源启动后,配置数据将全部加载到阵列中,数据不会丢失,适合只对数据加载受到信号干扰情况下开发,数据仍然保持完整;在被动模式下,需将外部控制芯片带入整个电路引导配置过程当中,将可编程逻辑阵列作为存储机制,将已经配置完成的数据全部写入到阵列之中,从阵列中对数据进行在线烧写,并全部存储到静态随机存储器。如果出现断电,那么数据将全部消失,此时需重新烧写,适合对系统正常运行受到信号干扰情况下开发,数据可重新加载。该配置方案是系统硬件设计的创新之处,有效解决了信号干扰问题。

#### 1.1.3 电路连接

根据上述选择配置方案,将控制电路设计为 5 V、3.3 V 以及 1.2 V 三种不同电压,而系统电源为 9 V,将 9 V 电压作为输入电源,为其它供电电压提供直流电源。将直流电压通过芯片降压的具体步骤为:首先将直流电压转换为交流电压。然后将电压进行变压处理,最后将变压后电压转化为直流电压输出。芯片具有三种电路形式,分别是降压、升压与隔离<sup>[6]</sup>。

控制系统电路设计结构如图 2 所示。

将电源开关启动,为系统提供 9 V 交流电压,通过转

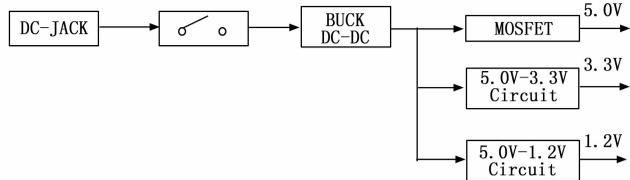


图 2 控制系统电路设计结构

换降压, 变为 5 V, 全部输出, 此时输出电压可为目标提供安全电源电压。可编程逻辑阵列通过一个金属氧化物半导体场效应管座位控制开关, 对目标进行控制, 为芯片所需的三种电压通过上述过程转换获取<sup>[7]</sup>。

系统硬件设计从整体结构方面展开分析, 设计总体结构, 选择芯片种类, 随后对控制核心器件进行配置, 详细描述可编程逻辑阵列配置方式以及电路设计, 确保系统供电电源稳定, 并提高系统在信号干扰条件下的硬件控制能力。

### 1.2 控制系统软件设计

将上述硬件主—被动配置进行软件功能设计, 主要以时序图展示, 其中包括时序命令解析、状态转换和读写操作等。交互软件中设计既包括微控制单元两部分, 又包括面向对象程序的编程, 在 visual studio2017 开发环境下, 使用程序语言 C++ 完成面向对象的程序编写, 微控制单元仅使用 C 语言就可完成编写。采用中断式的编程方式可实现可编程逻辑阵列的交互, 其中主要涉及微控制单元的按键与串联接口<sup>[8]</sup>。由于计算机与程序之间控制单元需通过独立通道完成, 互不干扰。

计算机与微控制单元涉及的流程基本一致, 如图 3 所示。

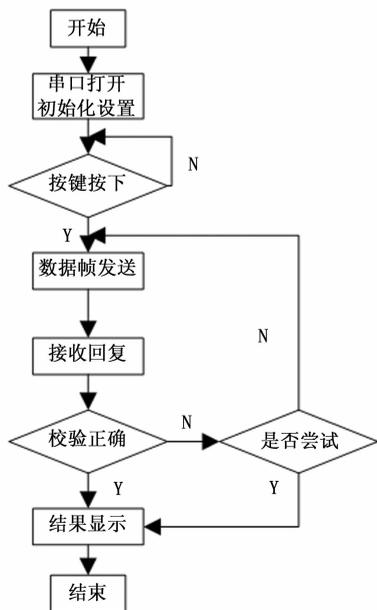


图 3 软件设计流程

由图 3 可知: 一旦程序启动, 那么串口需及时打开, 并进行初始化设置, 等待按键接触命令发送, 可编程逻辑阵列在串口接收到数据后, 需进行验证, 待完成之后, 再向上位机的微控制单元传送, 将接收的数据从串口处进行信号回复, 并解析处理, 如果验证结果正确, 那么直接向用户展示结果; 如果验证结果错误, 那么说明串联数据接口信息发送或者接收时出现错误, 计算机需重新向串口处发送指令数据, 进行下一次的接收与校验。倘若发送所有命令均无法得到正确回复, 那么在结果显示时会出现系统出现故障字样。对于数据发送指令与接收, 其长度都会小于 6 字节长度, 数据发送指令与接收都能够正常完成, 说明完成一次交互<sup>[9]</sup>。

根据软件设计流程对芯片配置写入与读出进行设计, 其中写入行为是以页为基本单位实现的周期性执行动作, 写入指令时序图, 如图 4 所示。

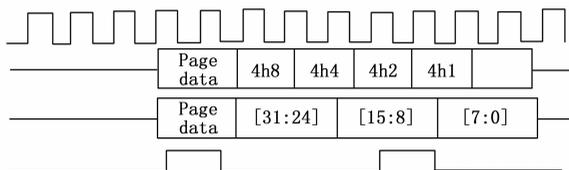


图 4 写入操作时序

发送操作指令时, 需指定固定页码地址, 同时写入跳变结果, 将 4 个字节从高到低依次写入, 组合成 32 位的比特数据即为 1 个单词。在信号接口处, 离散地址信号 SOC\_ADR [16: 2] 组合值形成一页数据实际值, 离散地址信号 SOC\_ADR [15: 8] 组合值形成一个比特的数据值, 连续时间段的周期数据组成一个 32 位的比特数据即为 1 个单词。

读出行为也是具有周期性执行动作, 读出指令时序图, 如图 5 所示。

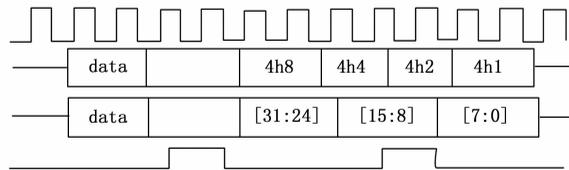


图 5 读出操作时序

指定单词地址进行读取, 首先发送数据地址, 将离散地址电平 SOC\_ALE 拉高, 并封锁到相应存储器中, 保持高电平禁止将数据写入其中, 延时等待, 读取 1 个单词数据, 并在连续周期内依次赋予时间值, 并将数据值对应的数据全部返回到离散地址信号 SOC\_ADR [15: 8] 信号线中。

将硬件配置进行软件功能设计, 主要以时序图展示。写入行为是以页为基本单位实现周期性执行动作, 而读出行为也是具有周期性的, 分别设计写入与读出指令时序图, 可以阻止信号干扰造成的数据地址发送不明确现象发生,



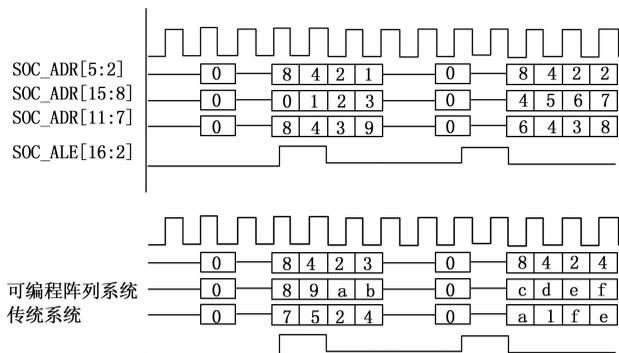


图 8 不同系统输出时序图验证对比结果

号干扰, 传统系统控制能力达到了在信号强度为 400 Hz 时, 控制能力达到了最低为 42%, 而采用可编程逻辑阵列方式设计的系统控制能力始终在 80% 上下波动, 无明显变化。分别对写入和输出端口施加激励后, 采用可编程逻辑阵列方式设计的系统写入和输出数据获取结果与标准值相一致。由此可知, 针对配置 Spartan-6 FPGA 硬件中的写入与输出功能能够对整个系统进行有效控制, 且控制能力较强。

### 3 结束语

采用可编程逻辑阵列对相变存储器离散地址数据写入读出控制系统进行设计, 可抵抗外界信号造成的干扰, 尤其是在信号干扰强度较大的工厂或企业可使用该控制系统完成离散地址数据的读写。虽然该系统具有良好的控制能力, 但也发现该系统存在需要改进与提升的地方。经过对系统进行多轮测试后, 发现其稳定性还有待验证, 在配置

验平台为基础, 组建了 RS485 主从式通信网络, 设计和实现了帧解析的通信算法, 并在此基础上进行了分析和优化, 实现了基于帧元数据的解析通信算法, 在实际的综合试验平台上进行了验证, 结果表明满足实际的应用需求。其中, 在主备单元之间的信息传输重构上, 采用了文献 [8] 中类似的硬件支持的共享 RAM 方式, 在后续的工作中可以考虑直接采用主从网络通信来实现, 如参考文献 [7] 中 1-坚持型退避算法、文献 [9] 中类似于以太网的载波监听多路访问/冲突检测协议 (CSMA/CD) 来解决通信总线的冲突检测问题, 借鉴文献 [10] 中所述 BIT 可靠性的软硬件设计方法来进一步提高通信的可靠性。

### 参考文献:

[1] Costa L, Fernandes J. On-line control systems using RS485 [A]. ISA TECH/EXPO Technology Update Conf Proc [C]. Houston; Instrument Society of America, 2001: 695-700.  
 [2] NI Haiyan, HU Chao, MA Changwang. Reserch on a 485 -serial network in intelligent uptown managemeng [A].

软件中的代码效率需进行优化, 为此, 在未来研究中, 还需进行深入探讨。

### 参考文献:

[1] 李建鹏, 张颖, 张瑞, 等. 区间时变时滞离散系统的稳定性分析及控制器设计 [J]. 哈尔滨工业大学学报, 2017, 39 (11): 18-23.  
 [2] 王申全, 王越男, 庞基越, 等. 基于网络的离散切换时滞系统故障检测和控制器协同设计 [J]. 控制与决策, 2017, 32 (10): 1810-1816.  
 [3] 任勇峰, 刘晨晖, 李辉景. 基于 NANDFLASH 的双备份数据存储器的设计与实现 [J]. 电子器件, 2017, 40 (4): 862-867.  
 [4] 谢维, 段建民, 房泽平, 等. 基于二维模型理论的离散观测器重复控制系统 [J]. 北京工业大学学报, 2017, 43 (1): 86-93.  
 [5] 廖永龙, 廖福成. 利用提升-预估法设计离散时间时滞线性系统的预见控制器 [J]. 控制与决策, 2017, 32 (8): 1359-1367.  
 [6] 杨志勇, 董振兴, 朱岩, 等. 星载高速大容量存储器文件化坏块管理设计 [J]. 电子技术应用, 2017, 43 (6): 11-14.  
 [7] 李荣. 基于驻留时间切换下离散切换系统的异步控制器设计 [J]. 自动化学报, 2017, 43 (8): 15-20.  
 [8] 刘琦, 刘森, 龙世兵, 等. 阳离子基阻变存储器的研究进展 [J]. 中国材料进展, 2017, 36 (2): 81-87.  
 [9] 闫卉, 张光, 闫磊. PLC 可编程逻辑器件的选择方法 [J]. 电子设计工程, 2017, 15 (12): 29-32.  
 Proc 2006 IEEE Press [C]. 2006: 400-405.  
 [3] B&B Electronics Mfg. Co. Inc. RS422 and RS485 Application Note [EB/OL]. [2008-01-03]. <http://www.bb-elec.com/bb-elec/literature/tech/485appnote.pdf>.  
 [4] Arinc Specification 429 Part 1: Function Description, Electrical Interface, Label Assignments and Word Formats [EB/OL]. [2001-09-27]. <http://www.aviation-ia.com>.  
 [5] 沈红星. 一种基于 RS485 总线的网络协议及其实现方法 [J]. 单片机与嵌入式系统应用, 2003, 3 (6): 68-70.  
 [6] 闫成华, 周余, 都思丹. 基于嵌入式 Linux 的 RS485 通信协议 [J]. 计算机工程, 2008, 34 (11): 278-279.  
 [7] 冯子陵, 俞建新. RS485 总线通信协议的设计与实现 [J]. 计算机工程, 2012, (20): 80-82.  
 [8] 史兴安, 姜智忠. RS-485 串行总线在实时控制中的应用 [J]. 微电子学与计算机, 2001 (2): 49-51.  
 [9] 谢希仁. 计算机网络 (5 版) [M]. 北京: 电子工业出版社, 2008.  
 [10] 周前柏. 一种提高 RS422 通信 BIT 可靠性的设计方法 [J]. 计算机测量与控制, 2015, 23 (11): 16.