

固态存储器短周期存取速度动态控制

崔道江, 张小平, 李勇

(新疆轻工职业技术学院 信息与软件分院, 乌鲁木齐 830021)

摘要: 由于传统控制方法出现数据误码、存储内存不足问题, 导致控制性能变差, 为了解决该问题, 需对固态存储器短周期存取速度进行动态控制; 根据短周期存取速度控制原理, 采用均衡加重技术, 设计具有针对性的数据传输介质来解决数据误码问题; 利用 NANDFLASH 双平面交替编程的分时加载操作方式, 扩大存储内存; 使用二级缓存方式对扩大后的内存数据进行缓存读取, 根据多线组合指令动态控制缓存读取结果; 通过实验结果得出, 该方法最低误码率可达到 5%, 控制性能较好。

关键词: 固态存储器; 短周期; 存取; 速度; 动态控制; 误码率

Dynamic Control of Short Cycle Access Speed in Solid-state Memory

Cui Daojiang, Zhang Xiaoping, Li Yong

(Department of Information and Software, Xinjiang Institute of Light Industry Technology, Urumqi 830021, China)

Abstract: Due to the problem of data error and insufficient memory in traditional control methods, the control performance becomes worse. In order to solve this problem, we need to control the short period access speed of solid-state memory dynamically. According to the principle of short cycle access speed control, the balanced weighting technique is adopted to design a targeted data transmission medium to solve the problem of data error code. The storage memory is expanded by using the time-sharing operation mode of NANDFLASH double plane alternating programming. The two level caching method is used to read the enlarged memory data, and the results are dynamically controlled according to the multi line combination instruction. The experimental results show that the minimum error rate of the method can reach 5% and the control performance is good.

Keywords: solid-state memory; short cycle; access; speed; dynamic control; bit error rate

0 引言

固态存储器在我国航天航空领域和工业行业得到了广泛应用, 由于信息检测技术的快速发展, 数据存取技术也在不断进步, 固态存储器在短周期内的海量信息存取成为了目前急需解决的难题。由于视频、图像、语音三路数据采集带宽较大、速率要求较高, 可以产生大量的数据, 将这些数据快速地存取到固态存储器中成为该课题研究的主要方向。由于数据误码、内存不足等问题, 导致传统控制性能变差, 为此提出了固态存储器短周期存取速度动态控制^[1]。数据存取过程中的客观条件变化是具有绝对性的, 不变则是具有相对性的, 因此在存取过程中必须随着情况变化进行存取速度的动态控制。针对动态控制的可靠性, 进行实验分析, 由实验结果表明, 动态控制使用均衡加重技术可降低数据误码出现的概率, 扩展内存容量可提高信号存取速度, 为此采用动态方式控制性能较强。

1 短周期存取速度控制原理

针对固态存储器短周期存取速度控制方案的设计, 采用现场可编程门阵列 (FPGA) 对 LVDS 接口设置以及数据的发送与处理进行控制。可编程门阵列 (FPGA) 具有强大的逻辑处理能力, 运用丰富的阵列资源可实现对短周期内数据存取速度的有效控制。LVDS 是一种能够满足当今高性能数据传输应用的低压差分信号传输技术, 能够为数据的传输提供高达 3.125 Gb/s 的数据率性能, 由于该方法消耗功率低、噪声小, 促使

LVDS 成为了目前工业领域最常用的信号传输技术^[2]。选用美国生产的 DS92LV1023 和 DS92LV1224 型号半导体作为 LVDS 接口芯片组, 一旦系统接通电源, 那么经过 LVDS 接口的芯片数据传输速度就可达到 60 MB/s, 而数据传输造成的功率消耗则小于 300 mW。

将视频数据和图像信息全部存储于固态存储器之中, 短周期存取速度控制原理如图 1 所示。

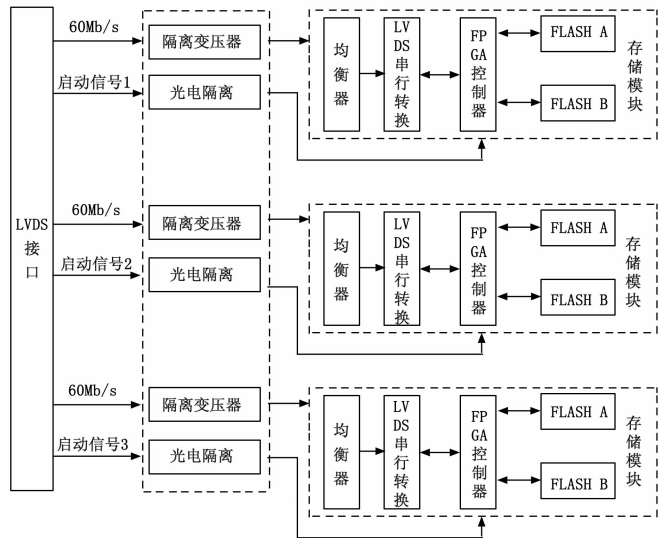


图 1 短周期存取速度控制原理框图

由图 1 可知: LVDS 接口接收的数据, 经过转换变成信号, 以 60 MB/s 的速度发送出去。该原理采用模块化设计方

收稿日期: 2018-03-23; 修回日期: 2018-04-16。

作者简介: 崔道江(1978-), 男, 重庆铜梁人, 讲师, 主要从事计算机网络方向的研究。

式,由 1 块信号接口板和 3 块数据存储板组的,其中各个板块是相互独立的,单块存储模块是由 LVDS 接口对数据接收,存储器进行存储,结构相对单一,为此,电路的连接设计也是比较简单的。在接口板处进行隔离处理,防止其它信号干扰,存储模块采用光电耦合器对信号进行隔离,同时对存取的数据进行均衡处理,将处理后的数据通过 LVDS 读取出来,上传至测试平台,并通过 USB 接口将数据传输到计算机中^[3]。通过 LVDS 串行转换,将数据转换为信号,记录该过程完成的时间,进而计算数据存取速度,实现短周期存取速度的控制。

2 存取速度动态控制设计

根据短周期存取速度控制原理可知,对存取的数据进行均衡处理可实现短周期存取速度的控制,但是也存在数据误码、存储内存不足等问题,为了解决该问题,需进行存取速度动态控制设计。

2.1 存取信号均衡加重

在短周期存取数据的过程中,由于出现数据误码,导致数据传输信号衰减,为了保证固态存储器短周期存取速度动态控制的有效性,在优化设计过程中采用具有针对性的数据传输介质来解决数据误码问题。使用信号驱动器模拟信号发送端,使用信号均衡器模拟信号接收端,依然选用美国生产的 DS92LV1023 和 DS92LV1224 型号半导体作为 LVDS 接口芯片组,并在此基础上,增加电缆延展器,通过双绞线或使用同一轴线来驱动芯片内的数据流^[4]。利用电缆延展器可驱动来自串行的数据流,实现双绞线或使用同一轴线上的数据进行均衡传输,方便对速度进行动态控制。

使用某公司生产的 DS15EA101 型号均衡器,可自动均衡出发送器或驱动器信号发射的幅值^[5]。针对 100 欧姆的差分信号,使用该均衡器最佳发射幅值为 ± 400 mV。DS15EA101 型号的均衡器对数据均衡处理肯定会耗费一定能量,使用检测电路可将该能量转换为信号形式输入进去,模拟信号传输状态,将接收到的信号信息再次传递给均衡处理器,利用该处理器控制信号传输的速度。将该部分接收的信息与原始信息进行比较,根据对比结果调整自动均衡处理器,使传输速度稳定在一定范围内,进而提高数据传输的量级增益^[6]。

数据的输出是通过电容交流耦合作用实现的,在 DS15EA101 型号均衡器中,接收的芯片端口连接着 100 欧姆的负载电荷,布置 PCB 板时尽量贴近该均衡器的输入端口,缩短数据传输之间的距离,方便数据存取速度控制。而在均衡器的输出端口处,需要安装一个外置的最佳发射幅值上拉电阻和两个 50 Ω 、精度为 1% 的普通电阻。选择 100 Ω 的双绞线传输介质电阻,采用交流耦合方式,使输出的电阻值达到 953 Ω 。而在电缆接收端口处,也需要设置上拉电阻,同样采用交流耦合方式,在芯片组输入端处设立外置交流耦合滤波电容,并与 100 欧姆的电阻相匹配。

2.2 短周期扩大存取内存

根据上述采用的均衡加重技术,设置不同阻值的电阻来均衡电路中电流的传输,控制固态存储器在短周期内的电路稳定运行^[7]。由于电路采用串行连接方式,电压为定值,一旦电阻变大,那么电流值将下降,虽然控制了电路稳定运行,但是对于运行时间还需进行优化,为此提出了分时加载操作方法,增

加固态存储器内存,最大限度提高数据平均写入时间。

采用 NANDFLASH 存储器可增加固态存储器内存,由于其内部采用非线性宏单元模式,为固态大容量内存的实现提供了廉价有效的解决方案。NANDFLASH 具有页编程、块擦除功能,也具有专项执行能力,当 NANDFLASH 在执行自身功能时,不会受到其它因素影响,直至自身任务完成。采用该存储器可靠性较强,但也必然会拖延数据存取时间,为此在 FLASH 页编程过程中,增加加载过程和自动编程过程。其中加载过程需要完成命令指定、地址下发、数据写入等过程;而自动编程过程相对加载过程较为复杂,当加载完成第一平面的 FLASH 后,第一平面所指定的页面直接进行自动编程,在编程的同时,正在加载第二平面的 FLASH,并以此类推^[8]。当加载完成第 N 平面 FLASH 后,第 $N-1$ 平面所指定的页面已经完成自动编程,最终再对第 N 平面自动编程,如此循环。

利用分时加载操作,使用 NANDFLASH 增加固态存储器内存,可保证数据被不断写入芯片中,大大提高了短周期存取写入时间,具体的分时加载操作示意图如图 2 所示。

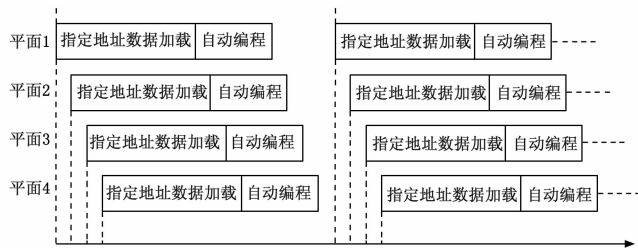


图 2 分时加载操作示意图

设 NANDFLASH 分时加载等级为 m ,那么加载时长需满足大于等于最大编程时长,约束条件如下所示:

$$(m-1)t_1 \geq t_2 \quad (1)$$

公式(1)中: t_1 为指定地址数据进行加载的时长; t_2 为自动编程的时长。分时加载状态下的 NANDFLASH 固态存储器平均存取时间为:

$$v = \frac{4 \times S \times m}{t_1 m} \quad (2)$$

公式(2)中: S 为并行存储芯片数量。

采用 NANDFLASH 分时加载操作,令平面 1 和平面 2 为第一组,平面 3 和平面 4 为第二组,对上述 2 组当分时加载运行起来后,任何一个时间段内,都会存在若干个小操作同时运转。交替双平面编程方式采用 2 级分时加载级数,根据公式(1)和(2)可获取平均写入速度,能够满足固态存储器短周期存取速度动态控制优化设计需求。

2.3 数据缓存读取

上述使用 NANDFLASH 进行分时加载操作时,页面容量为 4 KB。根据该存储器自动编程特点,设置 FLASH 一页内存容纳二级缓存 FIFO,即先入先出资源,由于一级缓存需要容量是二级缓存需要容量的 2 倍,那么两片 FLASH 内存可容纳两个二级缓存 FIFO 资源^[9]。基于 FPGA 的二级缓存示意图如图 3 所示。

根据 FPGA 双口资源对接收的信号进行判断,如果处理器接收到来自主机的传输信号,那么 LVDS 接口芯片组就会

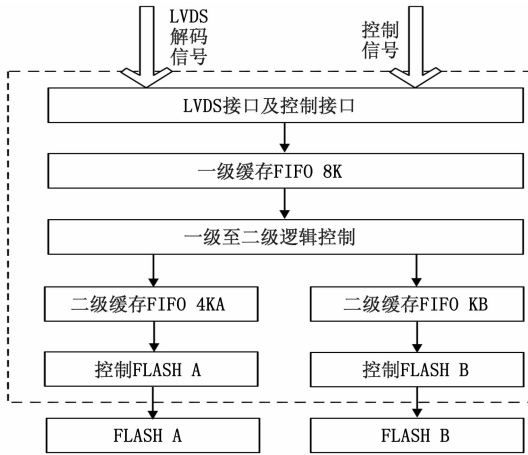


图 3 基于 FPGA 的二级缓存逻辑示意图

接收来自视频、语言、图像信号进行解码信号; 如果处理器未接收到传输信号, 那么 LVDS 接口芯片组就会接收来自其他来源的信号进行解码。利用芯片组将接口的信号传送到一级 FIFO_ 8k 之中, 如果接收的信号转换为数据形式, 且写入的数据大于 4160 字节, 那么将该字节以 60 MB/s 的速度进行读取, 当读取到第 4096 个字节时, 缓存到二级 FIFO_ 4k 之中。判断接收的信号流情况, 将信号转换为数据, 再判断二级缓存数据量大小, 如果写入的数据大于 10 字节, 那么将该字节以 30 MB/s 的速度进行读取。在此基础上, 再次判断一级缓存数据量大小, 如果数据量还是大于 4160 字节, 则继续以 60 MB/s 速度进行读取, 当读取到 4096 个字节时缓存到二级 FIFO_ 4k 之中, 并全部写入 FLASH B 模块中。

2.4 控制指令快速扩充

使用多线组合指令控制方式减少单一控制线的使用数量, 可实现控制指令的快速扩充, 促使整个电路使用起来更加简单, 方便工作人员进行调试。在固态存储器中, 使用 NAND-FLASH 交替双平面编程方式可满足上位机快速对指令控制的需求, 以上位机发送的命令为基础, 对存储器下达数据读、写、擦除、复位等一系列执行命令, 该命令传达的可靠性是存取速度动态控制的首要问题。

采用并行发送方式将上位机的指令传送给存储器, 指令数量 x 与控制线 y 之间的关系为:

$$2^y > x \quad (3)$$

通常情况下, 固态存储器会使用 6 个指令, 那么控制线为 3 条, 在 FPGA 逻辑控制中会使用三线制指令来控制数据存取速度。具体指令定义如表 1 所示。

表 1 具体指令定义

指令	具体内容描述	一线	二线	三线
复位	无存储地址	0	1	0
记录	记录数据	1	0	0
擦除	擦除数据	0	0	1
读取	读取数据	0	1	1
停止	动作停止执行	1	1	1

根据表 1 中具体指令定义对信息读、写、擦除、复位等一系列执行命令进行控制, 并利用三线制组合成不同指令, 以此为基础实现短周期存取速度动态控制。

针对短周期存取速度控制方案设计中存在的数据误码、存储内存不足问题, 使用均衡加重技术降低数据误码出现的概率, 采用 NANDFLASH 存储器进行分时加载操作扩大存储内存。利用二级缓存对扩大后的内存数据进行缓存读取, 根据多线组合指令减少控制线数量, 提高动态控制指令扩充速度, 进而实现固态存储器短周期存取速度动态控制。

3 实验

为了验证固态存储器短周期存取速度动态控制设计的合理性进行了如下实验。测试台的信号源发送是通过自动加载数据实现的, 当数据回读到计算机中, 通过视频回放采集数据。针对数据误码、存储内存不足问题, 专门成立实验小组展开研究。

3.1 数据误码

由于信号在传输过程中受到外界干扰, 导致信号强度降低, 致使信号受到破坏, 出现误码。使用人造噪音来干扰模拟的现实环境, 由此验证数据误码对动态控制的影响。

为了使实验结果更具有可靠性, 将传统控制方法与动态控制方法对数据误码进行对比分析, 结果如图 4 所示。

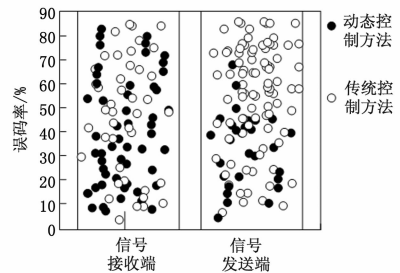


图 4 不同控制方法数据误码对比结果

由图 4 可知: 在信号接收端黑色实心点与白色实心点数量相差较小, 也就说明传统控制信号接收产生的误码率与动态控制信号接收产生的误码率基本一致, 最高都可达 85% 左右; 在信号发送端黑色实心点与白色实心点数量相差较大, 明显看出黑色实心点数量较小, 也就说明传统控制信号发送产生的误码率大于动态控制信号发送产生的误码率。传统控制方法信号发送最高误码率可达到 87%, 而动态控制方法信号发送最高误码率最高为 70%, 两者相差 17%, 且动态控制方法仅有少量的发送信号出现误码。由此可知, 动态控制方法使用均衡加重技术可降低数据误码出现的概率。

3.2 内存容量

传统控制方法直接在固态存储器中对信号进行读取, 导致控制性能较差; 而动态控制方法采用 NANDFLASH 存储器进行分时加载操作扩大存储内存, 促使控制性能得到改善。为了验证内存容量对控制性能的影响, 将传统控制方法与动态控制方法对不同内存容量下, 信号发送情况进行对比, 结果如表 2 所示。

表 2 不同内存容量下控制信号发送情况

内存容量	传统控制方法 信号发送/bps	动态控制方法 信号发送/bps
64MB	500	500
128MB	800	900
256MB	950	1200
2GB	2100	3500
4GB	3500	5500

根据表 2 可知，在不同内存容量下，使用不同控制方法信号传输速率也不同，随着内存容量增大，采用动态控制方法信号传输速率比传统控制方法速率要快，最快可达到 5500 bps，与传统方法相比快出 2000 bps。以该结果为基础，将两种控制方法在不同内存下，对信号存取速度控制性能展开对比分析，结果如图 5 所示。

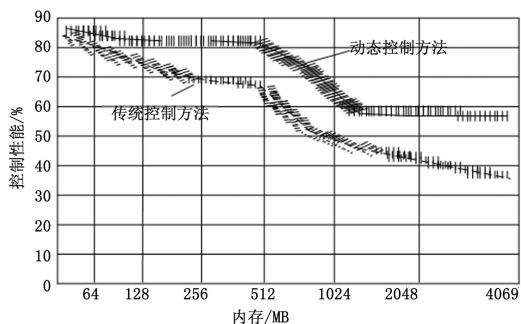


图 5 不同内存下两种方法控制性能对比结果

由图 5 可知：由于在短周期受到时间限制，对于最初信号存取控制不能达到 100%。当内存为 64 MB 时，传统控制方法与动态控制方法差别较小，均保持在 80% 以上；当内存为 128 MB 时，传统控制性能下降，低于 80%。而动态控制性能仍然保持在 80% 以上；当内存为 1024 MB 时，传统方法与采用动态方法控制性能下降最多，分别下降 10% 和 21%。内存继续扩大，传统方法性能持续下降，而动态控制方法稳定在 60% 左右。由此可知，扩展内存容量可提高信号存取速度，采用动态控制方法性能较好。

3.3 实验结论

实验采用两种方法对比的形式对所提固态存储器短周期存取速度动态控制方法的性能进行验证。分别测试了传统控制方法和所提动态控制方法的误码率和内存容量。实验先对误码率进行测试，利用人造噪音作为干扰因素，来干扰模拟的现实环境，测试数据误码对动态控制的影响；设置固态存储器的不同内存容量，在不同容量情况下，读取信号；测试两种不同方法的信号发送情况并进行对比。通过对比传统控制方法与动态控制方法，可总结实验结论：动态控制方法使用均衡加重技术可

降低数据误码出现的概率，在发送端信号误码率较小，而采用传统控制方法误码率最高可达到 87%。由于在短周期受到时间限制，对于最初信号存取控制不能达到 100%。内存继续扩大，传统方法性能持续下降，而动态控制方法在 60% 左右波动。由此可知，使用均衡加重技术可降低数据误码出现的概率，扩展内存容量可提高信号存取速度，为此采用动态方式控制性能较强。

4 结束语

固态存储器短周期存取速度动态控制设计采用均衡加重技术提高了信号传输质量，降低了误码出现的概率；使用 NANDFLASH 双平面交替编程的分时加载操作方式，提高了信号平均存取速度；利用 FRGA 二级缓存提高数据精准度，基于多线组合指令有效减少控制线使用数量，促使整个电路设计更加简单。通过对短周期存取速度的优化设计，可大大提高动态控制性能，但同时信号传输稳定性却无法得到有效控制，为此，需工作人员对信号传输稳定性进行深入研究。

参考文献：

- [1] 张振亚, 黄东, 冷永强. 并联双循环风冷冰箱短周期切换控制特性 [J]. 哈尔滨工业大学学报, 2017, 49 (1): 150-154.
- [2] 马游春, 姜德, 吴正洋. 一种用于水下测试的可扩展高速固态存储系统设计 [J]. 电子器件, 2017, 40 (5): 15-20.
- [3] 董振兴, 朱岩, 许志宏, 等. 星载存储器吞吐率瓶颈与高速并行缓存机制 [J]. 哈尔滨工业大学学报, 2017, 49 (11): 52-59.
- [4] 马福博, 余振坤, 葛园园. 大动态范围增益可控固态放大器系统的实现 [J]. 现代雷达, 2017, 39 (8): 71-74.
- [5] 马维维, 戚岑聪, 张艳聪, 等. 六神曲固态协同发酵工艺优化及物质动态变化研究 [J]. 中华中医药学刊, 2017, 28 (5): 1291-1294.
- [6] 张耀峰, 李大全, 严帅, 等. 高速 PCM 图像数据存储 [J]. 电子器件, 2017, 40 (1): 49-54.
- [7] 罗佳, 李涛, 吴纯洁, 等. 固态发酵红曲发酵过程中消化酶的动态变化分析 [J]. 食品科技, 2017, 17 (5): 14-18.
- [8] 具 12 位分辨率的 48 通道 PWM 发生器动态控制 LED 或提供 48 个 DAC 输出 [J]. 电子设计工程, 2017, 19 (16): 15-28.
- [9] 盖国权. VSC-HVDC 稳态模型和功率控制方式的研究 [J]. 电子设计工程, 2017, 22 (16): 128-131.

(上接第 64 页)

由图 9 的仿真结果可知，在设定目标摆角为 10° 和 2 N 的干扰推力扰动的仿真条件下，在未加入观测器时，该系统阶跃响应的波动峰值为 0.5°，调节时间为 1.2 s；在加入观测器前馈补偿观测推力后，系统摆角的波动峰值为 0.3°，其调整时间为 0.2 s。该仿真结果表明，通过设计的降阶扰动推力观测器对系统进行前馈补偿，提高了系统的抗扰动能力。

5 结论

针对螺旋桨负载平衡装置控制系统，提出了状态反馈的解耦的控制算法，实现了对摆角和偏转角的单独控制；本文所设计的降阶干扰观测器能够对系统的干扰推力进行准确实时的观测；将其观测值前馈到 PID 位置控制器的系统中，当干扰推力发生突变时能够减小系统摆角的波动和系统的调整时间，提高了位置 PID 控制系统的抵抗外界干扰推力的能力。

参考文献：

- [1] 马平, 杨金芳, 崔长春, 等. 解耦控制的现状及发展 [J]. 控制工程, 2005 (02): 97-100.
- [2] 张化光, 杨英旭, 柴天佑. 多变量模糊控制的现状与发展 (II) ——关于解耦、神经网络、变结构等问题 [J]. 控制与决策, 1995 (04).
- [3] 徐承伟, 吕勇哉. 模糊系统的串联补偿解耦 [J]. 自动化学报, 1987 (03).
- [4] 肖建, 于龙. 现代控制系统 [M]. 北京: 清华大学出版社, 2016.
- [5] 幸权. 抗负载扰动及自整定 PDF 策略控制系统研究与实现 [D]. 成都: 西南交通大学, 2015.
- [6] 张嗣瀛, 高立群. 现代控制理论 [M]. 北京: 清华大学出版社, 2006.
- [7] Franklin G F, Powell J D, Abbas E N. 动态系统的反馈控制 [M]. 北京: 电子工业出版社, 2004.