

应用于硅微机械谐振式传感器的频率计

黄荣玉, 牛文举, 韩建强

(中国计量大学 机电工程学院, 杭州 310018)

摘要: 针对硅微谐振式传感器频率测量中精度低的弊端, 依据周期测频法原理, 设计了一种基于 FPGA 的测频周期自调整频率计; 首先在一个待测信号周期内, 对标准信号的上升沿进行计数, 粗略计算出待测信号频率和周期; 据此对标准信号的上升沿重新计数, 从而精确测量出待测信号的频率; 测量后的频率信号经过 RS-232 串行通信接口送入 PC 上位机, 可以实现频率数值的实时显示和储存; 测试表明: 采用该频率计测量 1 Hz~2 MHz 方波信号的相对误差可以达到 10^{-7} 量级; 利用该频率计测量谐振式传感器闭环自激测量电路输出的谐振频率信号, 频率信号稳定在 1 Hz 以内。

关键词: 谐振式传感器; 自调整; 周期测量法; 频率计

A Frequency Meter Applied to the Silicon Micro-resonant Sensor

Huang Rongyu, Niu Wenju, Han Jianqiang

(Institute of Mechanical and Electrical Engineering, China Jiliang University, Hangzhou 310018, China.)

Abstract: Due to the disadvantage of low precision in frequency measurement for the silicon micro-resonant sensor, a frequency meter based on field-programmable gate array (FPGA) is designed according to the principle of periodic frequency measurement. The rising edge of the standard signal is counted in a signal period to be measured, the frequency and period of the signal to be measured are roughly calculated. According to this, the rising edge of the standard signal is re-counted so that the frequency of the signal to be measured can be accurately measured. The measured frequency signal is sent to PC through RS-232, and the frequency value can be displayed and stored in real time. The experimental result shows that the relative error of 1 Hz to 2 MHz square wave signal measured with this frequency meter can reach the magnitude of 10^{-7} . The frequency meter is used to measure the resonant frequency output from the closed-loop self-excited measuring circuit of the resonant sensor. The frequency signal is stable within 1 Hz.

Keywords: resonance sensor; self-adjusting; periodic measurement; frequency meter

0 引言

目前, MEMS 传感器由于其巨大的经济效益和广阔前景正处于快速发展时期。MEMS 传感器具有重量轻、体积小、成本和功耗低, 易于集成和可以大规模批量生产等优点。广泛应用于武器装备、惯性导航和汽车安全等领域, 是关系国家安全和经济建设的基础元器件之一^[1]。微型传感器按照敏感信号的测量方式不同, 分为压阻式^[2], 电容式^[3], 压电式^[4]和谐振式^[5]等不同类型。在这些微传感器中, 硅微谐振式传感器具有精度和分辨率高、功耗小、动态范围宽以及输出信号为数字信号的优点。硅微谐振式传感器直接输出频率信号, 在传输过程中不易产生失真误差, 可以直接和数字接口连接。由于谐振式传感器输出为频率信号, 这对频率信号的测量精度提出很高的要求, 而测量精度的提高依赖于频率计性能的提高。

目前测量频率的方法一般有周期测量法, 频率测量法和等精度测量法等^[6]。周期测量法是在待测信号的一个周期内, 通过测量标准信号的上升沿个数来计算出待测的频

率。这样会引入标准信号个数的 ± 1 个字误差^[7]。同时周期测量法只适用于低频、中频下的测量。在高频下, 测量的误差非常大。频率测量法是通过在设定的闸门时间内, 测量待测信号与标准信号的上升沿个数来计算出待测频率。由于闸门时间不是待测频率和标准信号周期的整数倍, 这会引入待测信号和标准信号上升沿个数的 ± 1 个字误差。等精度测量法^[8]是先给定一个预置闸门时间, 当待测信号的上升沿或者下降沿到来时, 打开预置闸门开始对待测信号和标准信号同时计数。当预置闸门时间结束后, 只有待测信号上升沿或下降沿到来时, 才同时停止对待测信号和标准信号的计数。频率的测量开始与停止都是在待测信号的上升沿或者下降沿完成, 消除了待测频率计数的 ± 1 个字的误差, 只有标准信号的 ± 1 个字的误差。但是等精度法只适用于测量高频, 若要测量低频, 预置闸门时间需要设置很长的时间。例如要测 1 Hz 的频率, 预置闸门时间至少要设置 1 s, 这样增大了测频响应时间, 大大降低了测频的效率。

由于周期测量只测量待测信号的一个周期或多个周期, 但是测的周期个数是一个定值, 不随待测信号的频率变化而变化。因此随着待测频率的升高, 测量精度下降, 所以限制了测量频率的范围。针对这一弊端, 设计了一种基于 FPGA 的测频周期自调整频率计。

本文设计的频率计先在一个待测信号周期内, 对标准信号的上升沿进行计数, 粗略计算出待测信号频率和周期。然后对待测信号的周期进行调整, 对标准信号的上升沿重

收稿日期: 2018-02-06; 修回日期: 2018-04-04。

基金项目: 国家自然科学基金项目(61376114)。

作者简介: 黄荣玉(1992-), 男, 安徽芜湖人, 硕士研究生, 主要从事加速度传感器的测试电路方向的研究。

通讯作者: 韩建强(1970-), 男, 陕西西安人, 教授, 主要从事 MEMS 传感器方向的研究。

新计数, 精确测量出待测信号的频率。该频率计不仅提高了测量频率的精度, 而且体积小, 价格便宜, 具有非常好的应用前景。

1 系统结构和原理

测试系统由谐振式传感器、闭环自激测量电路、FPGA 采集模块以及 PC 上位机四部分组成, 系统组成框图如图 1 所示。

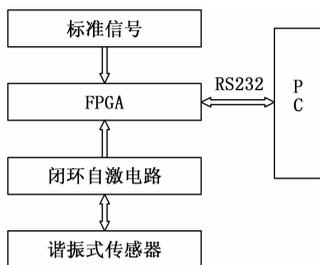


图 1 频率计结构框图

谐振式传感器使用微桥谐振器作为敏感元件。采用电热激励, 压阻检测的激励检测方式。即给在位于谐振梁中间位置的激励电阻上加热, 通过局部加热使谐振梁的结构产生形变, 引起谐振梁的振动。当谐振梁振动后, 位于谐振梁根部的惠斯通电桥上的电阻会因为振动产生形变, 从而导致阻值发生改变, 通过检测压敏电阻的阻值变化来检测振动。

测试过程中, 先使用闭环自激电路^[9]让谐振器处于闭环自激状态, 闭环自激电路的输出信号为频率信号。利用 FPGA 对输出频率信号进行测量和采集, 最后将测量的频率信号经过 RS-232 串行通信接口送入 PC 上位机。上位机使用 Visual C# 进行操作界面的软件设计, 实现频率数值的实时显示和储存。

本文设计的频率计测量范围为 1 Hz~2 MHz。由于频率计测量频率的精度直接决定谐振式传感器的测量精度, 该频率计全量程内测量精度可以达到 10⁻⁷ 数量级, 相比于六位半万用表等传统测频工具, 测频精度有了明显的提升。

2 系统硬件设计

2.1 FPGA 开发板

FPGA (现场可编程门阵列) 的开发区别于单片机, 它是通过硬件语言来描述的, 并且以并行运算为主。FPGA 是在 CPLD 等可编程器件的基础上进一步发展的产物。它是作为专用集成电路 (ASIC) 领域中一种半定制电路出现的, 既解决了定制电路的不足, 又克服了原有可编程器件门电路数有限的缺点。它是当今数字系统设计的主要硬件平台。本文设计的频率计采用的 FPGA 控制模块是型号为 AX301 的黑金开发板平台。此款开发板搭载的主芯片是 ALERA 公司的 CYCLONE IV 系列型号为 EP4CE6F17C8 的 FPGA 主芯片。AX301 开发板通过 USB 供电, 用 MINI USB 线将开发板跟电脑的 USB 连接, 按键电源开关, 可以给开发板供电。其数字工作电压为 3.3 V 和 1.2 V, 板载晶振为 50 MHz, 晶振输出连接到 FPGA 的全局输入时钟管脚

(CLK1 管脚 E1), 这个 CLK1 可以用来驱动 FPGA 内的用户逻辑电路, 用户可以通过配置 FPGA 内部的锁相环来分频或倍频实现其他频率的时钟, 从而提高工作速度。

2.2 RS-232 串行通信

RS-232 是现在主流的串行通信接口之一, 它被定义为一种在低速率串行通信中增加通信距离的单端标准。当它传送数据时, 只需要一条传输线就能正确的将数据顺利传送到对方, 因此叫做异步传输。由于 RS-232 是一种串行通信, 故需要在软件中设置包括波特率、奇偶校验和停止位等多项设置。本设计波特率为 128000、奇偶校验位为 NONE 和停止位为 1。采用 FPGA 与 PC 机通信的主要程序模块如表 1 所示。

表 1 FPGA 与 PC 机通信的主要程序模块

程序模块	功能
BPS_clk	定时产生所需波特率
Delay	上电后的延时
Detect_module	检测输入引脚电平变化
Rx_control	从缓冲区接收数据
Tx_control	向缓冲区发送数据

向缓冲区发送数据通过与 RS232 接口相连, 将从闭环自激电路中输出的频率信号数据传输到 PC 上位机, 并实时显示出来。

3 系统软件设计

3.1 软件设计思路和编程方法

先用标准信号对待测信号的一个周期进行计数, 预估算出待测频率大小, 原理如图 2 所示。

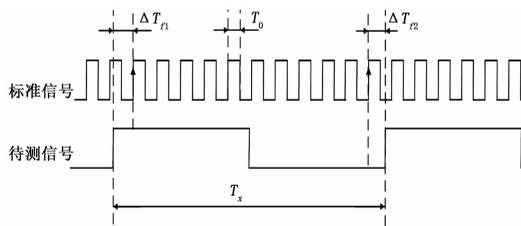


图 2 周期测频原理图

假设标准信号的周期为 T₀, 在待测信号的一个周期内, 标准信号的上升沿个数为 n₀, 待测信号的周期为 T_x, 因此待测频率 f_x 为:

$$f_x = \frac{1}{T_x} = \frac{1}{(n_0 - 1)T_0 + \Delta T_{f1} + \Delta T_{f2}} \quad (1)$$

其中, ΔT_{f1} 和 ΔT_{f2} 为测量时的误差。调整后的待测信号频率 f' 为:

$$f' = \frac{1}{n_0 T_0} \quad (2)$$

频率的误差为:

$$\Delta f = f' - f_x = \frac{\Delta T_{f1} + \Delta T_{f2} - T_0}{[(n_0 - 1)T_0 + \Delta T_{f1} + \Delta T_{f2}]n_0 T_0} \quad (3)$$

由 (3) 式可得调整后的预估频率的最大误差和最小误差分别为:

$$\Delta f_{max} = \frac{(f'_x)^2}{f_0 + f'_x} \quad (4)$$

$$\Delta f_{min} = -\frac{(f'_x)^2}{f_0 - f'_x} \quad (5)$$

$$f' - \Delta f_{max} \leq f_x \leq f' + |\Delta f_{min}| \quad (6)$$

预估算待测频率的大小后，程序开始进行对待测信号的频率精确的测量，其测量频率时序图如图 3 所示。

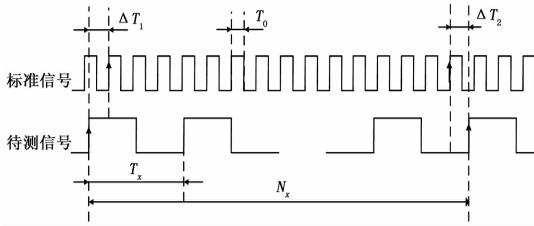


图 3 精确测量频率时序图

N_x 是调整后需要测量的待测信号的上升沿个数，标准信号的上升沿的个数设为 N_0 。

待测信号的真值为：

$$f_x = \frac{1}{T_x} = \frac{N_x}{(N_0 - 1)T_0 + \Delta T} \quad (7)$$

其中， $\Delta T = \Delta T_1 + \Delta T_2$ 调整后的待测信号的频率 f'_x 为：

$$f'_x = \frac{1}{T'_x} = \frac{N_x}{N_0 T_0} \quad (8)$$

待测信号的频率的相对误差为：

$$\epsilon = \frac{f'_x - f_x}{f_x} = \frac{\Delta T - T_0}{T_x N_x - (\Delta T - T_0)} \quad (9)$$

设频率计测量的相对误差为 ϵ_0

$$\frac{\Delta T - T_0}{T_x N_x - (\Delta T - T_0)} \leq \epsilon_0 \quad (10)$$

$$\frac{(1 + \epsilon_0) f_x \Delta T - (1 + \epsilon_0) f_x}{\epsilon_0 f_0} \leq N_x \quad (11)$$

由 (11) 可知， N_x 随 ΔT 的增大而增大， ΔT 最大值为 $2T_0$ 。因此可得出调整后需要测量的待测信号的上升沿个数 N_x ，待测频率的真值 f_x 、频率 f_0 和在待测信号一个周期内标准信号的上升沿个数 n_0 的关系，如式 (12) 所示：

$$N_x \geq \frac{(1 + \epsilon_0) f_x}{\epsilon_0 f_0} = \frac{(1 + \epsilon_0)(f' + |\Delta f_{min}|)}{\epsilon_0 f_0} = \frac{(1 + \epsilon_0)}{\epsilon_0 (n_0 - 1)} \quad (12)$$

3.2 软件实现流程图

FPGA 程序使用 verilog 语言进行编写，使用 quartus II 软件进行编译。Quartus II 是 Altera 公司的综合性 PLD/FPGA 开发软件，支持原理图、VHDL、VerilogHDL 以及 AHDL (Altera Hardware Description Language) 等多种设计输入形式，内嵌自有的综合器以及仿真器，可以完成从设计输入到硬件配置的完整 PLD 设计流程。

程序的流程图如图 4 所示。软件程序主要由四大模块组成，分别为预估算待测信号模块，自调整待测信号周期模块，精测量频率模块，数据处理和串口数据输出模块。首先是对程序进行初始化。然后预估算待测信号模块初步测量待测信号的频率和周期，在待测信号一个周期内，对标准信号的上升沿进行粗略地计数。所测出的上升沿个数 n_0 再传输到自调整模块中。自调整模块根据 n_0 的大小，计

算出需要测量的待测信号周期个数 N_x 。然后再把 N_x 传递到精测量模块。在待测信号的 N_x 个周期内，精测量模块对标准信号的 N_0 上升沿进行计数，计数结束之后。再把标准上升沿个数 N_0 传递到数据处理模块，通过对 N_x 和 N_0 两个数据进行处理，计算出待测的频率。然后将待测的频率传递到串口数据输出模块将频率传输到上位机并显示和储存待测信号的频率。发送结束后，程序再次对待测信号进行预估算，进入下一次的频率测量。

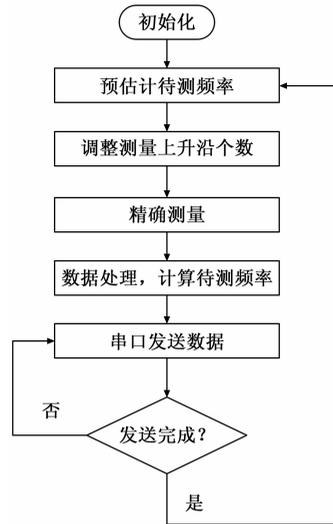


图 4 FPGA 测频程序流程图

3.3 PC 上位机设计

为了实时的显示出采集的频率，FPGA 将计算的频率数据传输到上位机，通过上位机对接收的频率进行处理后实时的显示出来。该设计的上位机采用 Microsoft 公司的 Visual C# 开发平台进行开发。设计的频率系统操作界面如图 5 所示。该上位机操作简单界面简洁，不仅能将采集的频率实时显示出来，也能将采集的频率进行缓存或者保存为 TXT 文档进行后期查看等操作。



图 5 频率显示窗口

4 实验结果与分析

4.1 测量方波信号

为了测试本文设计的频率计精度，使用频率计对安捷伦 33521A 信号发生器发出的不同频率的方波信号进行测量，测量结果如表 2 所示。通过测量结果可以看出：本文设计的自调整频率计精度在全量程范围内达到精度要求，采用该频率计测量 1 Hz~2 MHz 方波信号的频率的相对误差的数量级可以达到 10^{-7} 。

表 2 方波信号测试结果

信号发生器输出频率/Hz	测量值/Hz	相对误差
1	1.000 000 704	7.0×10^{-7}
80	80.0 000 301 2	3.8×10^{-7}
5 000	5 000.0 025 02	0.5×10^{-7}
1 296 0	1 296 0.002 65	2×10^{-7}
1 570 00	157 000.0 127	8.1×10^{-8}
5 980 00	5 980 00.1 529	2.6×10^{-7}
9 568 50	9 568 50.2 866	3×10^{-7}
1 800 000	1 800 000.805	4.5×10^{-7}

4.2 测量谐振式加速度传感器的输出信号

将设计的频率计应用到实验室研制的谐振式加速度传感器测试过程中。该加速度传感器设计用来检测面内加速度。由谐振梁、蟹腿型支撑梁、质量块、激励电阻、惠斯登电桥和金属引线组成。在 X 方向加速度作用下, 质量块在 X 方向运动。X 方向的其中一个谐振梁所受的轴向应力发生改变, 谐振频率发生变化, 该谐振频率变化的差值反映了 X 方向加速度的大小和方向; 同样地, 在 Y 方向加速度作用下, 质量块在 Y 方向运动, Y 方向的谐振梁之一轴向应力发生改变, 谐振频率变化。该谐振梁谐振频率变化的差值反映 Y 方向加速度的大小和方向。

由于重力加速度精确度高, 同时很容易获得, 便于应用到实验中。因此实验室采用重力场翻滚试验来对制作出的加速度计样片进行测试^[10]。实验使用装置为精密型手动角度旋转台。测试时, 将加速度计样片置于角度旋转工作台上, 使用闭环自激电路让测试的谐振梁处于闭环自激状态, 通过旋转精密型角度旋转台来调节被测谐振梁与重力加速度之间的夹角, 从而来给样片提供不同大小的加速度。谐振梁的谐振频率随着不同的加速度变化而变化, 以此来测试该加速度计样片的性能。在 0 g 和 1 g X 方向加速度下, 使用安捷伦六位半万用表 34401 采集 1 分钟 X 方向谐振梁的输出谐振频率如图 6 所示, 本文设计的频率计采集 1 分钟 X 方向谐振梁的输出谐振频率如图 7 所示。

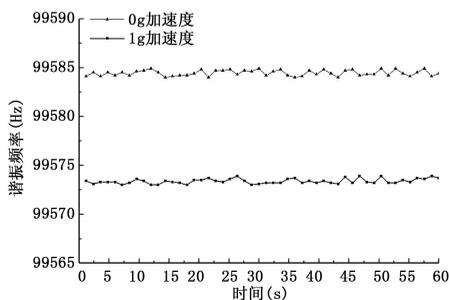


图 6 安捷伦万用表采集的输出频率

分析两组数据可以得到: 对于使用安捷伦六位半万用表采集的数据, 当加速度计受到 1 g 加速度时, 谐振频率的平均值下降约为 11.07 Hz。对于本文设计的频率采集的数据, 当加速度计受到 1 g 加速度时, 谐振频率的平均值下降约为 11.12 Hz。比较两者发现: 与安捷伦万用表相比, 本文设计的频率计在 1 分钟内采样数据个数约是安捷伦万用

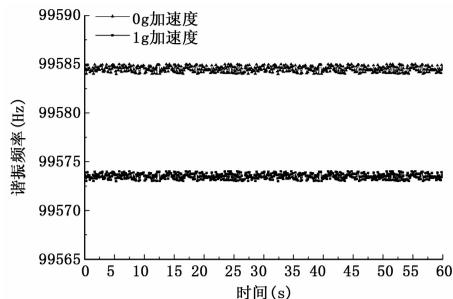


图 7 本文设计的频率计采集的输出频率

表采样数据个数的 10 倍, 更加全面的反映出不同时间谐振梁的振动状态。两者在 1 分钟内采集的谐振频率的平均值存在一定的误差, 这是因为本文设计的频率计采集的点更加全面。同时, 该频率计具有体积小, 成本低等不可忽视的优势, 拥有广阔的市场前景。后续工作可以围绕进一步提高采集速度、减噪进行, 从而提高系统稳定性。

5 结束语

该频率计是基于 FPGA 设计的, 使用 quartus 编译后, 写入到 FPGA 芯片中。通过对信号发生器产生的标准频率信号进行测量, 结果证明, 采用该频率计测量 1 Hz~2 MHz 标准信号的频率的相对误差数量级可以达到 10^{-7} , 达到设计要求。将其应用到硅微谐振式加速度传感器的性能测试中, 测得谐振式加速度传感器在闭环时输出频率的变化稳定在 1 Hz 以内, 同时测试了加速度计的灵敏度为 11.12 Hz/g。由于 FPGA 体积小, 结构简单、灵活性高、可编程, 造价较低, 因此被广泛应用在数据采集等方面。本文设计的频率计其测量精度与响应时间成正比, 在一些测量精度要求不高的工作中可适当降低精度提高测量的响应速度。

参考文献:

- [1] 徐安安. 论 MEMS 传感器的应用与发展 [J]. 现代商贸工业, 2011, 23 (13): 270-270.
- [2] 张建碧. 基于 MEMS 的硅微压阻式加速度传感器的设计 [J]. 电子科技, 2009, 22 (10): 40-42.
- [3] 温淑慧. 一种电容式加速度传感器设计的研究 [J]. 传感技术学报, 2005, 18 (2): 329-332, 357.
- [4] 叶伟国, 沈国伟. 压电式加速度传感器的结构改进与设计 [J]. 仪表技术与传感器, 2003 (9): 1-2.
- [5] 郭占社, 樊尚春, 庄海涵. 一种谐振式加速度传感器及其设计 [J]. 中国机械工程, 2008, 19 (21): 2570-2572.
- [6] 莫琳. 基于 FPGA 的等精度频率计的设计与实现 [J]. 现代电子技术, 2004, 27 (10): 81-82, 84.
- [7] 张开成. 分频式计数型频率计的测频误差分析 [J]. 计量与测试技术, 1996, 23 (2): 20-21.
- [8] 夏振华. 等精度频率计的实现 [J]. 电子设计工程, 2010, 18 (6): 177-178.
- [9] 李 琰. 谐振式红外探测器闭环自激/检测电路设计与探测性能测试 [D]. 杭州: 中国计量大学, 2014.
- [10] 何高法, 唐一科, 周传德, 等. 基于柔性铰链机构的谐振式微加速度计设计制作 [J]. 中国机械工程, 2010, 21 (4): 410-414.