

基于 FPGA 的立方星可重构星载处理系统研究

李兴伟, 白博, 周军

(西北工业大学 精确制导与控制研究所, 西安 710072)

摘要: 为了以最小代价提高立方星可重构星载计算机的可靠性, 提出了一种基于 FPGA 的立方星可重构星载处理系统架构; 首先, 在对国内外微纳卫星星载计算机设计特点进行分析的基础上, 分别采用基于 SRAM 架构和基于 Flash 架构的 FPGA 作为核心处理模块与外部表决接口模块, 兼顾了系统的运算速度与可靠性; 其次, 针对可重构星载处理系统中所涉及的可重构策略、在线重构技术以及系统同步技术进行了详细设计; 最终, 基于所设计硬件系统上进行的测试以及在轨的实测数据验证了该架构的可靠性和有效性。

关键词: 立方星; 现场可编程门阵列; 可重构计算机

Research on Reconfigurable Board Processing System of Cube Sat Based on FPGA

Li Xingwei, Bai Bo, Zhou Jun

(Institute of Precision Guidance and Control, Northwestern Polytechnical University, Xi'an 710072, China)

Abstract: In order to improve the reliability of CubeSat's reconfigurable OBC (On Board Computer) with minimum cost, a reconfigurable CubeSat on board processing system with FPGA (Field Programmable Gate Array) is proposed. First, according to the analysis of OBC design character in micro/nano satellite at home and abroad, FPGA based on the SRAM (Static Random Access Memory) architecture and Flash architecture are both adopted as the core process module and external vote interface module, respectively. By doing this, the system operation speed and reliability are both considered simultaneously. Second, the reconfigurable strategy, the online reconfiguration technology and the synchronization technology are discussed in detail. Finally, the tests on the designed hardware system and the operation data in orbit both verify the reliability and effectiveness of the designed architecture.

Keywords: CubeSat; field programmable gate array; reconfigurable computer

0 引言

立方星 (CubeSat) 的概念最早由加州理工大学 San Luis Obispo 教授和斯坦福大学 Bob Twiggs 教授共同提出并制定了立方星的相关标准^[1]。该标准以一个边长为 10 cm 的正方体作为一个标准单元, 称之为“1U”立方星。在此基础上, 立方星以该标准单元进行扩展, 可增大卫星的体积和功能。其理念是通过标准化设计, 减少卫星的研发制造成本。

但立方星属于微纳卫星的范畴, 相比于大卫星, 其体积、功耗与成本均存在限制。如何在有限的体积、功耗与成本下, 提高立方星星载处理系统的可靠性是国内外学者近期研究的热点^[2-3]。与此同时, 大容量可重构 FPGA (Field Programmable Gate Array) 的出现, 使得可重构计算机成为了可能。可重构星载计算机能够在立方星部分部件出现故障时, 自主地改变自身的功能, 使立方星能够按原

定性能指标或比原性能指标略低 (但可接受) 的情况下安全地完成。这样就避免了固定硬件结构的立方星系统一旦发生硬件损伤, 将导致任务失败的结局, 从而提高了立方星的可靠性。

文献 [4] 介绍了 2007 年德国斯图加特大学小卫星计划的第一颗微小卫星——Flying Laptop, 该卫星采用了基于 FPGA 的可重构计算技术来设计星载计算机。为了解决系统容错以及抗辐射问题, 系统设计了 4 个相同且相互独立的节点。但考虑到功耗与体积等因素, 该体系很难应用于立方星上。文献 [5] 给出了用于立方星上的低成本高可靠性星载计算机的方案, 文献使用 ATmega128 作为星务处理器, 而使用 Spartan-6 的 FPGA 作为载荷处理器。但该文仅仅只对使用 FPGA 的方案进行了讨论, 并未对 FPGA 如何进行具体的在轨重构进行研究。文献 [6] 采用 Xilinx 的 FPGA 开发板利用模糊理论进行姿态控制算法研究, 并进行了硬件在回路仿真, 但该设计并未进行在轨试验。本文将综合考虑立方星的质量、功耗与体积等限制因素, 使得立方星具有一定的重构能力, 从而提高立方星星载处理系统的可靠性, 并最终通过实际在轨测试, 验证了设计的正确性和可行性。

收稿日期:2017-12-12; 修回日期:2018-01-07。

基金项目:航天支撑技术基金(2015-HT-XGD);中央高校基本科研业务费专项资金(3102017tb10002)。

作者简介:李兴伟(1974-),男,内蒙古人,博士研究生,主要从事飞行器导航、制导与控制方向的研究。

本文首先针对立方星存在的质量、体积与功耗等限制因素,在充分吸收了国内外微小卫星星载计算的设计研制经验基础上,给出了基于 FPGA 的立方星可重构星载处理系统的基本架构。在此基础上,针对可重构星载处理系统中的一些关键技术进行了详细的设计。最后针对各关键技术逐一进行了测试与验证,并给出了实际在轨测试的结果。

1 系统结构及原理

为了使得立方星星载处理系统具有可重构性,同时满足立方星的设计标准,本文基于 FPGA 进行了立方星可重构星载处理系统的设计。该设计充分吸收了国内外立方星星载计算机的设计研制经验^[7-9],并对星载计算机的可重构策略、在线重构、系统同步等功能进行设计。这样使得整个星载处理系统在具有在线重构功能的同时,也具有体积小、集成度高以及低功耗等特点,能够满足一般立方星的应用需要。

所设计的星载处理系统的硬件结构图如图 1 所示。由图中可以看出,该硬件结构由一片基于 SRAM 架构的 FPGA 与一片基于 Flash 架构的 FPGA 组成。其中,基于 SRAM 架构的 FPGA 中集成了两个软核处理器 CPU1 与 CPU2,基于 Flash 架构的 FPGA 负责系统的表决控制功能。两个软核处理器分别拥有独立的 F-RAM,但共享一个 Flash 存储器。CPU1 与 CPU2 同时从表决控制电路获取输入数据,经过运算后回送至表决控制电路。最终,由表决控制电路对结果进行同步和表决,并对外部输出的结果。下面对该系统中核心部件的硬件设计进行详述。

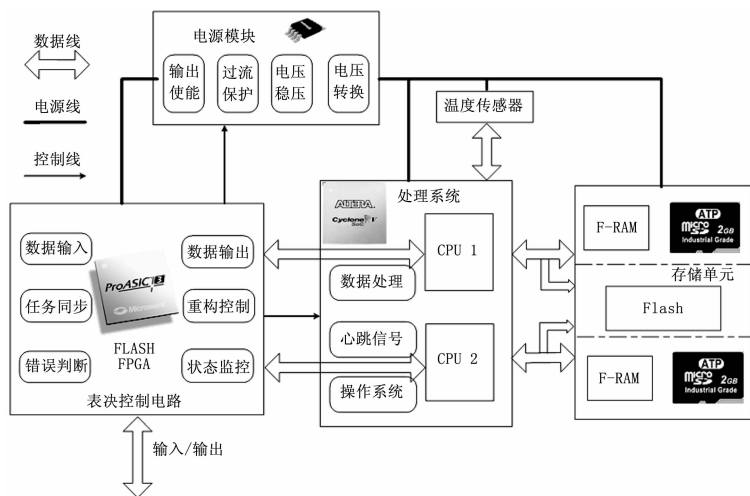


图 1 星载处理平台总体结构

2 系统硬件设计

2.1 处理器设计

其核心处理模块采用 Altera 公司基于 SRAM 架构的 Cyclone V 系统。与前几代产品相比,该系列 FPGA 总功耗降低了 40%,并具有高效的逻辑集成功能。正常工作情况下,在一块 FPGA 中设计双核处理系统,并为每一个处理器分别单独配置 SD 卡与 F-RAM 用于任务数据存储与数据内存,而两个处理器共用同一块 Flash 以减小功耗。

另外,采用基于 Flash 架构的 ProASIC3 芯片作为核心的表决控制系统。该芯片对于空间复杂环境下高能粒子的影响具有很好的免疫能力。在系统上电时无需额外配置芯片,增加了系统的安全性和稳定性,是真正的单芯片解决方案。上电即运行的特点,使得器件可以迅速执行重要的系统初始化任务。

ProASIC3 作为与外界接口,主要功能包括从外界总线获取数据、对 FPGA 的计算结果进行表决、将最终结果输出至外部数据总线、根据 FPGA 的工作情况对其进行重构、控制电源模块进行重新上电等。在 Altera 的 FPGA 中设计双核处理器,在正常工作时,双核 CPU1 与 CPU2 均处于工作状态,并各自产生对应的心跳信号。

2.2 电源设计

电源模块实现电压转换、过流保护以及输出使能等功能。为了降低功耗并防止 FPGA 配置芯片中的配置代码不被高能粒子打翻,ProASIC3 通过使能引脚来控制 Cyclone V 系统的配置过程。当 Cyclone V 的配置过程结束后,ProASIC3 拉低使能引脚,停止对配置芯片供电。当需要重新配置 Cyclone V 时,使能电源芯片,使其正常为配置芯片供电。

2.3 存储设计

存储单元由铁电存储器 F-RAM、SD 卡以及 Flash 存储器组成。Flash 存储器主要存储运行于 FPGA 上的软件程序。F-RAM 存储器用于存储程序运行过程中的程序和数。SD 卡用于存储立方星飞行过程中的任务数据。其中,每一个处理器分别单独使用各自的 SD 卡与 F-RAM,而两个处理器共用同一块 Flash 以减小功耗。

3 软件实现

用于立方星的可重构星载处理系统,受到体积、功耗的限制,既不能过于复杂,又必须保证一定的可靠性。因此,可重构星载处理系统选择双模冗余的方案。对于双模冗余的硬件结构,经常采用的容错控制策略有热备份、冷备份、温备份以及互备援这几种形式,文献 [10] 对这几种备份形式的优缺点进行了分析。下面对该系统中所采用的关键技术进行详细设计。

3.1 可重构策略设计

为了减轻 ProASIC3 在表决切换等功能上的负担,选取温备份的容错控制策略,ProASIC3 仅进行数据输入与输出管理。在 Cyclone V FPGA 中设计的双核主机 CPU1 与从机 CPU2,具有相同的功能。若 CPU1 作为主机执行全部的星载处理程序,则从机 CPU2 同样也对输入的数据进行运算,但不输出。由于主机与从机具有同样的数据输入来源,则在正常情况下,两者的计算结果应该是相同的。若主机出现故障,则 ProASIC3 按照图 2 所示的流程进行重构。

当 ProASIC3 处理器判断主机出现故障时,由于从机也在执行相同的任务,因此主机可以不与从机进行任何形式的通信,只需要 ProASIC3 选择输出从机的计算结果即可。

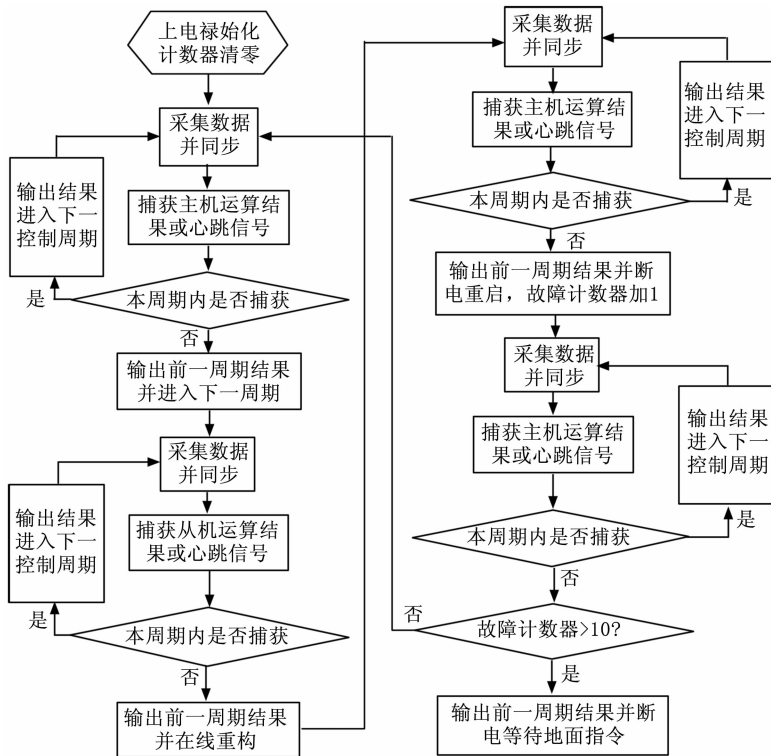


图 2 星载处理平台可重构策略流程图

这种方式减少了主机与从机额外的通信开销，保障了主机在出现故障时，能够在一个控制周期内实现故障机的切换。如果此后从机又出现故障，则 ProASIC3 控制 Cyclone V FPGA 进行在线重构。如果在线重构后系统仍不能正常运行，则 ProASIC3 控制电源模块进行断电重启，以避免单粒子门锁所导致电路电流过大的问题。如果断电重启仍无法使系统正常运行，在多次出现此故障后，ProASIC3 将控制电源模块断电，等待地面的控制指令。对于该流程中所涉及到的在线重构、数据同步等技术的具体实现方式阐述如下。

3.2 在线重构

在线重构技术主要解决由单粒子翻转等辐射效应引起的瞬态故障，当 Cyclone V FPGA 处理系统出现故障时，ProASIC3 发送重构指令，开始在线重构过程。

在线重构是对 FPGA 所有内置的逻辑单元 LE (Logic Element) 进行重配置的过程，FPGA 的通用配置电路如图 3 所示，重构过程可以通过拉低配置引脚 nCONFIG 实现。

在需要进行在线重构时，ProASIC3 必须使得 nCONFIG 管脚处于低电平至少 500 ns 以上。nCONFIG 拉低时，FPGA 器件被复位，同时也拉低 nSTATUS 和 CONF_DONE 引脚，此时 FPGA 所有的 I/O 管脚均处于三态状态。当 nCONFIG 返回到逻辑高电平并且由 FPGA 器件释放 nSTATUS 时，重构开始运行。当 nCONFIG 返回到逻辑高电平并且由 FPGA 器件释放 nSTATUS 时，重构开始运行。如果在重构过程中出现错误，FPGA 将使

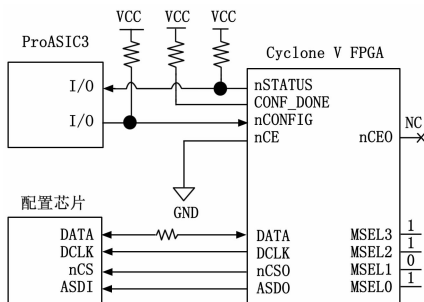


图 3 在线重构配置电路

nSTATUS 信号置为低电平，表明数据帧错误。同时 CONF_DONE 信号也会保持低电平。通过 ProASIC3 监控 nSTATUS 错误时的低电平，当三次重构后依然报错，表明重构无法修复此故障，则需要断电重启。

3.3 系统同步

虽然通过重构策略提高了系统的可靠性，但是系统将面临如何实现各个模块之间协调工作的问题。在多机重构系统中，同步是整个系统的核心。数据的匹配或者表决都必须基于同步信号，否则匹配或表决就没有意义。

本系统采用任务级同步的方法，任务级同步技术使各处理器执行相同的计算，计算完成时进行同步比较。本系统的同步主要由以 ProASIC3 为主芯片的处理系统作为管理器来进行。每一周期内的一次输入和输出过程可以定义为一个任务。在每次控制周期内，随着系统的运行，ProASIC3 按照如图 4 所示的流程图进行数据的同步。

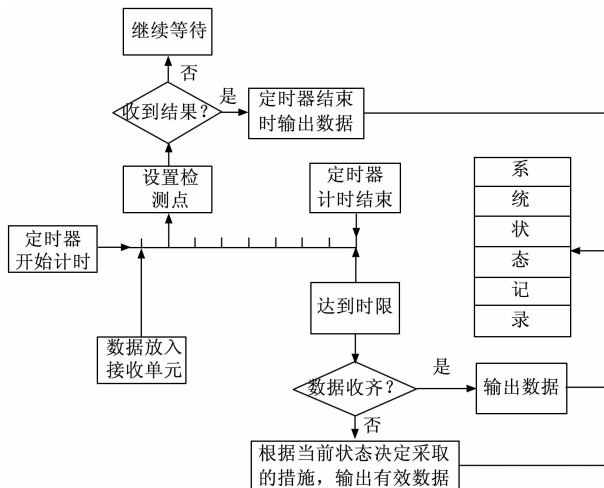


图 4 任务级同步的实现方法

在每一周期开始时，ProASIC3 启动定时器，接收各敏感器数据并发送给 Cyclone V FPGA 用于计算，随后 ProASIC3 循环等待 Cyclone V FPGA 中的双核处理器返回计算结果。如果在定时器定时结束之前，Cyclone V FPGA 中的两个处理器均能正常返回结果，则等待定时器计时结束后

进入下一个控制周期。如果出现有处理器未返回计算结果的情况, 则按照图 2 所示的策略进行相应的操作, 并对系统状态进行记录。

4 系统测试验证与分析

最终集成的星载处理系统实物如图 5 所示。图中, 中间的芯片即为基于 SRAM 架构的 Cyclone V FPGA, 下部的芯片为基于 Flash 架构的 ProASIC3 FPGA, 左上部分的芯片为双核处理器共享的 Flash 存储器。基于该星载处理系统硬件平台, 针对各关键技术进行了实验测试与验证分析。

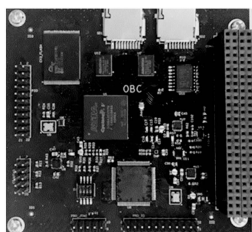


图 5 星载处理系统实物图

4.1 在线重构技术测试

为了单纯对在线重构技术进行验证, 设计了 ProASIC3 周期性地对 Cyclone V FPGA 进行重构的测试用例。在 Cyclone V FPGA 内部设计了时钟锁相环 PLL, 执行对输入时钟进行分频, 并将结果输出至 FPGA 的外部接口上。通过示波器采集到的 ProASIC3 周期性地对 Cyclone V FPGA 进行重构的过程如图 6 所示。

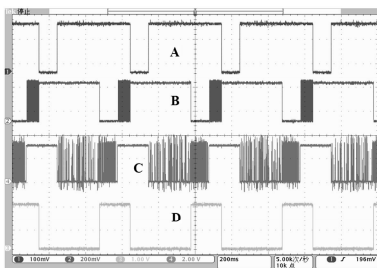


图 6 在线重构技术测试结果

图中有四组曲线 A、B、C、D, 其中 A 曲线为 nCONFIG 重构控制信号; B 曲线为 Cyclone V FPGA 中 PLL 的输出信号; C 曲线为配置芯片向 Cyclone V FPGA 传输重构数据的 DATA 信号; D 曲线是表示重构完成的 CONFIG_DONE 信号。从图中可以看出 ProASIC3 周期性地对 Cyclone V FPGA 进行重构。nCONFIG 信号平时为高电平, 一旦被 ProASIC3 设置为低电平, 首先 Cyclone V FPGA 中正常的 PLL 任务停止输出, 同时 CONFIG_DONE 变低, 表示开始进行在线重构。这里为了便于展示, 低电平持续了约 100 ms, 而实际使用时低电平只需要大于 500 ns 即可。当 nCONFIG 信号又回到高电平后, 配置芯片通过 DATA 引脚向 Cyclone V FPGA 传输重构数据, 当配置数据数据传输完成后, Cyclone V FPGA 的 PLL 继续正常输出时

钟信号, 完成了一次在线重构。经过约 100 ms 的时间后, nCONFIG 信号再次被 ProASIC3 置低, 进行下一次的在线重构。经过测试, 所设计的星载处理系统能够正确地进行在线重构。

4.2 同步技术测试

本平台采用任务级的同步方式, ProASIC 在每一个控制周期给 Cyclone V FPGA 提供同步脉冲, 用于其中运算模块的同步运算。图 7 显示了 ProASIC 每隔固定周期给双核发出的脉冲信号。

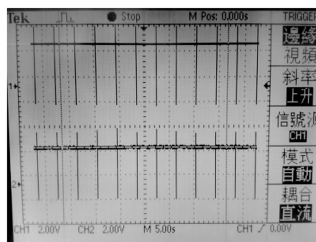


图 7 同步脉冲信号

在同步脉冲的协调下, Cyclone V FPGA 通过串口返回的计算结果也基本上是同步的, 如图 8 所示。

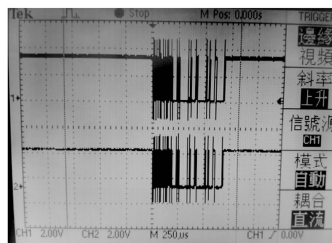


图 8 同步输出的结果

图中, 上下两条曲线分别为 CPU1 与 CPU2 各自串口的输出曲线。从图中可以看出, 两者的计算结果输出相位差小于 50 μ s。考虑到卫星上的控制周期在毫秒量级, 因此这样的相位差是完全可以被 ProASIC 所接受的。这说明所设计的同步机制是可行有效的。

4.3 在轨实际测试

本文所设计的星载处理系统已经在世界首颗 12 U 立方星“翱翔之星”上得到了应用。该卫星于 2016 年 6 月 25 日发射, 运行于距地面约 300 km 的轨道高度。在轨运行期间, 该星载处理系统运行稳定。图 9 显示了“翱翔之星”星载处理系统 FPGA 的工作情况。

由图中可以看出, FPGA 的状态始终为 0, 表明 FPGA 在可测控弧段上均为正常, 这说明在低轨的空间辐射对于 FPGA 的干扰影响较小。图 10 显示了星载处理系统的温度变化情况。

由图 10 可以看出, 星载处理系统的温度均处于 $-10 \sim 25$ $^{\circ}$ C 之间, 温度比较适中。在整个卫星的生命周期内, 星载处理系统运行稳定良好, 证明了本设计方案的正确性和可行性。

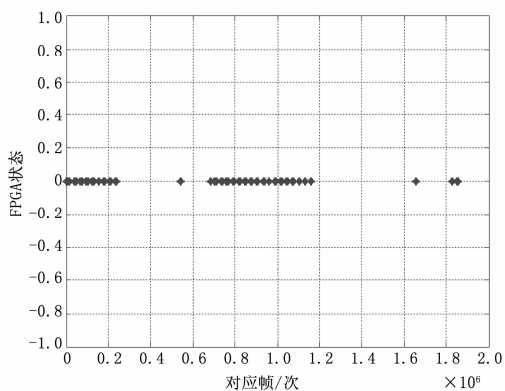


图 9 “翱翔之星”星载处理系统工作情况

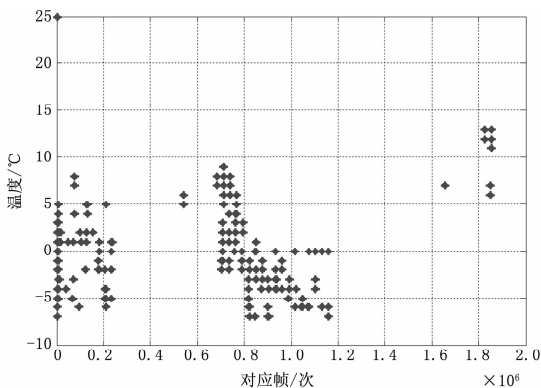


图 10 “翱翔之星”星载处理系统温度变化情况

5 结论

本文在对国内外微纳卫星星载计算机设计特点进行分析的基础上,提出了一种基于 FPGA 的立方星可重构星载处理系统。该系统采用基于 SRAM 型的 FPGA 作为核心处理模块,利用较少功耗获得较高的运算速度;同时采用基于 Flash 型的 FPGA 作为外部表决接口模块,对基于 SRAM 型的 FPGA 进行表决和控制。当基于 SRAM 型 FPGA 出现问题时,基于 Flash 型的 FPGA 能够对前者进行重构修复,从而提高了整个系统的可靠性。最终在硬件上的测试与在轨实测数据表明,本文所设计的立方星可重构星

载处理系统是可靠和有效的,这对于今后设计适合于立方星使用的可重构处理系统提供了一些有益的参考。

参考文献:

[1] Twigg R. Small satellites: past, present, and future [M]. El Segundo, California: The Aerospace Press, 2008.

[2] Osman D A M, M S W. Hardware and software design of on-board computer of ISRASAT1 CubeSat [A]. International Conference on Communication, Control, Computing and Electronics Engineering (ICCCCEE) [C]. Khartoum, Sudan, 2017: 1-4.

[3] Samson J R, Jr.. Small, light-weight, low-power, low-cost, high performance computing for CubeSats [A]. 2014 IEEE Aerospace Conference [C]. Big Sky, MT, USA, March, 1-8, 2014: 1-10.

[4] Huber F, Behr P, Röser H P, et al. FPGA based on-board computer system for the “Flying Laptop” micro-Satellite [A]. Proceedings of 2007 Data Systems In Aerospace (DASIA) [C]. Noordwijk, Netherlands, AUG, 2007: 1-4.

[5] Rajkowski T, Graczyk R, Palau M C, et al. Low cost and high performance on-board computer for picosatellite [A]. Proc. SPIE 8454, Photonics Applications in Astronomy, Communications, Industry, and High-Energy Physics Experiments 2012 [C]. WA, USA, 2012: 1-7.

[6] Li J Q, Post M, Lee R. FPGA hardware nonlinear control design for modular CubeSat attitude control system [A]. Aerospace Conference. IEEE, 2015 [C]. Big Sky, MT, USA, 2015: 1-15.

[7] 王平, 孙宁, 李华旺, 等. 创新一号小卫星星载计算机控制系统设计 [J]. 计算机工程, 2006, 32 (18): 255-257.

[8] Can K, Teney D, Denis A, et al. Design, construction, and test of a reliable, redundant on-board computer (OBC) for the OUFIT-1 CubeSat of the University of Liège [C]. Benelux URSI Forum. 2010.

[9] 何健, 张旭光, 刘凯俊, 等. 基于三模冗余设计的低成本高可信微纳通用计算机 [J]. 计算机测量与控制, 2015, 23 (7): 2556-2558.

[10] 向琳, 吴翔虎, 廖明宏, 等. 微小卫星星务计算机系统的容错控制策略研究 [J]. 宇航学报, 2005, 26 (4): 400-404.

[11] 葛旋, 钟佩思, 吕晓东, 等. 基于机器视觉的螺栓智能装配系统 [J]. 制造业自动化, 2014 (18): 150-153.

[12] Steger C, Ulrich M. 机器视觉算法与应用 [M]. 杨少荣, 等译. 北京: 清华大学出版社, 2008.

[13] 谢光伟, 仲兆准, 钟胜奎, 等. 基于机器视觉的 PCB 板上圆 Mark 点定位方法的研究 [J]. 电脑知识与技术, 2013 (32): 730-734.

[14] 闫蓓, 王斌, 李媛. 基于最小二乘法的椭圆拟合改进算法 [J]. 北京航空航天大学学报, 2008 (3): 295-298.

(上接第 171 页)

[6] 查英, 刘铁根, 杜东. 图像识别技术在零件装配自动识别中的应用 [J]. 计算机工程, 2006 (10): 178-179, 185.

[7] 查英. 自动装配生产线的机器视觉识别系统 [D]. 天津: 天津大学, 2004.

[8] 张明建, 曾伟明. 基于机器视觉的小型电机自动装配研究 [J]. 制造技术与机床, 2017 (6): 124-128.

[9] 杨斌, 周如江, 张明利, 等. 基于机器视觉的智能定位与检测技术研究 [J]. 机械工程师, 2013 (11): 57-59.

[10] 魏宝, 陈玉成, 户凯, 等. 机器视觉系统在连接器自