

基于北斗/GPS 的网络授时系统设计

季志博¹, 朱可¹, 王军^{1,2}

(1. 苏州科技大学, 江苏 苏州 215009;

2. 中国科学院 长春光学精密机械与物理研究所, 长春 130033)

摘要: 针对电脑主机多采用 BIOS 内时钟而导致系统时间不精确的问题, 提出一种基于北斗/GPS 芯片的网络授时系统设计; 该系统采用可编程逻辑器件 (FPGA) 作为主控芯片, 接收北斗/GPS 双模芯片提供的 UTC 时间码流, 解码并通过网口发送到 PC 机上作为精准时间; 同时多个设备间相互连接, 实现多设备之间的数据传输, 增强系统的稳定性和可靠性, 传输速率可达 100 Mbps; 实验证明: 北斗/GPS 接收信号稳定, 传输的时间信息准确, 北斗/GPS 所解时间信息误差不超过 80 ns, 设备与 PC 机 100 Mbps 传输速率误差在 1~2 ms, 系统稳定、可靠。

关键词: 可编程逻辑器件; 同步授时; 北斗/GPS 双模; 用户数据报协议

Design of Network Timing System Based on Beidou /GPS

Ji Zhibo¹, Zhu Ke¹, Wang Jun^{1,2}

(1. Suzhou University of Science and Technology, Suzhou 215009, China;

2. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)

Abstract: In order to solve the problem of inaccurate time on PC machine uses BIOS internal clock, this paper presents a design of network timing system based on Beidou /GPS chip. FPGA as the main control chip, it receives the Beidou /GPS dual mode chip to provide the UTC time stream, decodes and sends it through the network to the PC machine as a precise time. At the same time, multiple devices are connected with each other to realize data transmission between multiple devices, and the stability and reliability of the system is enhanced. Transmission rate up to 100 Mbps. The experiments proved that: Beidou /GPS receive signal stability, accurate transmission time information, the Beidou /GPS solution time information error is not more than 80 ns, 100 Mbps transmission rate error between device and PC in 1~2 ms, the system is stable and reliable.

Keywords: FPGA; Time synchronization; Beidou /GPS dual mode; UDP

0 引言

在一些特定的环境下, 往往需要为多台计算机同步提供更准确的时间信息, 而现如今市场上更多的是用多采用 BIOS 内时钟, 这可能会造成时间的延迟, 错误等问题, 而且其本身具有一定的误差。在应用中也涉及有多设备同时具有更为精准的时间。因此, 一个稳定且传输速率快而数据准确的网络同步授时系统是目前最为需要的。

可编程逻辑器件 (FPGA) 是近些年发展较快的一个芯片, 具有高集成度, 处理速度快, 精确度高等优点^[1-3]。而北斗/GPS 双模芯片具有定位精度高, 稳定性高和可靠性高的特点^[4-6]。把时间数据流解码并通过以太网芯片和 UDP 协议传输, 保证数据传输的高效性。又因网口和网线的通用性, 系统有更高的便捷性。时统设备之间的相互连接, 可以同时多个 PC 机终端同步授时, 又能保证各个 PC 机获取时间的稳定性, 因此系统具备快速、稳定、误差小等优点。

1 系统总体设计

该网络授时系统主要由以太网传输模块, 主控制器模块,

RJ45 接口传输模块, 时间信息采集模块等构成。主控制器 FPGA 接收 GPS 信号处理之后通过以太网传输模块分别传输给周边设备和独立 PC 机。在网口和以太网控制芯片中间加了网络隔离变压器, 一方面为了增强信号, 使传输距离更远, 另一方面也是为了使芯片端和外部隔离, 提高抗干扰能力。系统总体设计框图如下:

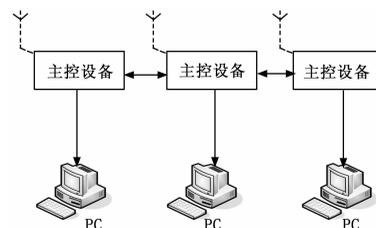


图1 总体设计框图

2 系统硬件设计

2.1 北斗/GPS 芯片解码模块电路设计

系统采用了 UM220-III 北斗/GPS 双模芯片, 该芯片能够提供高精度的载体三维地理位置、速度、时间信息以及原始观测数据, 硬件外围电路简单, 只需提供电源, 匹配电容电阻和天线信号即可^[7]。RF_IN 管脚是芯片的有源天线管脚, 需要加 3.3 V 的电源, 串接了 68 nH 的电感和 100 pF、100 nF 的电容, 都是为了给电源滤波和起到防干扰的作用。20、21 管脚为芯片的发送接收端, 分别用来发送天线接收到

收稿日期: 2017-02-14; 修回日期: 2017-03-09。

作者简介: 季志博 (1993-), 男, 江苏张家港人, 硕士生, 主要从事光通信和信息处理的研究。

王军 (1979-), 男, 江苏徐州人, 博士, 副教授, 主要从事光电测控技术与仪器方向研究。

的 GPRMC 码流和接收 FPGA 给它的芯片模式指令信号, 同时也加了 100 pF 的滤波电容。3 脚为 PPS 的秒信号, 秒脉冲信号能够达到 80 ns 精度, 相比一般的网络授时精确度更高, 芯片管脚出来串接了一个 22 Ω 的电阻是起到了限流的作用。其与主控芯片的连接如图 2 所示。

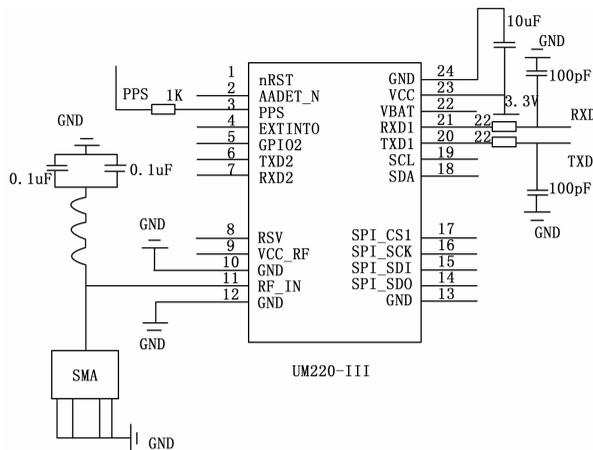


图 2 北斗/GPS 芯片接口电路图

2.2 以太网控制芯片模块电路设计

系统采用了 DM9000A 以太网 MAC 控制器芯片, 其内部集成了一个 10 M/100 M 自适应的 PHY 芯片和 4 K 双字型的 SRAM, 支持 8/16 位数据总线模式, 16 KB 的非易失性 FLASH 存储器, 采用 48 脚 TQFP 封装^[8-9]。由于其兼容 3.3 V 和 5 V 的输入输出, 内置 PHY, 提供 MII 的介质无关接口, 物理协议层接口完全支持使用 10 Mbps 下 3 类, 4 类, 5 类非屏蔽双绞线和 100 Mbps 下 5 类非屏蔽双绞线, 可移植性高, 所以选用了该芯片作为以太网控制芯片。该芯片的硬件连接如图 3 所示。

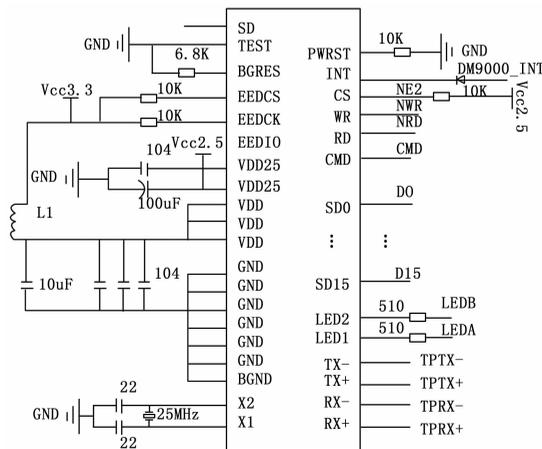


图 3 DM9000A 硬件接线图

芯片电源为 3.3 V 供电, 同时加上 4 个电源滤波电容, 电容大小为 0.1 μF, EEDCS、EEDCK 分别为 EEPROM 的片选端和时钟信号端, 其引脚在内部都自带了 60 K 欧姆的下拉电阻, 在 MII 数据接口模式下, X2 为 25 M 的晶振输出, X1 为 25 M 的晶振输入, PW_RST 端口低电平有效, 上电复位, 低电平激活 DM9000 的重新初始化, 5 μs 后执行。38、39 分别为连接/运行指示灯和速度指示灯, 38 作为 PHY 链路

通断的监测灯, 39 低电平表示工作在 100 Mbps 下, 悬空表示工作在 10 Mbps 下。CMD 管脚高电平选访问数据端口, 低电平选访问地址端口, 最后芯片会以差分的形式进行收发, RJ45 接口引脚连接如图 4 所示。

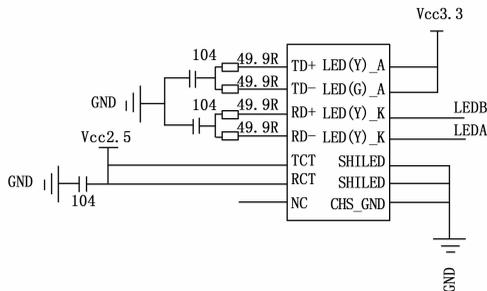


图 4 RJ45 硬件接线图

1, 2 和 3, 6 分别为发送和接收的差分信号。为了和网线阻抗实现匹配, 一般外围电阻选择 49.9 欧姆的精密电阻。在 DM9000A 和 RJ45 中间须添加一个网络隔离变压器, 起到芯片和外部隔离的作用。

3 系统软件设计

3.1 北斗/GPS 解码模块设计

系统所选北斗/GPS 芯片遵守 NMEA-0183 标准协议, 兼容性最广泛的语句有 GPGGA、GPGSA、GPGSV、GPRMC、GPVTG 等, 控制芯片从 GPS 发送端可以接收到这些码流, 其中包含了定位信息, 当前卫星信息, 卫星数量, 地面速度信息, 地理位置等多种信息, 此设计中需要定位信息以及 UTC 时间信息, 所以在接收口提取了 GPRMC 码流, 它的格式为:

GPRMC, <1>, <2>, <3>, <4>, <5>, <6>, <7>, <8>, <9>, <10>, <11>, <12> * hh, 编号<1>数据格式为: hhmmss.sss (时分秒. 毫秒), 编号<2>是定位状态, A 为有效, V 为无效状态, 此外还需要 UTC 日期信息, 格式为: ddmmyy (日月年)。为读取有效时间信息, 定位状态是否有效的状态位可以更好的确认信号接收状态, 而 GPRMC 码流中包含了不止时间信息, 还有经纬度, 地表速率, 地表航向等多种信息, 所以在 FPGA 的硬件程序的编写过程中, 将 UM220-III 接收的信息按照其码流格式提取接收, 就能够获得需要的 UTC 时间和 UTC 日期, 日期中的年月日、时分秒的信息以 ASCII 的形式存放在寄存器中, 通过 PC 机上串口助手接收十六进制指令协议“7E 7E AA E7 E7”指令完毕会有一个完成信号, 将该信号在顶层中和解码模块的开始 START_SIG 信号相连接, 触发 FPGA 中的解码模块, 等待解码完毕后输出一个 JM_DONE_SIG 的高脉冲信号作为 FPGA 中发送模块启动信号, 然后存在寄存器中的数据会以十六进制的格式通过 TX 引脚发送到上位机, 数据以十六进制 24 为每帧数据的帧头, 匹配“”数据流首格式, 十六进制的 0D、0A 作为帧尾发送出去。数据通过以太网控制芯片和 FPGA 的总线传输, 最后通过 RJ45 发送到上位机。解码部分软件流程如图 5 所示。

接收到 GPS 发送的数据帧信号后, 需要在硬件程序中判断是否为 ASCII 码“”所对应的十六进制数, 如果是, 则继续判断是否为 ASCII 码“G”的对应的十六进制数, 如果是,

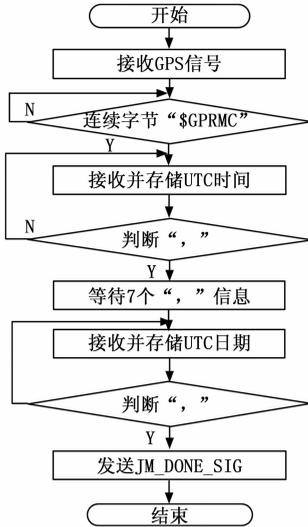


图 5 GPS 解码软件流程图

则继续判断，如果不是则重新判断是否是“，”，以此类推，直到判断到“C”之后就是 UTC 时间信息，将数据按照字节的长度依次存到寄存器中，同时判断“，” ASCII 符对应的十六进制，如果对应，则表明时间信息提取完毕，进而连续等待 7 个“，”信息，目的是过滤掉中间不需要的码流信息，然后同样的将 UTC 日期信息提取出来放入寄存器，最后接收到 ASCII “，” 对应的十六进制时发送解码完成信号，解码结束。

3.2 以太网传输模块设计

DM9000A 是一款集成了以太网 MAC 器和自适应的物理层 PHY 芯片，通过总线方式和主控设备连接^[10]，初始化芯片后等待发送，数据帧以 UDP 格式逐字发送到数据缓存区，随后发送使能命令后把数据重组将数据缓存区的数据发送出去。程序模块主要涉及到 DM9000A 的初始化，写控制命令模块，读数据模块，DM9000A 数据发送模块，DM9000A 数据接收模块。

3.2.1 DM9000A 初始化模块

DM9000A 的初始化可以通过控制其内部的寄存器来实现，第一步通过写通用目的寄存器 (GPR) 和通用目的控制寄存器 (GPCR) 激活内部 PHY，一般在延时 2 ms 后等待 PHY 上电，接着进行两次的软件复位，然后配置网络控制寄存器 (NCR) 设置正常工作模式，在这里进行两次软件复位时为了确保软件复位成功。复位网络状态寄存器 (NSR) 和中断状态寄存器 (ISR)，最后根据数据手册进行一些收发功能控制寄存器的使能控制，至此可根据 LED 灯判断初始化是否完毕。流程如图 6 所示。

3.2.2 DM9000A 发送模块

利用 DM9000A 发送数据是按照网络协议进行封包的数据，发送过程包括下图 7 所示的几个步骤，首先把需要发送的数据写到其内部 SRAM 中，也就是一个向内存数据写命令寄存器 (MWCMD) 写数据的过程，接着通过控制发送数据包长度寄存器 TXPLL 和 TXPLH，将发送数据包字节的长度写入 FDH 和 FCH 完成数据长度配置，最后通过写发送控制寄存器 (TCR) 的最低位为 1 请求发送指令，发送完成后会自动清零该位。期间 DM9000A 会自动对数据做一些处理，如插入报头，帧起始分隔符，以及校验序列位。存在数据缓冲

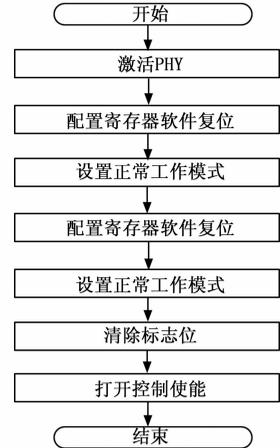


图 6 DM9000A 初始化流程图

区的数据会分成两帧轮流发送，帧二的数据发送同帧一类似，在写入数据长度并把发送控制寄存器的 BIT [1] 拉高即可发送数据帧二。具体操作步骤可参照下面的 DM9000A 数据发送流程如图 7 所示。

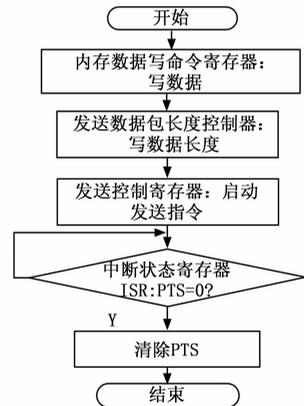


图 7 DM9000A 发送流程图

3.2.3 DM9000A 接收模块

DM9000A 在接收到一个数据包之后，会在数据包之前加上 4 个字节的数据，通过判断第一个字节来确定是否收到数据，如果是 01H，则表明收到数据，如果是 00H 则表明没有接收到数据，都不是则需要再进行一次初始化时候的软件复位来解除这种异常状态^[4]。第二个字节是状态字节，用来判断接收的数据是否正常，第三，第四个字节分别是低字节和高字节的帧长度。以上 4 个字节为有效数据包之前的 4 个状态字节。接收过程如图 8 所示。

3.2.4 FIFO 模块

在 DM9000A 接收到数据帧之后会通知 FPGA 启动读取数据的过程，设计采用 Quartus 11.0 菜单 TOOL 工具下合理配置生成同步 FIFO 模块，同步 FIFO 在进行读写操作的时候都是通过一个 CLK 时钟，在时钟来临的时候同时发生读写操作，而异步 FIFO 可以在两个不同的时钟下进行同时读写，因异步 FIFO 消耗 CPU 资源较多，所以采用同步 FIFO。这种先入先出的 FIFO 数据缓存器从芯片中提取数据，一个完整的 FIFO 读模块用到了 6 根线，分别为读请求信号，写请求信号，写入数据，读出数据，输出的满信号和输出的空信号，

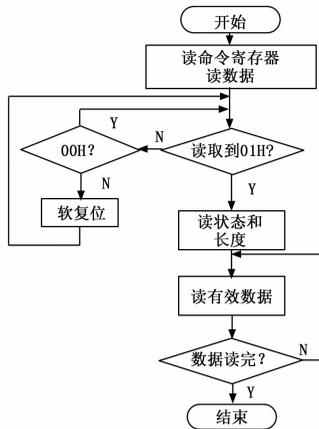


图 8 DM9000A 接收流程图

使用 FIFO 作为中间数据的缓存可以避免两个模块之间数据字节长度的不一致问题, 同时在硬件程序的仿顺序操作中可以避免上层模块等待下层模块完成返回处理完成信号的过程, 继而缩短执行下一步的时间, 提高了程序的执行效率, 缩短了周期。在程序中, FIFO 控制模块接收到启动信号之后, 利用 case 条件语句首先判断 Empty_Sig 是否为空, 如果不空, 紧接着拉高 isRead 读请求信号, 下一个周期再拉低, 得到读请求允许信号后触发下个模块的启动使能, 读取数据。

3.3 网络数据传输模块

在数据发送之前需进行一个数据格式包的打包处理, 设计采用 UDP 协议, UDP 协议使用数据报头中的校验和来判断数据的准确性和安全性, 如果发送接收端的校验计算值不一致, UDP 协议可以检测出来, 说明数据在传输过程中受损, UDP 不会修复受损数据而是直接丢弃, 但是相比 TCP 协议, 它因不需要“握手”动作, 消耗资源更少, 常用于数据量较小的信息传输, 在网络环境理想的情况下, 速率更快。

为此, 程序中需要一个打包模块对得到的时间数据进行打包处理, 报头的格式如表 1 所示。

表 1 报头格式

报头名称	
源端口号	目标端口号
长度	校验和
数据	

源端口号、目标端口号为 2 个字节, 长度、校验和也为 2 个字节^[11-12]。打包之后通过控制芯片将数据传到网口, 发送完后等待下一次的发送。接收的时候按照 UDP 格式接收, 然后再提取有效数据。

4 实验结果

本系统采用 100 M 速率进行传输解码时间信息, 用 ping 命令进行内部网络的测试, 一般在 1 ms 左右, 主要的时间消耗在两个地址之间的传输以及发送时的 MAC 目的地址和源地址所消耗的时间, 以解码完成信号作为触发信号起, 大约 1 ms 后发送有效数据, 如图 9 所示。

客户端接收到主机 UDP 协议形式发送过来的数据包, 24 为帧头, 0D, 0A 为帧尾, 中间的 12 字节数据是以 ASCII 码



图 9 示波器图形

形式表示的时间格式, 如图 10 所示: 08/12/16 12: 44: 33 表示 (UTC 时间: 16 年 12 月 8 日 12 点 44 分 33 秒)。

```
接收 176, 发送 0
} DAT ---> [UDP] 192.168.1.2:59045 <44> 24 30 38 31 32 31 36 31 32 34 34 33 33 0D 0A
} DAT ---> [UDP] 192.168.1.2:59045 <44> 24 30 38 31 32 31 36 31 32 34 34 33 34 0D 0A
} DAT ---> [UDP] 192.168.1.2:59045 <44> 24 30 38 31 32 31 36 31 32 34 34 33 35 0D 0A
} DAT ---> [UDP] 192.168.1.2:59045 <44> 24 30 38 31 32 31 36 31 32 34 34 33 36 0D 0A
```

图 10 接收数据图

5 结论

该网络授时系统能够依靠北斗/GPS 双模芯片和多台时统设备实现多 PC 的同步精准授时, 误差在 1 ms 左右, 接收的时间数据以 ASCII 码的形式发送到 PC 机上, 通过 UDP 上位机软件窗口可以显示。实验结果满足同步, 误差小的特点, 且数据准确。

参考文献:

- [1] Yang M F, Liu B, Gong J, et al. Architecture design for reliable and reconfigurable FPGA based GNC computer for deep space exploration [J]. Science China Technological Sciences, 2016, 59 (2): 289-300.
- [2] 贾磊, 崔永俊, 杨兵, 等. 基于 FPGA 的 IRIG-B (AC) 时间解码器的设计 [J]. 电子器件, 2016, 39 (2): 370-373.
- [3] 曾一凡, 吴思琪. 基于 FPGA 和有限状态机的守时系统设计 [J]. 计算机测量与控制, 2014, 22 (5): 1565-1567.
- [4] 吕金浩, 吕志伟, 杨剑伟, 等. GPS/BDS 组合相对定位解算及精度分析 [J]. 全球定位系统, 2014, 39 (3): 4-7.
- [5] 崔永俊, 黄江鹏, 杨慧. 基于 GPS/BD 的高精度授时关键技术研究 [J]. 计算机测量与控制, 2015, 23 (2): 574-576.
- [6] 高星伟, 过静璐, 程鹏飞, 等. 基于时空系统统一的北斗与 GPS 融合定位 [J]. 测绘学报, 2012, 41 (5): 743-748.
- [7] 李娟娟, 杨开伟. 自研 BDS/GPS 双模高精度接收机性能评估 [J]. 全球定位系统, 2015, 40 (4): 46-49, 55.
- [8] 关守平, 尤富强, 董国伟. 基于 FPGA 的高速数据采集系统设计 [J]. 控制工程, 2013, 37 (1): 970-975.
- [9] 焦佳伟, 石云波, 邹坤. 基于 FPGA 和以太网的多通道数据采集系统 [J]. 电子器件, 2016, 39 (1): 168-171.
- [10] 沈豪敏, 张涛, 王健. 基于 DM9000A 的 DSP 以太网接口设计与实现 [J]. 现代电子技术, 2013, 36 (24): 140-143.
- [11] 岳兆娟, 任勇毛, 李俊. 基于 UDP 的高速网络传输协议研究 [J]. 计算机应用研究, 2013, 30 (10): 2887-2890.
- [12] Mustafa Kamal J M, Hasan M S, Griffiths A L, et al. Development and Verification of Simulation Model Based on Real MANET Experiments for Transport Layer Protocols (UDP and TCP) [J]. International Journal of Automation and Computing, 2013, 10 (1): 53-63.