

基于 MT9172 的 K 口通信模块设计

孙 伟, 鲍凯凯, 代振涛, 武亮明, 周 文

(北方自动控制技术研究所, 太原 030006)

摘要: 在军用战术互联网无线通信系统中, 超短波/短波电台和多频段电台对外提供非标准的 K 接口供用户数据接入使用; 在各类通信控制设备设计中, 为实现语音和 IP 业务数据以无线的方式接入战术互联网, 需要设计 K 口通信单元与各类电台进行数据交互; 为解决此问题, 设计了基于 FPGA 和 MT9172 的 K 口通信模块, FPGA 主要实现 K 接口链路层功能, 通过 TDM 口实现数据接入, 按时隙对语音与业务数据进行复接、缓存与发送, 实现与电台间的同步与环路信令握手; MT9172 主要实现 K 接口物理层功能, 并为 FPGA 提供串行数据接口; 设计实现了野战网接口标准中定义的 K 口工作模式 3, 传输速率为 128 kbps, 完成了 TDM 口到 K 口的接口转换; 经验证, 该 K 口通信模块能够可靠应用于各类需要接入战术互联网的通信控制设备中。

关键词: MT9172; K 口; FPGA; TDM 接口

Design of K-port Communication Module Based on MT9172

Sun Wei, Bao Kaikai, Dai Zhentao, Wu Liangming, Zhou Wen

(North Automation Control Technology Research Institute, Taiyuan 030006, China)

Abstract: In military tactical Internet wireless communication systems, ultra-shortwave / shortwave and multi-band radios provide a non-standard K interface for user data access. In the design of all kinds of communication control devices, in order to realize the voice and IP business data to wirelessly access the tactical Internet, it is required to design a K-port communication unit to interact with various types of radio stations for data interaction. In order to solve this problem, a K-port communication module based on FPGA and MT9172 is designed. The FPGA mainly implements the link layer function of the K interface, achieves data access through the TDM port, multiplexes, buffers and sends voice and service data according to time slots, Realize synchronization and ring signaling handshake between stations. The MT9172 mainly implements the K interface physical layer functions and provides a serial data interface for the FPGA. Design and implementation of the field network interface standard defined K-mouth mode of operation 3, the transfer rate of 128 kbps, completed TDM port to K port interface conversion. It is verified that the K-port communication module can be reliably applied to various communication control devices that need to access the tactical Internet.

Keywords: MT9172; K-port; FPGA; TDM interface

0 引言

随着现代科学技术的飞速发展, 信息网络战争已成为未来我军的主要战场^[1-2]。应用于各类信道接口单元的通信接口模块层出不穷。本文设计的 K 口通信模块具有广泛的应用市场, 通过该接口不仅可以实现与新一代通信控制器连接, 还可以与野战交换机、K 接口遥控终端等设备互联互通, 具备同时传输数据和数字语音的功能。

1 方案设计

本文 K 口通信模块采用 FPGA+硬件接口芯片 MT9172 的设计方案实现, 可以提供全双工 128 Kbit/s 的传输通道, 用户端提供标准 TDM 口进行数据接入, 支持多种编码体制的语音业务和电台参数配置、数据业务。其中 FPGA 主要完成 K 接口的链路层协议处理, 实现 TDM 接口数据收发, 时隙复接与数据缓冲, 完成与电台间的同步与信令握手流程。硬件接口芯片 MT9172 与网络变压器 HR070620 配合完成 K 接口物理层处理, 实现单线对上全双工数字通信, 与 FPGA 间通过收发独立的串行数据流通信。

本设计中 FPGA 采用 Xilinx 公司技术成熟的 Spartan-3A 系列的 XC3S700A^[3]。其具有可靠性高、成本低、逻辑资源丰富的特点。其基本属性为 700K 逻辑门, 1472 个 CLBs, 5888 个 Slices, 92 Kb 分布式 RAM, 360 Kb 集成 RAM, 8 个 DC-Ms, 能够为为高容量、成本敏感类应用提供超低成本、高性能的逻辑解决方案。

K 接口的物理层处理采用了 Zarlink 公司的数字网络接口芯片 MT9172 (简称 DNIC)^[4], 该芯片采用自适应回波抵消技术, 可在单对线路上实现全双工数字传输, 传输速率可选为 80 kbit/s 或 160 kbit/s, 普通的双绞线传输距离可达 4 km, 与 ISDN 的 2B+D 数据格式相兼容。其内部, 具有帧同步析取和时钟析取能力, 可为外部电路提供时钟。

2 电路设计

本方案中选择的 MT9172 具有多种操作模式, 可通过引脚 MS0-2 选择, 两种主要操作模式为 MOD (透传模式) 和 DN (数字网络) 模式。MOD 模式速率可选为 80/160 kbit。在 DN 模式时, 线路按照 ISDN (综合业务数字网) 格式传输 B、D 通道数据, 速率可选为 80/160 kbit。DN 模式时, CD 口和 DV 口为标准的串行总线接口 (ST-BUS), 并且, 在 MOD 模式, CD 口和 DV 口以 80 kbit/s 或 160 kbit/s 的速率透传串行数据。其他模式包括: 主、从、单口、双口模式, 主从模式时, 时间基准和帧同步信号由外部提供或从线路提取。双口模

收稿日期: 2017-10-23; 修回日期: 2017-12-16。

作者简介: 孙 伟 (1990-), 男, 山西盂县人, 硕士, 助理工程师, 主要从事通信网络方向的研究。

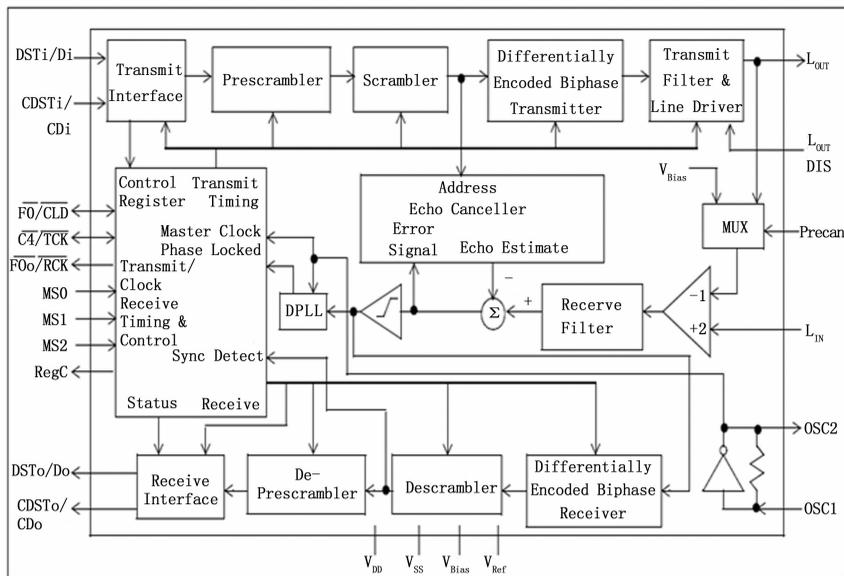


图 1 MT9172 内部原理框图

式时, CD 口和 DV 口都活动, 单口模式时, CD 口不活动, 所有信息通过 DV 口传输。对于线路上两个 DNIC, 必须分别设置为主、从, MOD 模式下只有双口模式。

本设计中 MT9172 工作在模式 1, 为透传模式 (MOD)、主模式。其他配置采用默认模式 2 配置, 此时, DNIC 速率配置为 160 kbit/s, 预扰码器、诊断寄存器复位等功能全部不使能。其中, 时钟锁相环路的时钟改用了 8.192 MHz, K 口实际工作于 128 Kbit/s。系统端 DV 口及相应的时钟接入 FPGA, 透明数据经 FPGA 处理后分为数据和语音, 经过 FPGA 内部缓存, 时隙再分配后由 TDM 口发送出去。具体电路连接关系如图 2 所示。

3 逻辑设计

本设计方案中 FPGA 与 MT9172 之间通过 DV 接口进行全

双工串行数据收发, 该接口的数据收发分别同步于发送时钟和接收时钟, 发送时钟和接收时钟由 MT9172 提供, 都为 128 kbps。FP-GA 需要根据 K 接口协议完成与短波电台/超短波电台 K 口间的链路同步、环路信令交互、对透明数据按时隙接收、缓存、发送的工作, 设计在 ISE14.7 环境下, 采用 VHDL 语言编程实现。

3.1 K 口协议

K 口具有多种工作模式, 其中工作于模式 3 适用于新一代 VHF/HF 电台 K 接口, 模式 3 又细分为两种模式: 模式 3-32K、模式 3-64K, 模式 3-32K 的电台业务数据的实际传输速率为 32 Kbps, 语音采用 64 Kbps 的 PCM 编码。模式 3-64K 的电台业务数据的实际传输速率为 64 Kbps, 语音采用 32 Kbps 的 ADPCM 编码。本方案根据通信应用需求, 采用模式 3-32K, 其帧格式如图 3 所示。

在这种模式下, K 口数据帧速率为 16 Kbit/s, 每帧由 8 bit 数据构成, 划分为 8 个时隙, 每个 bit 为一个时隙。K 口数据帧格式各字段含义如下:

1) 同步: 同步码采用地域网中继群规约中规定, 本端未同步前发反码 111100010011010, 本端同步后发正码 000011101100101;

2) 环路信令、语音指示: 语音编码指示时隙。设备同步后首先使用该时隙交互环路信令, 环路信令交互完毕后, 该时隙作为 PCM 的高/低 4 bit 指示位, 当时隙 1 为“0”时表示是同一字节的高 4 bit, 为“1”时表示为低 4 bit, 同一字节的高位先发送;

3) 控制、数据包: 包括电台的网络参数、信道参数的设置、查询、加注和信令信息业务数据包; IP 数据包和非 IP 数据。不同类型的数据采用相应的 HDLC 格式封装。

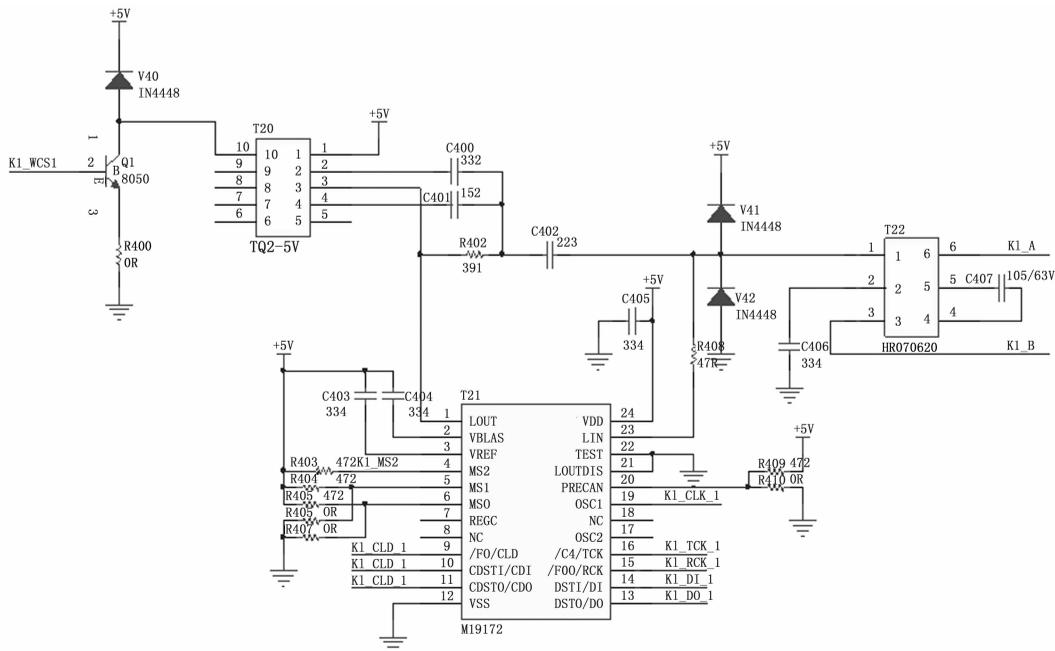


图 2 MT9172 外围电路图



图 3 K 接口数据帧格式

4) PCM 语音: 编码速率为 64kbps 的 PCM 语音数据, 由 4、5、6、7 四个时隙传送。

K 接口数据帧各时隙的数据采用 bit 交织的复接方式, 具体的形式如图 4 所示。

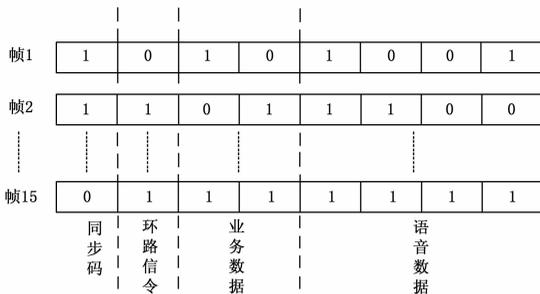


图 4 模式 3-32K bit 交织复接方式

其中第一列共 15 位组成同步码, 第二列, 环路信令沟通阶段, 每 8 帧组成一个 8 bit 的环路信令字节, 环路信令沟通完成后, 每 1 bit 指示语音数据的高/低位; 第 3、4 列每 4 帧组成 1 字节的业务数据, 最后 4 列每 2 帧组成 1 字节的 PCM 语音数据。

3.2 设备识别

K 接口设备识别的过程描述: 首先, 物理连接建立后, K 口通信模块和信道设备分别检测到对端的同步码后, 由失步状态进入链路帧同步状态。在此基础上进行环路信令沟通, 设备类型信息的交互就在这个一过程完成, 沟通成功双方进入链路识别状态, 沟通失败则继续进行环路信令沟通。在链路识别的基础上, 上层软件可以通过 K 口与信道设备进行握手, 握手机手成功则进入握手状态, 握手失败则退回到链路识别状态。图 5 是 K 口设备识别的状态转换图。在设备识别的过程中, 设备信息的交互是通过环路信令沟通来完成的。



图 5 K 口设备识别状态转换图

3.3 逻辑实现

本方案 FPGA 逻辑功能主要包括:

- 1) 实现链路帧同步, 分为同步码的发送和接收;
- 2) 实现链路帧数据的交织/解交织;
- 3) 实现环路信令沟通, 并上报连接状态;
- 4) 实现 TDM 接口的数据收发、时钟生成。

FPGA 内部逻辑设计如图 6 所示。

本设计中 FPGA 逻辑设计关键点为链路同步检测、环路信令沟通和 TDM 数据收发。链路同步检测中关键设计包括数据接收寄存器、计数器、同步检测模块; 环路信令沟通关键设计包括环路信令寄存器、状态转换模块、数据 FIFO。本小节就关键逻辑设计原理作详细介绍。

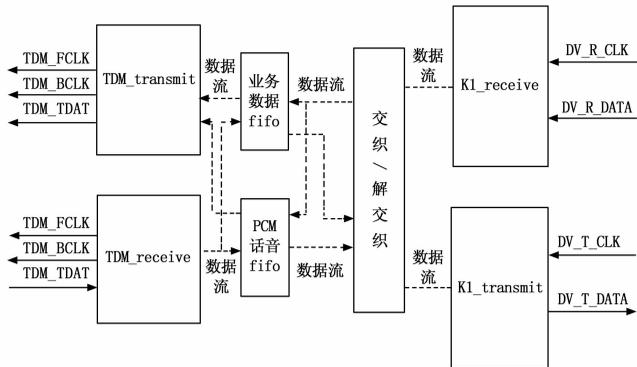


图 6 FPGA 逻辑设计框图

3.3.1 数据接收寄存器

由于链路同步码共 15 位, 需 15 个连续的数据帧的同步时隙组成。为完整接收 15 位同步码, 设计 120 位的移位寄存器, 按接收位时钟移位, 移位完成后, 抽取移位寄存器的 $8n-2$ ($n=1, 2, \dots, 15$) 位组成线路同步码, 并与协议约定值比对, 如与正码比对一致, 则认为检测到正同步码, 与反码比对一致, 则认为检测到反同步码。

3.3.2 同步检测模块

链路同步检测模块具体原理为, 链路开始处于失步状态, 发送模块发反码。接收模块每接收 1 位数据, 就检测是否构成同步码, 检测失败, 等待下一位数据, 检测成功, 进入预同步状态。此时, 计数器启动工作, 发送模块发正码, 当计数器为 119 时, 再进行检测是否为正码, 如为正码, 链路同步正常, 后计数器从 0 开始继续计数。如出现计数器为 119 时, 同步码检测失败, 则链路由同步状态进入失步状态, 发送模块发反码。

3.3.3 环路信令沟通

环路信令沟通是一个双向交互的过程, 需要 K 口接发模块协同工作, 环路信令寄存器锁存信道设备发送的环路信令信息, 状态机根据收到的环路信令信息完成状态的转换, 并输出相应的状态信息。环路信令沟通具体内容包括:

- 1) Wait_AA: 等待接收 0xAA (收到 AA 发 A0);
- 2) Wait_F6: 等待接收 0xF6 (收到 F6 发 E0);
- 3) Wait_CO_FO: 等待接收 0xCO 或 0xFO, 0xCO 为 VHF, 0xFO 为 HF (收到 C0/F0 发 FC);
- 4) Wait_E8: 等待接收 0xE8, VHF/HF 都使用 64 Kbit/s 的 PCM 模式 (收到 E8 发 FA);
- 5) Wait_AA_55: 环路信令交互完成, 时隙位变为高低指示位, 持续等待 0xAA 或 0x55。

具体环路信令交互流程如图 7 所示。

3.3.4 TDM 收发模块

本方案中 TDM 接口按 E1 基本帧格式传输数据, 其基本帧长为 256 个 bit, 时长 $T=125 \mu s$, 分为 32 个时隙, 每 8 bit 一个时隙, 每时隙速率为 64 kbps。K 口模式 3-32 K 的电台业务数据的实际传输速率为 32 Kbps, 语音数据传输速率为 64 Kbps。考虑速率匹配需求, 设计占用 1 时隙作为业务类型指示, 2 时隙低 4 位传输电台业务数据, 3 时隙传输 PCM 语音编码。其中 1 时隙为 0xA1 时指示 1 时隙电台业务数据有效, 为 0xA2 时指示 3 时隙 PCM 语音编码数据有效, 为 0xA3 时指示

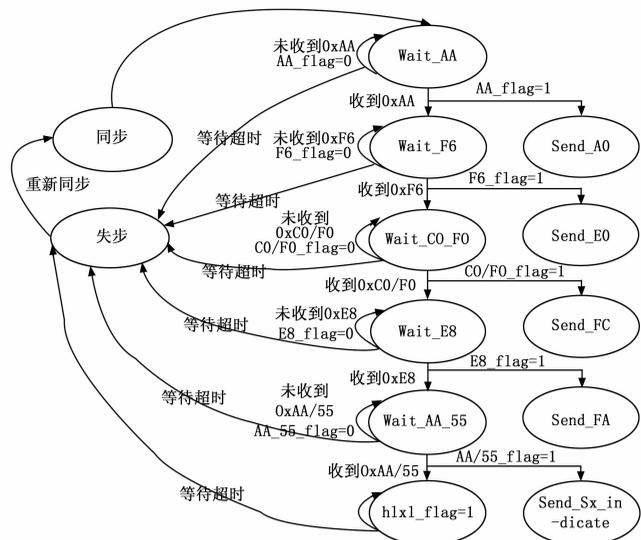


图 7 环路信令交互流程图

1、2 时隙数据都有效。发送方向, FPGA 接收 TDM 数据后完成串并转换, 并存储到内部构建的 FIFO 中, 等待 K 口发送单元读取并发送。接收方向, TDM 发送单元读取 FIFO 数据, 完成并串转换, 并按约定时隙发送到处理器。

4 实验结果与分析

分别将 K 口通信模块与超短波、短波电台 K 口相连接, 使用 ISE 软件, 调用 XILINX 公司在线调试软件 chipscope, 设置触发条件, 在线观测 FPGA 内部信号, 如图 8 所示。其 sync_flag_pre 为 1 时指示收到对端电台反码, sync_flag 为 1 指示收到对端正码, 链路处于同步状态, hlxl_reg 持续为 0x55 或 0xAA, 指示环路信令已交互完毕, 此时环路信令位变为高低指示位, 所以持续为 0x55 或 0xAA。此时电台 K 口状

(上接第 247 页)

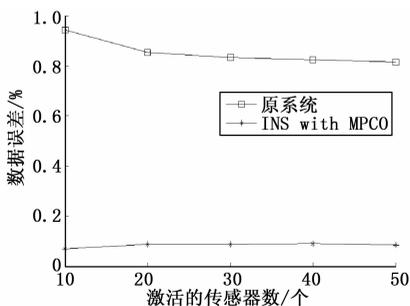


图 7 数据精度

动的智能网络化系统。一方面, 网络控制系统架构分为数据采集、线性化处理、参数库、驱动模块、存储与管理等模块, 基于多参数协作驱动并实时更新参数库与网络信号。另一方面, 将网络系统分为核心控制子系统和中继协作子系统, 构建智能网络化系统。其中, 服务器部署核心控制子系统, 是智能网络化系统的核心; 中继终端部署中继协作子系统。子系统之间通过多参数协作驱动算法进行实时交互。最后, 实验结果证明, 所设计系统具有高执行效率和高数据精度等优秀表现。

参考文献:

[1] Schmicker M, Schwefel M, Vellage A K, et al. Training of Atten-

态显示: K 口已连接, 如图 8 所示。

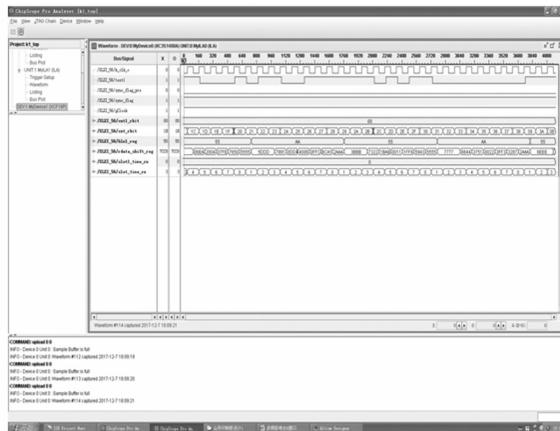


图 8 FPGA 内部信号测试

经检验, 本文设计的 K 口通信模块能够实现与新一代短波/超短波电台间 K 口通信。并且, 由于 FPGA 具备的可编程灵活性, 根据应用需求, 可方便实现接口扩展与改进, 能广泛应用于各类通信控制器、野战交换机、K 接口遥控终端等设备上。

参考文献:

[1] 赵 璐. 便携式通信终端设计 [J]. 通信设计与应用, 2016 (7): 59-60.
 [2] 司朝良. MT9172 及其在基带调制解调器中的应用 [J]. 通信及网络元器件, 2003 (9): 57-60.
 [3] Xilinx Spartan-3A FPGA Family: Data Sheet [Z]. 2010.
 [4] Zarlink Semiconductor. ISO²-CMOS ST-BUS Family MT9171/72 Digital Subscriber Interface Circuit/Digital Network Interface Circuit [Z]. 1999, 2.
 [5] Zhang Y, Tao G, Chen M. Adaptive neural network based control of noncanonical nonlinear systems [J]. IEEE Transactions on Neural Networks & Learning Systems, 2016, 27 (9): 1864-1877.
 [6] Wang H, Sun W, Liu P X. Adaptive intelligent control of nonaffine nonlinear time-delay systems with dynamic uncertainties [J]. IEEE Transactions on Systems Man & Cybernetics Systems, 2016, 46 (3): 927-937.
 [7] Taslidere E, Cohen F S, Reisman F K. Wireless sensor networks—a hands-on modular experiments platform for enhanced pedagogical learning [J]. IEEE Transactions on Education, 2011, 54 (1): 24-33.
 [8] 任好玲, 林添良, 黄伟平, 等. 纯电驱动工程机械自动怠速系统参数优化与试验 [J]. 农业机械学报, 2016, 47 (10): 358-364.
 [9] Park J, Hong I, Kim G, et al. Intelligent network-on-chip with online reinforcement learning for portable HD object recognition processor [J]. IEEE Transactions on Circuits & Systems I Regular Papers, 2014, 61 (2): 476-484.
 [10] 刘佑达, 王 雪, 崔粟晋, 等. 基于分布式传感网络的在线智能用电磁波源定位 [J]. 仪器仪表学报, 2017, 38 (1): 1-7.