

一种红外仿真图像数据流播放器设计与实现

邱琦, 邱扬刚, 谷锁林, 赵民伟

(中国酒泉卫星发射中心, 甘肃 酒泉 732750)

摘要: 目前红外图像已经成为光学最重要的跟踪测量、景象获取和辐射特性测量的手段, 现有光学仿真系统主要应用在可见光测量系统, 而红外系统的仿真手段极为匮乏; 为满足红外图像的仿真目标与真实背景实时融合对高速实时数据流播放的需求, 提出了一种基于 FPGA 和 DSP 技术实现的红外仿真图像高速实时数据流播放播放器设计, 通过多级缓存传输的输入控制、多级乒乓切换的输出控制以及图像缓存循环队列控制等关键算法设计, 实现了高带宽、高帧频、高分辨率的红外图像流数据的实时输出, 解决了仿真目标与真实背景融合的大数据量运算问题; 在实际应用中, 取得了较好的视觉效果和训练效果, 具有广泛的应用价值。

关键词: 光电经纬仪; 红外图像; 仿真; 数据流

Design and Implementation of a Data Stream Player for Infrared Simulation Image

Qiu Qi, Qiu Yanggang, Gu Suolin, Zhao Minwei

(Jiuquan Satellite Launch Center, Jiuquan 732750, China)

Abstract: At present, infrared image has become the most important optical tracking measurement, scene acquisition and radiation characteristics of the means of measurement. The existing optical simulation system is mainly used in visible light measurement system, and infrared system simulation means extremely scarce. In order to meet the requirements of real-time fusion of simulation target and real background for high-speed real-time data stream, this paper presents a high-speed real-time data stream player designed for infrared simulation based on FPGA and DSP technology, designs of key algorithms such as input control of multi-level cache transmission, output control of multi-level ping-pong switching and image buffer cycle queue control, and realizes the real-time data of high-bandwidth, high frame rate and high resolution infrared image flow data output, to solve the large data volume computing problem of the simulation target and the real background of the integration. In the practical application, the proposed player has achieved good visual effects and training results, with a wide range of application value.

Keywords: photoelectric theodolite; infrared image; simulation; data flow

0 引言

红外图像以其独特的成像特点和复杂天气条件下的适应能力, 已经成为发射场光电经纬仪最重要的目标跟踪测量、景象获取和辐射特性测量的手段。而目前光学仿真训练系统主要针对可见光测量系统, 红外图像的仿真训练系统研究较少。为满足仿真训练的需求, 实现不同任务目标的成像和飞行姿态仿真, 以及环境背景的仿真, 采用增强现实的思想, 提出基于红外虚拟目标与真实背景融合的红外图像仿真方法, 提升仿真训练效果, 该方法采用高速实时数据流的播放技术, 因此, 研究高速实时数据流播放器成为实现红外图像仿真的关键。

目前, 现有的大众型多媒体播放器通常是一种集成音频、视频、图片浏览于一体的多功能播放器。由于主要应用于人眼观赏, 所以一般存在格式比较固定, 播放的帧频较低等不足。现有的播放器技术存在的问题突出表现为以下几点:

1) 通用的基于专用 ASIC 的播放器, 以大众化视听为目的, 格式固定, 各种性能指标都较低, 不能满足专业领域的需求;

2) 一些简单的仅使用 FPGA 实现的图像播放器, 由于

FPGA 内部存储器非常小, 都是播放固定格式的单帧图像, 主要用来测试电路的时序关系正确性, 无法满足高带宽、高帧频的需求。

3) 目前的播放器都不具备实时图像与仿真图像信息合成的功能, 不能实现同时输入和输出。

为了满足光电经纬仪仿真训练系统对高速实时数据流播放的需求, 本文提出了一种基于 FPGA 和 DSP 技术实现的红外图像仿真高速实时数据流播放器, 实现高带宽、高帧频、高分辨率的图像流数据的实时输出, 用于光电经纬仪仿真训练系统的红外仿真图像的高速实时播放。

1 高速实时数据流播放器总体设计

播放器主要包括了 FPGA 芯片 (Xilinx 公司的 XC5VLX110T)、DSP 芯片 (TI 公司的 TMS320C6474) 以及时钟芯片、FLASH 存储器、DDR2 存储器、SFP 千兆网模块以及 SFP 光模块等。

播放器工作的 3 个过程, 即图像采集、虚拟目标叠加、图像发送, 3 个过程并行执行。整个处理模块的输入与输出接口为图像输入光纤口和图像输出光纤口、编码器输入串口、虚拟目标输入千兆网口。DSP 芯片具有 3 个独立的内核, 每个内核具有完全对等的结构和功能。根据播放器的应用需求, 播放器具有虚拟目标图像接收功能、虚拟目标与真实背景融合功能、真实背景图像输入与融合图像输出功能。每个功能赋给 1 个独

收稿日期: 2017-10-17; 修回日期: 2017-11-02。

作者简介: 邱琦 (1980-), 女, 甘肃武山人, 学士, 工程师, 主要从事系统仿真评估方向的研究。

立的 DSP 内核去完成。其中，DSP 的第一个内核用来负责与外部主机进行千兆网络通信，DSP 的第二个内核用来接收外部的串口数据输入及进行叠加算法运算，DSP 的第三个内核负责与 FPGA 进行 SRIO 通信，将 FPGA 芯片中 FIFO 内的数据搬运到 DSP 的第三个内核的 RAM 中，并把 RAM 中的数据传输到外部 DDR2 中。DSP 的 3 个内核都可以访问外部 DDR2，通过访问外部 DDR2 可以实现 3 个内核之间的数据共享。

叠加算法运算由 DSP 的第二个内核来完成。第二个内核在每次帧中断来时，采集实时编码器数据，把虚拟目标的指向编码器与实时编码器进行比对计算出像素偏移量，在采集好的图像合适位置叠加加上虚拟目标，并进行边缘融合处理，使得虚拟目标与背景融合效果更逼真。虚拟目标图像数据通过千兆网传输，由 DSP 的第一个内核接收并缓存至 DDR2。

经过叠加处理后的增强现实图像信息在外部 DDR2 上，DSP 的第三个内核首先从 DDR2 中分批传输图像到第三个内核的 L2 中，再通过 SRIO 接口把 L2 的数据发送到 FPGA，在 FPGA 中实现电光转换发送出去。

播放器总体结构如图 1 所示。在上电后，FLASH 存储器中的代码自动加载到 FPGA 芯片内部开始工作，通过千兆网模块将仿真图像发送到 DDR2 存储器上缓存，FPGA 芯片读取 DDR2 存储器中的叠加图像并进行电光转换，发送到光模块输出，实现整个虚拟目标叠加的功能。FLASH 存储器与 FPGA 芯片连接，FLASH 存储器用于存储 FPGA 代码，加载代码后驱动 FPGA 芯片进行数据处理；DDR2 存储器与 DSP 芯片连接，DDR2 存储器用于存储仿真图像；FPGA 芯片与 DSP 芯片连接，用于实现从 DDR2 存储器中读取图像数据发送到 FPGA 芯片对应的 FPGA 内部串行口上；光模块与 FPGA 芯片连接，用于将 FPGA 串行通道上的数据通过光模块发送到外部光纤通道；千兆网模块与 DSP 芯片连接，用于将外部产生的仿真图像通过千兆网模块和 DSP 芯片传输到 DDR2 存储器上。

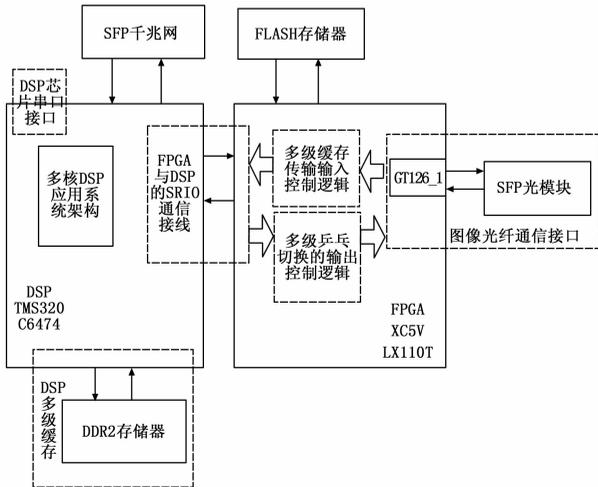


图 1 播放器总体结构图

2 关键算法实现

2.1 多级缓存传输的输入控制

图 2 所示为播放器多级缓存传输的输入控制逻辑图。利用该控制逻辑，实现了外部图像数据通过光纤输入到 FPGA 内

部的 GTP 缓存控制器，再由 SRIO 输入到 DSP 的 DDR2 存储器。该多级缓存传输的输入控制逻辑具体算法如下：

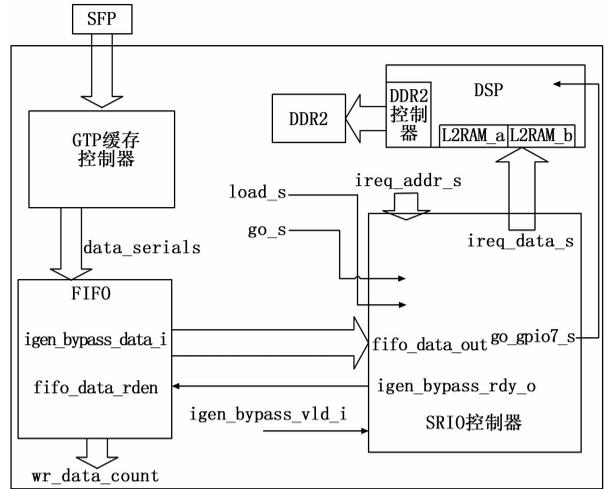


图 2 播放器多级缓存传输的输入控制逻辑图

1) 光纤图像接收解析模块，根据上述设计的光纤图像帧格式、包格式，解析出需要的帧首信号、帧尾信号、16 位图像原始数据、原始数据有效信号。

2) 在 FPGA 内部构建一个 256 Kbit 的 FIFO 缓冲区。解析出的帧首信号作为 FIFO 的复位信号，16 位原始数据有效信号作为该 FIFO 的写使能，16 位图像原始数据连接到 FIFO 的数据输入端口。基于这样的写逻辑，实现了外部光纤图像数据不断输入到内部 FPGA 的 FIFO 中。但是这个 FIFO 的容量有限，不能保存下一幅完整的图像，因此需要下面的读逻辑来读取 FIFO 内的数据。

3) 构造一个读控制逻辑。读逻辑由 FIFO 的 wr_data_count 信号来决定是否对 FIFO 进行读取，设置门限为 2 Kbit，即 wr_data_count 信号大于 1023 后，启动 SRIO 使能信号 igen_bypass_vld_i 信号。每启动 1 次后，能够以 3.125 Gbps 的速率传输 2 Kbit 到 DSP 端。在 A 步骤中，外部原始图像数据光纤传输速率为 2.5 Gbps，小于读数据速率。因此，FIFO 能够完整接收并完全转移一幅完整图像，而且 FIFO 不会产生溢出。

4) 由 FPGA 的 FIFO 中读取的图像数据，通过 SRIO 接口输出到了 DSP 端的内部 L2RAM 中，然而可用于图像缓存的 L2RAM 容量只有 256 Kbit，不能缓存下一幅完整图像，因此设计了两个 128 Kbit 的缓存用来做乒乓 (PingPong) 接收，在步骤 3) 中构建一个 SRIO，每传输完 128 Kbit 产生一个脉冲信号 go_gpio7_s，该信号通过 GPIO 输出到 DSP 中，作为 DSP 进行乒乓切换的中断源。

5) 当 Ping 部分在接收 SRIO 数据时，通过 DMA 的方式将 Pong 中的数据从 L2RAM 读走输出到 DDR2 中。从 L2RAM 到 DDR2 的数据读走速率为 3.2 Gbps，该速率大于 SRIO 写入 L2RAM 的速率。因此，可以保证传输过程中 L2RAM 不会发生溢出。

重复 1) ~5) 的步骤，实现光纤图像数据不间断地送到 DSP 外部 DDR2 的缓存。从各级缓存数据传输速率可以看出，光纤速率小于 SRIO 速率，SRIO 速率小于 L2RAM 搬运到 DDR2 速率，使用上述多级缓存输入控制逻辑算法可以实现实

时背景图像的输入。

2.2 多级乒乓切换的输出控制

虚拟目标叠加功能从外部来看, 每次输出一帧图像; 从内部来看, 输出过程首先由 DSP 发出图像传输开始信号, 然后将图像分成很多小块, 逐次将每小块数据通过 SRIO 发送到 FPGA 内部 FIFO 中, 再将 FIFO 内的图像数据通过包格式转换后发送到 GTP 端口上。图像数据就不间断地从 DDR2 上的原始格式转换到光纤上的包格式数据, 从而完成每帧图像的输出。因此, 设计一种基于多级乒乓切换的虚拟目标叠加图像的数据输出算法。

图 3 所示为播放器多级乒乓切换的输出控制逻辑图。主机上虚拟目标叠加的图像数据首先通过网络发送到装置在 DSP 上的连续 DDR2 存储器中, 即图中的 DDR2_ 图像流区域, 该图像流为图像的压缩格式, 以便提高缓存的相对容量, 图像解压缩目标区域为 DDR2_ LOOPA/B, 启动虚拟目标叠加图像输出后, 图像数据从 DDR2_ LOOPA 或 DDR2_ LOOPB 中不断切换输出到 DSP 的内部 L2RAM_ a 或 L2RAM_ b 上。然后 SRIO 控制器将 L2RAM_ a 或 L2RAM_ b 中的图像块数据通过 treq_ data 的 32 位数据线发送到 FIFO 中, 输出有效信号为 treq_ vld_ n 信号, GTP 缓存控制器根据 FIFO 的状态, 当 FIFO 内字节数到达 2 kbit 后, 便开始往 GTP 端口输出 FIFO 中的数据。这样, 通过 DSP 程序控制 SRIO 控制器, 不间断地把 DDR2 上的图像流数据发送到外部 SFP 光纤上, 从而实现了叠加图像的数据输出。

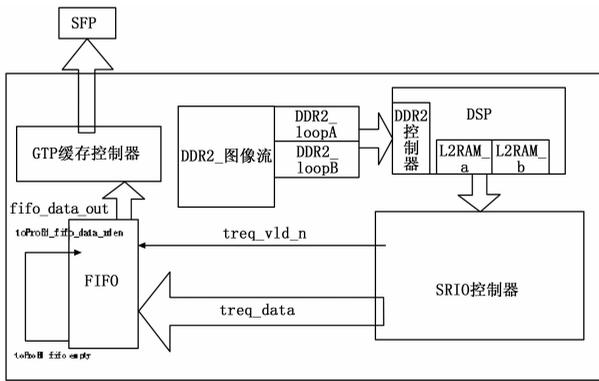


图 3 播放器多级乒乓切换的输出控制逻辑图

2.3 图像缓存循环队列控制

图 4 所示为播放器图像缓存循环队列控制图。将 DSP 的 DDR2 存储器分割成 3 个功能循环的区域 DDR2_ LOOP0、DDR2_ LOOP1、DDR2_ LOOP2。

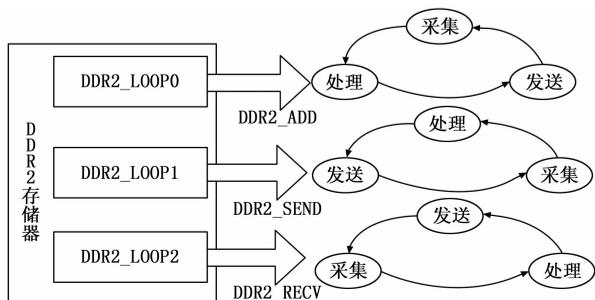


图 4 播放器图像缓存循环队列控制图

播放器图像缓存循环队列控制算法如下:

1) 在 FPGA 中, 通过光纤图像接收解析模块, 解析出帧首信号。通过 GPIO 输出到 DSP 中作为图像帧头信号中断源。该中断用来初始化若干变量, 图像帧号 (FRAME_ CNT) 统计等。

2) 光测设备实时背景图像通过光纤接口 (2.5 Gbps) 进来, 在 FPGA 内部进行光电转换, 通过 DSP 与 FPGA 之间的 SRIO 接口 (3.125 Gbps) 把图像数据输入到 DSP 的内核缓存 (L2) 中, 接着把 L2 中的图像数据通过 DMA 方式传到 DSP 的外部 DDR2 中, 一帧图像要经过多次这样的传输方式完成采集工作, 即前述的多级缓存传输模式的逻辑控制。采集占用区域为 DDR2_ LOOP2, 此时该区域的功能标记为 DDR2_ RECV, 保存了当前正在接收到的背景图像。

3) 虚拟目标图像与背景图像的叠加合成处理也在 DDR2 中进行, 处理占用区域为 DDR2_ LOOP0, 此时该部分 DDR2 的功能标记为 DDR2_ ADD。该 DDR2_ LOOP0 中的背景图像是上一帧的背景图像。

4) 经过叠加处理后的图像信息在外部 DDR2 的区域 DDR2_ LOOP1 上, 此时该区域功能标记为 DDR2_ SEND。此时的背景图像相对当前帧来说, 已经是两帧前的背景图像。DSP 首先从 DDR2_ LOOP1 中分批传输图像到 L2 中, 再通过 SRIO 接口把 L2 的数据发送到 FPGA, 在 FPGA 中实现光电转换发送出去。

5) 上述过程是以帧中断作为同步关系, 通过 FRAME_ CNT 除以 3 得到的余数来实现图像缓存队列的切换。当余数为 0 时, DDR2_ LOOP2 映射成 DDR2_ RECV, DDR2_ LOOP0 映射成 DDR2_ ADD, DDR2_ LOOP1 映射成 DDR2_ SEND。

6) 下一帧中断到来时, FRAME_ CNT 加 1, 余数为 1, DDR2_ LOOP2 映射成 DDR2_ ADD, DDR2_ LOOP0 映射成 DDR2_ SEND, DDR2_ LOOP1 映射成 DDR2_ RECV。

7) 又一帧中断到来时, FRAME_ CNT 加 1, 余数为 2, DDR2_ LOOP2 映射成 DDR2_ SEND, DDR2_ LOOP0 映射成 DDR2_ RECV, DDR2_ LOOP1 映射成 DDR2_ ADD。

8) 再一帧中断到来时, FRAME_ CNT 加 1, 余数为 0, DDR2_ LOOP2 映射成 DDR2_ RECV, DDR2_ LOOP0 映射成 DDR2_ ADD, DDR2_ LOOP1 映射成 DDR2_ SEND。该步骤同步步骤 5) 相同, 这样实现从 5) ~7) 周而复始的循环队列切换。

3 实验结果与分析

在 DSP 的第三个内核的 L2 缓存上有 FPGA 端口的输入和输出, 还有和 DSP 外部 DDR2 的输入和输出, 通过实际测试 L2 缓存的读写速度为 4 GB/s 以上, 单个功能带宽可以达到 1 GB/s。对于外部 DDR2 而言, 包括采集写入 DDR2、发送读取 DDR2、叠加读写 DDR2, DDR2 的理论带宽为 2.5 GB/s, 通过实测大于 1.5 GB/s, 单个功能带宽可以达到 500 MB/s。对于图像大小为 0.5 MB (512 * 512 * 16 bits), 帧频为 100 帧每秒而言需要的总的带宽为 150 Mb/s。这些数据表明硬件结构满足访问 L2RAM 和 DDR2 的最大带宽要求。从 DSP 端来看, 高效率的存储器也在物理上保证了图像采集、处理、发送的并行执行。

(下转第 245 页)