

# 一种高效多模式雷达数字下变频的设计

宋伟<sup>1</sup>, 秦建新<sup>2</sup>, 翟恒峰<sup>2</sup>

(1. 中国人民解放军 92941 部队 94 分队, 辽宁 葫芦岛 125001; 2. 上海航天电子技术研究所, 上海 201109)

**摘要:** 针对雷达系统不同带宽工作模式共用同一个信号接收前端的应用需求, 提出一种可以适应多种带宽要求的高效数字下变频设计; 混频器的设计采用了采样率等于四倍中频的采样技术, 滤波器采用了并行抽取滤波与多级滤波相结合的设计方法; 根据雷达不同工作模式对滤波器的性能需求, 设计了一种能适应不同带宽数字信号滤波要求的滤波器结构; 基于 Xilinx FPGA 设计平台, 完成了具有三种工作模式的 DDC 设计实例, 并通过实验数据分析, 验证了设计方法的正确性。

**关键词:** 数字下变频; 四倍中频采样; 并行抽取滤波器; FPGA; 多带宽模式

## An Efficient Design for Multi-modes Radar Digital Down Conversion

Song Wei<sup>1</sup>, Qin Jianxin<sup>2</sup>, Zhai Hengfeng<sup>2</sup>

(1. Unit 94 of No. 92941<sup>st</sup> Troops of PLA, Huludao 125001, China;

2. Shanghai Institute of Aerospace Electronic Technology, Shanghai 201109, China)

**Abstract:** Aiming at the application requirements of the same signal receiving front-end in different bandwidth operating modes of radar system, an efficient DDC design for multiple bandwidths was presented. The mixer is designed with a quadruple IF sampling technology, and the filter was designed with a parallel decimation and multi-level filtering. The structure of filter was designed for different bandwidth digital signal filtering according to performance of radar in different operating modes. The DDC design example with three operating modes was presented based on the Xilinx FPGA design platform, and the reasonability of the design method was verified through experimental data analysis.

**Keywords:** DDC; quadruple IF sampling; parallel decimation filter; field programmable gate array (FPGA); multi-bandwidth mode

## 0 引言

传统的数字下变频过程包括 A/D 转换、数字鉴相(混频)和 FIR 低通滤波, 其经典结构如图 1 所示<sup>[1]</sup>。其中 NCO 为数字振荡器, 通过两个乘法器完成混频然后经过低通滤波和抽取完成数字下变频。经典结构可以很好的完成确定带宽下的数字下变频工作, 但现代雷达的发展对雷达性能提出了新的要求。其中包括一部雷达应该可以工作在不同信号带宽的工作模式下; 雷达应该具有更高的信号带宽等。雷达工作在不同信号带宽的工作模式下可以实现不同的战场需求, 如搜索、成像、侦查监听等。

提高雷达的信号带宽可以提高雷达的距离分辨能力, 而且使用宽带和超宽带雷达信号结合成像算法可以实现雷达成像<sup>[2]</sup>。本文针对以上两个要求, 提出了一种高效多模式数字下变频的设计方案。结合设计实例和实验数据分析, 证明了该方案可以同时满足宽带模式下的高速数据处理和窄带模式下高抽取率的滤波器性能。使得不同带宽的工作模式下, 雷达可以使用同一个接收前端完成雷达信号的采集。

## 1 四倍中频采样

### 1.1 中频直采采样率要求

对于宽带雷达中频信号, 回波信号的频带范围为:

$$f_0 - B/2 \leq f \leq f_0 + B/2 \quad (1)$$

其中:  $f_0$  为回波信号的中心频率,  $B$  为回波信号的带宽。

为了保证 DDC 后频带不产生混叠, 中频设定应满足:

收稿日期: 2017-08-16; 修回日期: 2017-10-18。

作者简介: 宋伟(1981-), 男, 吉林磐石人, 工程师, 主要从事武器系统测试检验方向的工作。

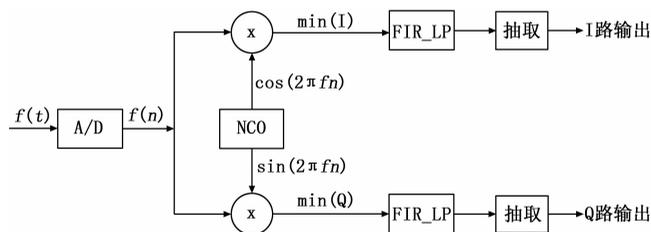


图 1 经典数字下变频实现结构

$$f_0 > B/2 \quad (2)$$

雷达回波的处理多采用中频直接采样的方法, 中频直接采样可以在信号中频段就完成信号的数字化, 可大幅度提高信号质量, 同时有效避免模拟正交调制带来的幅度和相位不一致等。但随着雷达信号带宽的增加, 中频的中心频率也需要一并提高。根据采样定理, 中频直接采样的采样率应满足以下关系:

$$f_s \geq 2(f_0 + B/2) \quad (3)$$

因此针对宽带雷达信号, 中频信号采样需要较高的采样率。高采样率对 AD 器件提出了较高的要求, 宽带雷达信号更是要求 AD 器件的采样率应达到 GHz 的量级, 随着当代 AD 器件的迅猛发展, 市场上已经有相关产品可以满足需求。同时, 高采样率意味着采样后的数字信号具有较高的数据率, 高数据率的问题通常通过数据并行化的方法解决, 如  $f_0$  为 3.6 G 的采样率下, FPGA 是不可能完成相关处理的, 但可以将 3.6 G 的数据划分为 16 路 225 M 的数据流, 并将 FPGA 内部的功能模块按照并行数据流的方式设计。

### 1.2 四倍中频采样原理

高速实时混频处理要求高精度的乘法器, 需占用较多的逻辑资源。如 16 路 225 M 的数据流完成混频处理, 需要占用 32

个高速乘法器, 并需要复杂的 NCO 控制电路。而采用四倍中频采样技术, 可以解决上述问题, 并且可以为后续的滤波处理提供便利。

根据式 (3), 采样率应大于 2 倍中频与带宽的和; 结合式 (2) 信号带宽小于 2 倍中频, 为了充分利用数字带宽, 信号带宽应接近 2 倍中频。因此满足采样定理的最低采样率应接近四倍中频, 所以采用四倍中频采样既满足了采样定理, 又充分利用了数字带宽, 在不考虑节省系统资源的情况下, 四倍中频采样的选择也是较优的。

四倍中频采样原理<sup>[3]</sup>如下:

设中频回波信号为  $f[n]$ , 混频输出为  $f_I[n], f_Q[n]$ , 则有:

$$\begin{cases} f_I[n] = f[n] \times \cos(2\pi n f_0 / f_s) \\ f_Q[n] = f[n] \times \sin(2\pi n f_0 / f_s) \end{cases} \quad (4)$$

混频器 NCO 的输出取决于中频  $f_0$  与采样频率  $f_s$  的比值。将 NCO 输出值量化后按照次序与输入信号相乘。需要使用高效乘法器完成实时乘法运算, 量化过程中可能出现一定的量化误差。如果取特殊采样频率  $f_s = 4f_0$ , 振荡器的输出是 4 个特殊值的序列重复, 即:

$$\begin{cases} \cos(2\pi n f_0 / f_s) = \cos(2\pi n / 4) = 1, 0, -1, 0, \dots \\ \sin(2\pi n f_0 / f_s) = \sin(2\pi n / 4) = 0, 1, 0, -1, \dots \end{cases} \quad (5)$$

此时, 混频计算简化为置零和输入信号的符号选择, 混频处理也不会带来因为量化带来的误差。I, Q 两路的输出为:

$$\begin{cases} f_I[n] = f[1], 0, -f[3], 0, \dots \\ f_Q[n] = 0, f[2], 0, -f[4], \dots \end{cases} \quad (6)$$

显然, 四倍中频采样条件下, 鉴相输出具有间隔为 0 的特点; 后续设计可以利用此特点简化滤波器结构。原来的乘法器和 NCO 系数控制也简化为符号选择操作, 大大减少了资源占用。

## 2 并行抽取滤波器设计

### 2.1 抽取滤波原理<sup>[4]</sup>

并行抽取滤波器的设计主要有两个方面, 一个是抽取滤波, 一个是滤波器的并行性<sup>[3]</sup>。

为了计算方便设定滤波器阶数  $m$  为奇数, 滤波器系数为  $h_0, h_1 \dots h_m$ 。滤波器的输入由式 (6) 提供, 具有间隔为 0 的特点, 设混频器的输出为:

$$\begin{cases} f_I = 0, f_I[n-m+1], 0, \dots, f_I[n-2], 0, f_I[n], 0 \\ f_Q = f_Q[n-m], 0, f_Q[n-m+2] \dots, 0, f_Q[n-1], 0, f_Q[n+1] \end{cases} \quad (7)$$

设抽取前滤波输出为  $y_I[n], y_Q[n]$ , 则:

$$\begin{cases} y_I[n] = f_I[n] \times h_0 + 0 \times h_1 + f_I[n-2] \times h_2 + 0 \times h_3 + \dots + f_I[n-m+1] \times h_{m-1} + 0 \times h_m \\ y_Q[n] = 0 \times h_0 + f_Q[n-1] \times h_1 + 0 \times h_2 + f_Q[n-3] \times h_3 + \dots + 0 \times h_{m-1} + f_Q[n-m] \times h_m \end{cases} \quad (8)$$

式 (8) 表明, 抽取前的滤波器输出中, 每一个滤波输出只与一半的混频输入和一半的滤波器系数有关。现在计算  $y_I[n-1], y_Q[n-1]$ , 其结果表示如下:

$$\begin{cases} y_I[n-1] = 0 \times h_0 + f_I[n-2] \times h_1 + 0 \times h_2 + f_I[n-4] \times h_3 + \dots + 0 \times h_{m-1} + f_I[n-m-1] \times h_m \\ y_Q[n-1] = f_Q[n-1] \times h_0 + 0 \times h_1 + f_Q[n-3] \times h_2 + 0 \times h_3 + \dots + f_Q[n-m] \times h_{m-1} + 0 \times h_m \end{cases} \quad (9)$$

即 I, Q 的每一个滤波输出只与一半的混频输入和一半的滤波器系数相关, 但与相邻的滤波输出相关的是不同的滤波器系数。

以此类推, 设  $k$  为整数, 可以得到结论:

$$\begin{cases} y_I[n-2k] = f_I[n-2k] \times h_0 + 0 \times h_1 + \dots + f_I[n-m+1-2k] \times h_{m-1} + 0 \times h_m \\ y_Q[n-2k] = 0 \times h_0 + f_Q[n-1-2k] \times h_1 + \dots + 0 \times h_{m-1} + f_Q[n-m-2k] \times h_m \\ y_I[n-2k-1] = 0 \times h_0 + f_I[n-2k-2] \times h_1 + \dots + 0 \times h_{m-1} + f_I[n-2k-m-1] \times h_m \\ y_Q[n-2k-1] = f_Q[n-2k-1] \times h_0 + 0 \times h_1 + \dots + f_Q[n-2k-m] \times h_{m-1} + 0 \times h_m \end{cases} \quad (10)$$

$$\begin{cases} y_I[n-2k-1] = 0 \times h_0 + f_I[n-2k-2] \times h_1 + \dots + 0 \times h_{m-1} + f_I[n-2k-m-1] \times h_m \\ y_Q[n-2k-1] = f_Q[n-2k-1] \times h_0 + 0 \times h_1 + \dots + f_Q[n-2k-m] \times h_{m-1} + 0 \times h_m \end{cases} \quad (11)$$

此时, 如果进行抽取滤波, 且抽取因子取 2 的整数倍, 则抽取后的 I 路和 Q 路输出将分别只与一半的的滤波器系数和滤波器输入有关。因此在 FPGA 中实现滤波器的计算流程时至少可以降低一半的输入和一半的滤波器系数, 并且降低一半的乘法器使用。这是常规的抽取滤波器做不到的。以第二小节中 3.6 GHz 采样的中频回波为例, 16 路的输入数据流经过混频后应该输出间隔为 0 的 16 路 I 路混频信号和 16 路 Q 路混频信号并将其作为低通 FIR 滤波器的输入。32 路 225 M 的数据流需同时进行滤波运算, 需占用大量的 FPGA 资源和高速乘法单元, 普通 FPGA 器件很难满足要求。如果采用并行抽取滤波的方式, 无论采用式 (10) 或式 (11), I 路和 Q 路的滤波器输入数据流都可以直接降低到 8 路, 将极大的减少逻辑资源和高速乘法器的占用, 使得 DDC 模块在 FPGA 上的实现成为可能。

### 2.2 并行滤波器结构设计

并行抽取滤波器的另一个问题是并行滤波。高速串行数据流通过并行化转变为并行的低速数据流, 滤波器要求对并行到达的数据同时滤波, 产生并行的滤波输出<sup>[5]</sup>。所以并行滤波要解决的是具有相位关系的数据 (本应该有时序差别) 并行到达时如何滤波的问题。

以 4 路并行滤波为例, 设滤波器阶数为  $m$ 。根据滤波器的卷积原理, 每个滤波器的输出结果与当前输入和当前输入之前  $m$  个输入数据相关。根据滤波原理和并行输入的特性, 设计并行滤波器的实现结构如图 2 所示: 同时到来的 4 路数据存入长度为  $4+m$  的桶形移位寄存器组, 存入的数据与位于其之前的 (移位寄存器内部相对位置)  $m$  个数据一起组成相应的滤波模

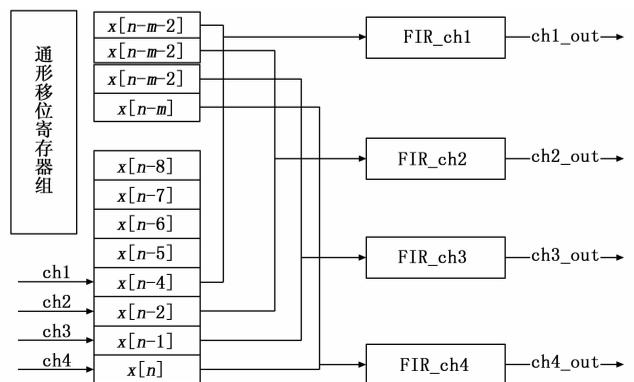


图 2 并行滤波结构框图

块的输入。当前通过并行例化 4 个滤波器，并将 4 个滤波器的输入与相应寄存器组的寄存器相关联，每个时钟，桶形移位寄存器的每一个寄存单元向前移位 4 个寄存器单元，组成下一个时钟滤波模块的输入。同时滤波器输出方面，每个时钟由并行的 4 个滤波模块输出对应于 4 路输入的滤波输出，4 个滤波输出保持了相对于 4 路输入信号的时序关系，至此并行滤波完成。

通过并行滤波结构，结合抽取滤波的方法实现了对并行到来的高速数据实时滤波的要求。桶形移位寄存器的设计实现了滤波的并行化，抽取和四倍中频采样降低了系统内部运行的数据率。

### 3 设计实例和实验数据分析

#### 3.1 不同带宽雷达工作模式的 DDC

雷达宽带工作模式是数据率最高的工作模式，当雷达工作在其他带宽时，可以通过滤波器系数动态配置的方法修改宽带滤波器的系数，复用滤波器结构。然后根据输出数据要求的数据率，进行数据抽取。

当雷达工作在窄带模式时使用的发射信号带宽远远小于宽带带宽（差别在 500 倍以上），实际的抽取因子  $D$  达到 100~1 000 时，要求设计的数字滤波器的带宽较窄，同时为了抑制高频噪声叠加效应，同样要求过度带也较窄。要实现这样的数字滤波器在工程实践上几乎是不可能的，因为滤波器系数将会达到几百甚至上千阶。解决方法为采用多级抽取滤波，即通过多个滤波器与抽取器级联<sup>[6]</sup>，上一级滤波器选择适当的通带和阻带滤除部分无用频段，抽取后数据进入下一级继续滤波，下一级滤波器在抽取后的数字频段基础上再选择适当的通带和阻带系数滤波、抽取。使用多级抽取的方法，可以极大的减少计算量，只要满足式 (12)，即可保证抽取过程不混入过多的高频杂波<sup>[7]</sup>。其中  $k$  和  $l$  是两级滤波器的抽取因子， $D$  为等效的总的抽取因子。而且由于第一级抽取后数据率降低为原来的  $1/k$ ，后一级的滤波器为低速或直接串行数据流的滤波器即可。

$$D = k \times l (k, l \text{ 是大于 } 1 \text{ 的整数}) \quad (12)$$

#### 3.2 设计实例结构

在某雷达接收机中，系统采样率为 3 600 MHz，回波信号中心频率为 900 M，具有三种不同的工作带宽，分别是：4 M 带宽工作模式，输出数据率 10 M，暂定为模式 1；50 M 带宽工作模式，输出数据率 100 M，暂定为模式 2；1 600 M 带宽工作模式，输出数据率 1 800 M 暂定为模式 3。根据不同工作模式下的不同要求，设计其 DDC 实现结构如图 3 所示。

经过高速 AD 采样的 3 600 MHz 数据率的回波信号在 FPGA 接口处分成 16 路 225 M 的低速数据流进入 FPGA。由于采用了四倍中频采样和因子为 2 的并行抽取滤波模式，混频后的 16 路数据 I、Q 两路各选相关的 8 路数据进入第一级滤波器。工作状态选择信号 (Mod\_Sel) 决定当前的工作模式，当雷达工作在模式 3 时，滤波器选择相应的滤波系数 (记为系数 1)，滤波完成直接输出 8 路并行的 DDC 结果 (等效于 1 800 M 串行数据率)；当雷达工作在模式 2 时，滤波器选择模式 2 滤波器系数 (记为系数 2)，输出的 8 路滤波结果经过因子 18 的抽取器输出 1 路数据率为 100 M 的 DDC 结果；当雷达工作在模式 1 时，前端复用模式 2 的处理结构，第一

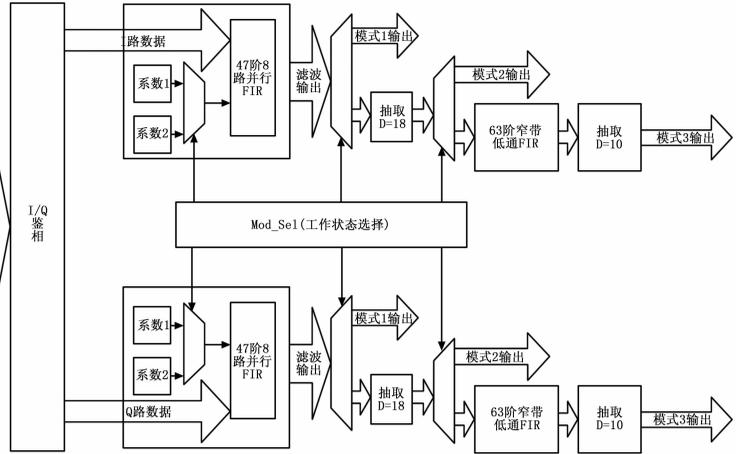


图 3 设计实例实现结构图

级滤波器选择系数 2，输出的滤波结果经因子为 18 的抽取器抽取输出 1 路数据率为 100 M 的滤波结果，在 100 M 的输出数据上上级联一级窄带低通滤波器 (其滤波器系数记为系数 3)，同时再次以因子 10 抽取滤波结果，输出 10 M 数据率的 DDC 结果。

使用到的三种滤波器频域响应如图 4 所示。

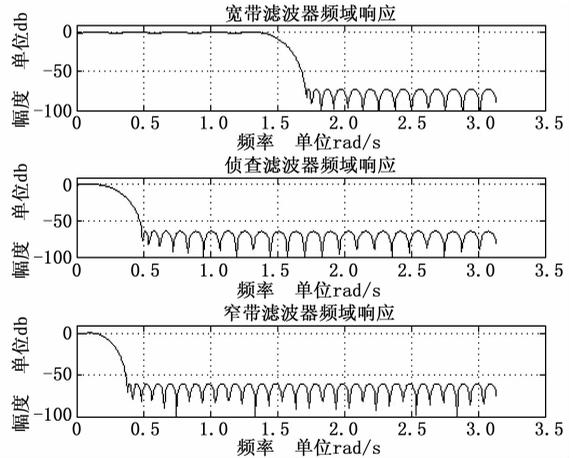


图 4 滤波器频域响应

宽带滤波器频域响应图对应于系数 1 所代表的低通滤波器幅度频域响应；侦查滤波器频域响应图对应于系数 2 所代表的低通滤波器幅度频域响应；窄带滤波器频域响应图对应于系数 3 所代表的低通滤波器幅度频域响应。三种滤波器具体设计参数如下表 (设计方法为等纹波)：

表 1 滤波器参数设计表

	采样率	阶数	通带频率	截止频率	阻带抑制
模式 1 滤波器	3 600 MHz	47	800 MHz	980 MHz	74 db
模式 2 滤波器	3 600 MHz	47	100 MHz	280 MHz	60 db
模式 3 滤波器	100 MHz	63	2.5 MHz	6 MHz	60 db

以上结构提供了一种不同带宽模式下雷达回波使用同一结构处理的方案。首先通过 4 倍中频采样技术简化了 I/Q 鉴相过程，直接省掉了混频乘法器，同时提高了混频精度 (NCO 序列无量误差)。利用雷达同一时间只会工作在一种工作模式

下的特点, 设计实现了功能模块的最大可能的复用。其中第一级滤波器通过滤波器系数的动态配置在三种工作模式下分别完成了要求的滤波器性能。相比使用独立的滤波器设计, 资源占用减少到非复用模式下的 1/3。

### 3.3 实验结果

为方便观测, 使用点频信号输入。通过在 chipscope 工具上录取数据, 使用 matlab 观测的方式验证实验结果。

实验一: 将设计实例的工作模式设定为模式一, 设置输入的点频信号信号频率为 902 MHz, 采集实例最终输出的结果如图 5 所示。

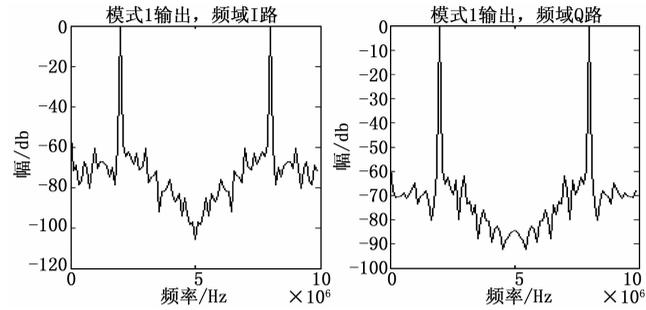


图 5 模式 1 (902 M) DDC 输出频谱

模式一为窄带工作模式, 工作带宽 4 MHz, 最终输出的数据应该是数据率为 10 MHz、信号频率为 2 MHz 的数字下变频结果, 观测图形与预期结果相符合。

实验二: 将设计实例的工作模式设定为模式二, 设置输入的点频信号信号频率为 925 MHz, 采集实例最终输出的结果如图 6 所示。

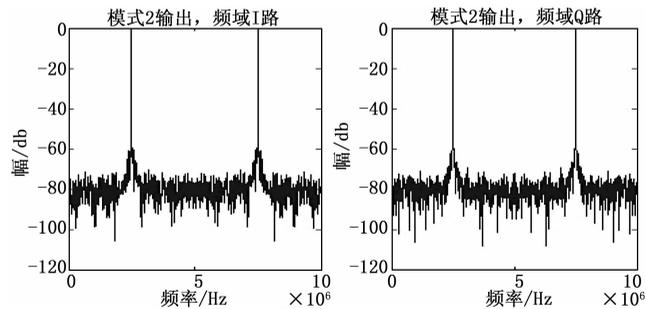


图 6 模式 2 (925 M) DDC 输出频谱

模式二为侦查工作模式, 工作带宽 50 MHz, 最终输出的数据应该是数据率为 100 MHz、信号频率为 25 MHz 的数字下变频结果, 观测图形与预期结果相符合。

实验三: 将设计实例的工作模式设定为模式三, 设置输入

(上接第 139 页)

该方法是针对基于探测目标的自适应航路规划算法产品化而提出, 所研究的算法是飞控领域算法常规应用算法, 算法产品化实现过程所采用的方法和支撑工具, 具有很好的通用性, 因此该方法可以满足其他类似算法的产品化实现过程。

### 参考文献:

[1] United States Air Force. Small Unmanned Aircraft Systems (SUAS) Flight Plan: 2016—2036 [EB/OL]. [http://www.al.mil/Portals/1/Documents/isr/Small\\_UAS\\_Flight\\_Plan\\_2016](http://www.al.mil/Portals/1/Documents/isr/Small_UAS_Flight_Plan_2016)

的点频信号信号频率为 1 700 MHz, 采集实例最终输出的结果如图 7 所示。

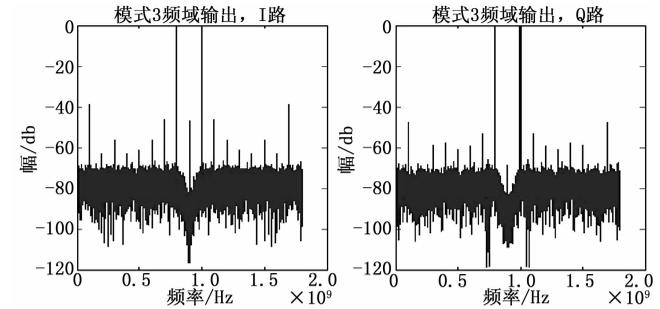


图 7 宽带模式 (1 700 M) DDC 输出频谱

模式三为宽带工作模式, 工作带宽 1 600 MHz, 最终输出的数据应该是数据率为 1 800 MHz、信号频率为 800 MHz 的数字下变频结果, 观测图形与预期结果相符合。参差的其他多条谱线为 AD 器件带来的谐波分量。

通过实验验证结果可知, 本文提出的 DDC 结构, 实现了预期的数字下变频性能。

## 4 结论

本文针对雷达系统不同带宽工作模式共用同一个信号接收前端的应用需求, 提出了一种高效多模式可实时切换的 DDC 设计方案。采用了四倍中频采样技术降低了计算复杂度、减少了逻辑资源占用; 同时设计了一种并行的抽取滤波器解决了高数据率的宽带雷达信号在 FPGA 中实时处理的问题。最后给出设计实例和实验结果, 验证了设计的正确性。

### 参考文献:

[1] 刑 燕. 中频采样和数字正交器的原理及工程实现 [D]. 南京: 南京电子技术研究所, 2003.  
 [2] 陈 洁. 超宽带雷达信号处理及成像方法研究 [D]. 北京: 中国科学院研究生院, 2007.  
 [3] 张炳煌, 雷 宏. 超宽带 SAR 数字正交解调器设计 [J]. 电子测量技术, 2006, 29 (6): 36—39.  
 [4] 徐尚中, 何东健, 万海军. 基于 FPGA 的 DDC 中抽取滤波系统的设计 [J]. 微计算机信息, 2008, 24 (9—2): 132—133.  
 [5] 张峻涛, 王 平, 傅石雨. 超高速并行滤波结构 FIR 的 FPGA 实现及应用 [J]. 通信对抗, 2013, 32 (1): 36—39.  
 [6] 柏晓锁, 施春荣. 基于 FPGA 及 PC 机的级联数字抽取滤波技术 [J]. 雷达与对抗, 2009, 3 (3): 41—43.  
 [7] 陈朝阳, 孙剑伟, 郑兆青, 等. 多级滤波算法的 ASIC 实现 [J]. 华中科技大学学报, 2006, 34 (2): 4—7.  
 [2] 尧伟文, 曹云峰, 庄丽葵. 一种基于模型开发飞控系统的方法 [J]. 计算机与数字工程, 2017, 45 (2): 351—354.  
 [3] 云 超, 李小民, 郑宗贵. 基于 Matlab/Simulink 的硬件在回路无人仿真系统设计 [J]. 计算机测量与控制, 2012, (12): 3306—3308, 3324.  
 [4] 王 勋, 张纪阳, 张代兵, 等. 无人机编队飞行快速试验系统设计 [J]. 机器人, 2017, 39 (2): 160—166, 175.  
 [5] 邢培栋. MVB 在半实物仿真平台中的研究与应用 [J]. 微处理机, 2012, 33 (6): 33—36.