

# 声纳水下多通道数据采集模块设计

许乔, 殷志刚, 周艳玲

(湖北大学 计算机与信息工程学院, 武汉 430062)

**摘要:** 数据采集技术发展迅速, 在不同的领域得到了广泛的应用; 文章设计一用于声纳水下多通道数据采集的电路模块; 在总体设计上, 对多通道数据采集相关技术原理进行了介绍, 设计了采集模块总体设计方案; 在硬件电路设计上, 分别使用 ADS1278 和 BF537 作为模数转换芯片和主控芯片; 在软件设计上, 介绍了多通道数据采集模块的软件设计思想, 主要包括基于 BF537 的数据采集处理程序和以太网通信程序; 最后对电路模块性能进行了测试, 结果表明多通道数据采集模块工作性能优异, 满足设计需求, 且该模块已在某声纳工程项目中得到了应用, 并可为其他领域数据采集工程应用提供设计参考。

**关键词:** 数据采集; 模数转换; 以太网通信

## Design of Multi-Channel Data Acquisition Board for Underwater Part of Sonar

Xu Qiao, Yin Zhigang, Zhou Yanling

(College of Computer and Information Engineering, Hubei University, Wuhan 430062, China)

**Abstract:** Data acquisition technology has developed rapidly and has been widely used in different fields. The paper designs a circuit module for multi-channel data acquisition in the underwater part of sonar. In the overall design, the related technology principle of multi-channel data acquisition is introduced, and the overall design scheme of the acquisition module is designed. In the hardware circuit design, ADS1278 and BF537 are used as the analog-to-digital conversion chip and the master chip respectively. In the software design, the software design idea of the multi-channel data acquisition module is introduced, which mainly includes BF537-based data acquisition and processing program and Ethernet transmission program. Finally, the performance of the circuit module is tested. The results show that the performance of the multi-channel data acquisition module is excellent to meet the design requirements. The module has been applied in a sonar project, and can provide design reference for data acquisition engineering applications in other areas.

**Keywords:** data acquisition; analog to digital conversion; Ethernet transmission

## 0 引言

声纳技术是利用水下声波判断海洋中物体的位置, 类型以及其他参量的方法和技术, 是完成水下信息获取的有效途径<sup>[1]</sup>。数据采集主要是指将各种模拟非电参量如温度、位移、速度等经过调理和数字化后, 再通过计算机进行后续处理的过程<sup>[2]</sup>。传统数据采集系统存在着采集通道少、采样速率低、转换精度低等问题, 这无疑对应用环境提出了更高要求<sup>[3-4]</sup>。随着数字器件的飞速发展, 采集系统的相关性能指标如计算速度和通信带宽都有了很大提高, 使得数字采集系统得到广泛普遍应用。现代数字数据采集技术具有采集精度高、采集速度快、工作稳定性好, 应用领域广, 并可通过软件进行功能重构和应用升级等特点<sup>[5]</sup>。另一方面, 互联网行业的飞速发展促使了底层设备网能够和局域网进行有效的连接, 使得计算机能够对现场工作的数据采集设备进行实时控制和管理<sup>[6]</sup>。传统的通信方式大多采用 RS-232 或 RS-485 等通信接口总线, 效率比较低且不利于信息共享。因此通信接口总线需要有标准化、快速

化、抗电磁干扰等优良特点, 而以太网总线恰好满足了应用需求<sup>[7-8]</sup>。工业以太网的出现使得信息能够实现内部共享, 而且还能够将监测数据上传, 实现大范围的信息共享。同时以太网通信的高吞吐率和带宽能够实现海量数据通信<sup>[9-10]</sup>。

结合上述技术和应用背景, 本文以 BF537 为控制核心, 基于 AD 转换芯片 ADS1278 设计了一声纳水下多通道数据采集电路模块。该模块实现了 8 通道、采样率可达 32KSPS、24 位 A/D 的采集, 通过以太网接口与上位机连接, 用于对水下传感器模拟信号进行实时采集和同步打包传输。

## 1 系统分析

### 1.1 采集系统基本组成

数据采集技术需将外界的各种模拟信号经过传感器转化为电信号, 再进行信号调理与数字化, 将数字信号传输到计算机中进行后续处理<sup>[11]</sup>。典型数据采集系统基本组成如图 1 所示。

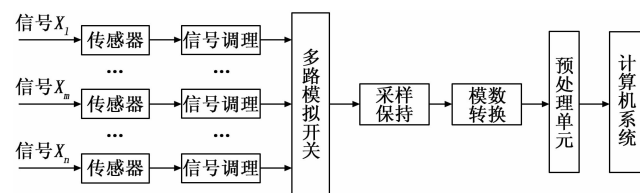


图 1 数据采集系统基本组成框图

各部分作用如下:

收稿日期: 2017-07-06; 修回日期: 2017-08-07。

基金项目: 国家自然科学基金青年科学基金资助项目 (61301144)。

作者简介: 许乔 (1986-), 男, 湖北恩施人, 博士, 讲师, 硕士研究生导师, 主要从事高速数据采集传输, 声纳系统设计方向的研究。

周艳玲 (1981-), 女, 湖北广水人, 博士, 副教授, 硕士研究生导师, 主要从事卫星导航, 信号处理方向的研究。

- 1) 传感器：将被检测的非电物理参量转换成模拟电信号；
- 2) 信号调理：主要对模拟电信号进行放大、滤波和隔离等操作；
- 3) 多路模拟开关：选择信号进行采样；
- 4) 采样保持：在 AD 转换过程中使信号的电平始终保持，保证经过 A/D 转换后的数字信号能正确反映出原信号信息；
- 5) A/D 转换：模拟信号数字化，分辨率和采样速度等指标取决于 A/D 芯片选型和配置；
- 6) 预处理单元：进行 AD 转换后的数字信号需转换为计算机能够识别和处理的信号，通常可使用 DSP、FPGA 等作为预处理芯片；
- 7) 计算机系统：对整个采集系统起到控制作用，同时可进行数据处理和分析。

### 1.2 采集模块方案设计

本文设计的数据采集模块主要任务是对 8 通道的水声信号进行同步采集，转换为数字信号后进行打包传输。数据采集模块结构如图 2 所示。

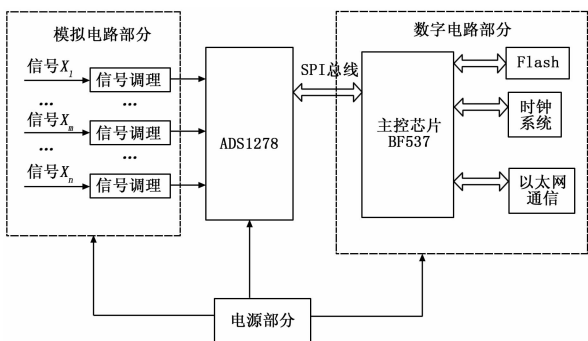


图 2 数据采集模块结构框图

数据采集模块由 4 部分组成，即模拟电路部分、A/D 转换、数字电路部分和电源电路。信号调理将模拟电信号进行滤波和可控增益放大。AD 转换芯片 ADS1278 对模拟信号进行特征量提取，可对芯片上的 8 路模拟端口信号同时进行采样，再将采样后的数据通过 SPI 接口传送至主控 DSP 芯片 BF537，对数据进行打包传输。主控芯片同时能对上位机发送的请求命令进行确认回答，实现采集模块与上位机之间的通信。

该模块的主要设计参数见表 1。

表 1 设计参数

采样通道数	8
最大采样率	32KSPS
采样位数	24
输入信号频率范围	500Hz~4kHz
动态范围	≥90dB(增益为 1 时)
谐波失真	≤-60dB@1kHz(增益为 1 时)
相位一致性误差	≤3 度@1kHz(增益为 1 时)
幅度一致性误差	≤1dB@1kHz(增益为 1 时)

## 2 硬件设计

电路板设计是数据采集技术实现的硬件基础。电路板主要由可控增益放大电路、采集串口电路以及以太网通信接口电路等组成。

### 2.1 可控增益放大电路

本文中原始模拟信号的幅度值范围可划分为几个区间。可控增益放大电路的增益通过主控芯片进行控制，当输入模拟信号较大时，控制信号使增益变小，反之则增益变大。

该模块由芯片 OP2177 和 ISL43841 来实现可控增益放大。OP2177 是低噪声、低输入偏置电流双通道运算放大器，具有极低失调电压和漂移、低输入偏置电流、低噪声及低功耗等特性。ISL43841 是低压的、双向 4 选 1 的多路模拟开关，其输入电压为单电源电压 2~12 V，或者是双电压 ±2~±6 V。可控增益放大电路如图 3。其中 OP2177 起到放大的作用，多路模拟开关 ISL43841 通过 DSP 控制实现不同的放大增益。NO 为模拟开关，COM 为通用模拟开关，输出电压与输入之间的关系如下。

$$OUT \times R_1 / (R_2 + R_1) \tag{1}$$

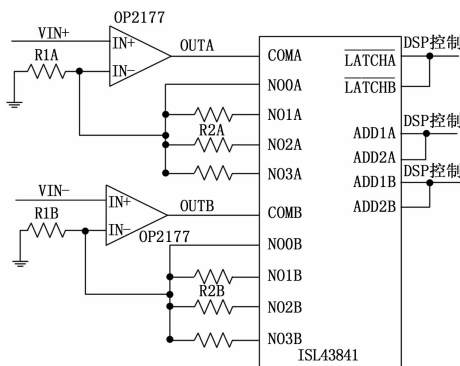


图 3 可控增益放大电路图

DSP 通过控制（数字控制输入管脚）的逻辑电平，以及 ADD（地址输入管脚）的逻辑电平来实现对应增益放大。逻辑增益表见表 2。

表 2 真值表

LATCH	ADD2	ADD1	开关选择
0	×	×	COM
1	0	0	NO0
1	0	1	NO1
1	1	0	NO2
1	1	1	NO3

### 2.2 采集串口电路

模数转换芯片（ADC）将连续的模拟信号转换成数字信号。ADC 芯片的性能好坏将直接影响到数据采集质量的好坏。ADC 芯片选型主要考虑以下两点<sup>[12]</sup>：1) 性能指标符合设计需求，如通道数、分辨率、采样速率、串并行、动态范围、输入带宽、功耗等；2) 与主控制器接口连接方便，不需要其他复杂的逻辑电路来连接。其中采集通道数、采样速率和分辨率是 ADC 芯片选取的重要指标。

1) 采集通道数。多通道能同时采集多路信号，节约成本。但是通道数量的增多会降低采集效率。现有的多通道同步采集技术，每增加一个通道，就要增加一个采样保持，所以设计上需要合理考虑芯片采样通道数。

2) 采样速率。系统在单位时间内对模拟信号的采样次数称为采样速率。采样速率越高，则转换后的数字信号越能包含

原信号的信息。

3) 分辨率。信号经过模数转换后, 直接输出一个二进制数码, 码的固定位数表示这个 A/D 转换的分辨率。位数越长, 量化步长越小, 产生的误差也就越小。

ADS1278 是八路同步采样 24 位模数转换器, 采用三角积分高精度采样, 采样速率可达 128KSPS, 带宽 62KHz, 偏移漂移和增益漂移基本为 0, 性能稳定。同时, 它的 4 个运行模式 (高速率、高分辨率、低功耗、低分辨率) 可实现速度、分辨率和功率的优化。所有操作直接由引脚控制, 无需寄存器编程。综上所述, ADS1278 芯片符合设计需求。

BF537 主控芯片与 ADS1278 之间通过 SPI 接口进行数据通信, SPI 是一个 4 线全双工同步串行接口, 支持主机模式、从机模式和从主机环境。串行接口 SPI 有 4 个引脚, MOSI (主出从入), MISO (主入从出), SCK (门控时钟引脚) 和 SPISS (片选引脚)。SPI 数据可以通过移位寄存器同时发送和接收, SCK 用于把 MISO 和 MOSI 线上的驱动数据移入和移出, 在时钟有效沿数据移出, 无效沿数据采样。采集串口电路示意如图 4。由于 ADS1278 芯片配置为 SPI TDM Dynamic (串行时分复用) 方式输出, 因此 DOUT1 和 SCLK 分别为 TDM 数据输出和串行时钟输入。MODE [1: 0] 为运行模式选择配置引脚, 可选择高速率、低速率、高分辨率、低功耗模式。在此选择低功耗模式。

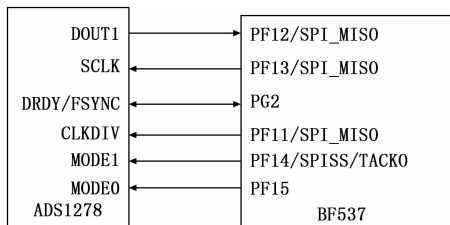


图 4 采集串口电路图

### 2.3 以太网通信接口电路

以太网遵循 IEEE802.3 标准, IEEE802.3 描述了物理层和数据链路层的 MAC 子层的实现方法。物理层的主要功能是比较特的传输和接收。数据链路层的 MAC 子层的主要功能是将上层交下来的数据封装成帧进行发送, 接收时对帧进行拆卸, 然后将数据交给上层, 并实现和维护 MAC 协议。

数据链路层和物理层之间是通过 IEEE802.3 定义的 MII (介质独立接口) 接口连接 MAC 和 PHY (物理接口收发器)。MII 接口传递了网络的所有数据和数据的控制, 它包括一个数据接口, 以及一个 MAC 和 PHY 之间的管理接口。数据接口包括用于发送器和接收器的两条独立信道, 每条信道都有自己的时钟、数据和控制信号。管理接口是个双信号接口: 一个是时钟信号, 另一个是数据双信号线接口。通过管理接口, 上层能监视和控制 PHY。

以太网接口电路设计中, 使用了 LAN8700 芯片, 这款 PHY 以太网控制器是单端物理层芯片。芯片 BF537 集成了数据链路层中 MAC 子层的功能。在电路设计中, 参照 MII 规范, 在 10/100 Mb/s 系统中, 将 LAN8700 的物理层与媒体接入控制 (MAC) 层进行连接。以太网通信接口电路如图 5 所示。

MII 接口中发送和接收时钟是分开的。TX\_EN 是 MII 发送使能引脚, TXD [0: 3] 是 MII 发送数据引脚, RXD [0:

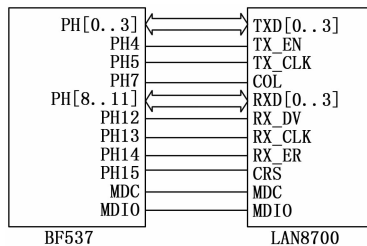


图 5 以太网接口通信电路图

3] 是 MII 接收数据引脚。LAN8700 提供一个 RX\_DV 信号 (接收数据有效), 使得恢复接收数据的方法简单而无需从 CRS\_DV (校验) 中分离出 RX\_DV 信号。接收数据 RXD [3: 0] 转换与 RX\_CLK (接收时钟) 同步。在确认 CRS\_DV 的每个时钟周期内, RXD [3: 0] 转换来自 LAN8700 的 4 位回复数据。在数据恢复或者错误情况发生时期, 转换的是 RXD [3: 0] 的预确定值而非恢复数据。在 CRS\_DV 解除确认时, RXD [3: 0] 为 “0000”, 表示是空闲状态。一旦 CRS\_DV 确认, LAN8700 确保 RXD [3: 0] 为 “0000”, 直到产生正确的接收解码。

在接收数据 RX\_CLK 期间内, 确认 RX\_ER (接收错误) 使其标识。发送使能 (TX\_EN) 指示 MAC 在 TXD [3: 0] 上呈现 4 位以用于传送信号。TX\_EN 应被前导符的首个半字节同步确认, 而且在所有的被传送的 4 位信号呈现时都应保持确认。在跟随着帧的最后两位的第一个 TX\_CLK 上升沿之前, MAC 应该确认。TX\_EN 转换相对于 TX\_CLK (发送时钟) 是同步的。

COL 为冲突检测, MDC 和 MDIO 为 PHY 管理接口。

### 3 软件设计和功能测试

采集模块软件设计是数据采集技术实现的重要组成部分, 在硬件电路完成的基础上, 通过软件编写相关程序实现系统所需功能。软件程序设计主要包括两部分, 一是数据采集处理程序, 另一是以太网通信程序。而性能测试结果是能保证系统稳定可靠运行, 并且能实际投入到工业应用的关键因素。本模块使用信号发生器做测试信号源, 将采集的数据传输至计算机中, 通过 MATLAB 计算仿真验证结果是否达到相应标准。

#### 3.1 基于 BF537 的数据采集处理程序设计

基于 BF537 的数据采集处理程序通过 VisualDSP+ 平台实现, 将程序下载到主控芯片 BF537 中, 通过 SPI (串行外设接口) 去控制 AD 芯片 ADS1278, 使其按需进行采样, 将 8 通道数据通过 SPI 接口传输给 DSP 芯片进行处理。

其中设置引脚 MODE [1: 0] 为 10 低功耗模式。CLKDIV 为主时钟输入分频控制引脚, 通过 CLKDIV 控制引脚后,  $f_{CLK} = k \times f$ 。其中为主时钟频率,  $f$  为采样速率。时钟输入选择见表 3。

表 3 时钟输入选择

模式选择	最大 $f_{CLK}$	CLKDIV	$k = f_{CLK} / f_{DATA}$	最大采样率/
高速率	32.768	1	256	128000
高分辨率	27	1	512	52734
低功耗	27	1	512	52734
	13.5	0	256	
低速率	27	1	256	10547
	5.4	0	512	

AD 芯片每通道有 24 个 SCLK (串行时钟), 1 个 SCLK 对应 1bit。

8 通道采集一次需要  $24\text{bit} \times 8 = 192\text{SCLK}$ , 则串行时钟频率应该大于 192 个数据采样频率, 即  $f_{\text{SCLK}} > 192f_{\text{DATA}}$ ,  $T_{\text{DATA}} > 192/T_{\text{SCLK}}$ , 其中  $f_{\text{SCLK}}$  为串行时钟频率,  $T_{\text{SCLK}}$  为串行时钟周期,  $T_{\text{DATA}}$  为采样周期。通常情况下  $f_{\text{SCLK}} = f_{\text{CLK}}/2n$ , 其中  $n$  为自然数。当采样频率  $f_{\text{DATA}}$  不同时, 串行时钟频率  $f_{\text{SCLK}}$  选择见表 4。由于芯片模式为低功耗模式, 所以采样速率要小于 52.734KSPS。

表 4  $f_{\text{DATA}} - f_{\text{SCLK}}$  频率大小选择

$f_{\text{DATA}}$ /KSPS	CLKDIV	$f_{\text{CLK}}$ /MHz	$f_{\text{SCLK}} > 192f_{\text{DATA}}$	$f_{\text{SCLK}}$ 选取
8	1	4.096	1.536 MHz	$f_{\text{SCLK}} = f_{\text{CLK}}$
	0	2.048		$f_{\text{SCLK}} = f_{\text{CLK}}$
16	1	8.192	3.072 MHz	$f_{\text{SCLK}} = f_{\text{CLK}}$
	0	4.096		$f_{\text{SCLK}} = f_{\text{CLK}}$
32	1	16.384	3.072 MHz	$f_{\text{SCLK}} = f_{\text{CLK}}$
	0	8.192		$f_{\text{SCLK}} = f_{\text{CLK}}$

在 SPI 模式下, 通过  $\overline{\text{DRDY}}$  (串行协议引脚: 数据准备输出) 的下降沿来提示数据准备好, 数据在串行时钟 SCLK 的下降沿输出, 用户应在上升沿读入, 高位在前。  $\overline{\text{DRDY}}$ : 数据准备好时拉低, 在此后第一个 SCLK 的下降沿拉高, 如果数据没有读走, 则  $\overline{\text{DRDY}}$  在下次转换数据准备好之前拉高。同步操作: 把  $\overline{\text{SYNC}}$  (同步输入引脚) 引脚先拉低后拉高, 即多个模块上电后复位电路的不同会导致器件之间转换时间的不确定性, 可用  $\overline{\text{SYNC}}$  来同步。复位后需等待最多 129 次转换, 模块上电后数据第一次出现时重新复位一下  $\overline{\text{SYNC}}$  以实现同步。

主控芯片 BF537 对 ADC 的基本设置为:

设置  $\text{PG9} = 0$ ,  $\text{ADS1278\_ClkDiv}$ ;

判断  $\text{ADS1278\_}\overline{\text{DRDY}}$  ( $\text{PG2}$ );

$\text{CPHA} = 0$ ,  $\text{CPOL} = 0$ ,  $\text{SIZE} = 8$ : SCK (SPI 时钟频率) 高电平有效, 传输格式从第一个数据位的终点处 SCK 切换。持续接收, 覆盖原数据;

$\text{TIMOD}[1:0] = 00$ : 读  $\text{SPI\_RDBR}$  (SPI 接收数据缓冲寄存器) 开始传输, 当  $\text{SPI\_RDBR}$  满时产生中断。

### 3.2 基于 BF537 的以太网通信程序

数据采集模块主控程序和以太网接口通信主要是在芯片 BF537 上完成。其开发环境是仍然采用 VisualDSP+ 开发套件。主控程序流程如图 6 所示。

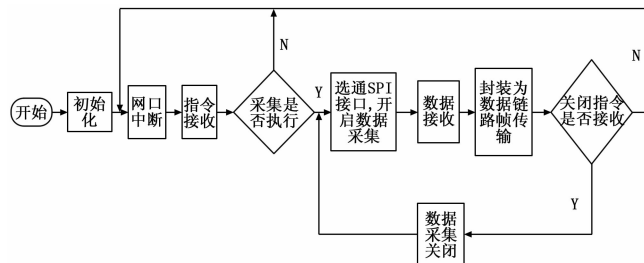


图 6 主控程序流程图

主控芯片 BF537 在经过系统初始化后, 进入以太网接口通信模式, 等待计算机发来指令, 系统产生网口中断。判断指令是否为数据采集开启指令, 如果是, 则开始采集数据。选通

SPI 接口接收数据, 将数据以以太网标准数据包格式上传至计算机。

### 3.3 功能测试

信号源产生测试信号, 连接到采集模块输入端口, 模拟实际信号输入。同时将以以太网交换机和采集模块连接, 起到对数据采集模块供电和中继转发的作用。采集模块测试如图 7 所示。

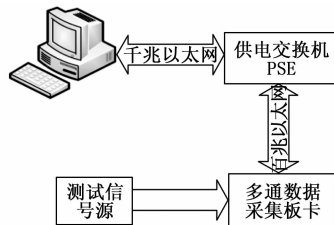


图 7 测试平台

测试的性能指标为通道串扰和动态范围、谐波失真、相位一致性误差和幅度一致性误差等。测试流程为:

- 1) 烧写 Flash。通用计算机通过 VisualDSP++ 软件写入。将 ADI DSP 仿真器系列 EBF-EMU-II 下载电缆插入 DSP 的 JTAG 接口, 在查看寄存器处数据内容是否改变为正确。
- 2) 烧写 CPLD PROM。
- 3) 访问硬件调试

主要包含检测是否找到硬件设备, 检测设备是否能进行配置, 检测设备是否能进行自检和采集, 检测设备是否能停止。

4) 记录数据。通过 MATLAB 源代码程序处理 AD 采集后的数据。查看测试结果是否符合性能指标规范。

#### 3.3.1 动态范围

当采集模块所有 8 通道的模拟输入短路接地时, 动态范围测试结果见表 5, 从表中可以看出, 采集模块各通道动态范围满足  $\geq 90$  dB 的设计指标要求。

表 5 动态范围

通道号	1	2	3	4	5	6	7	8
动态范围/dB	99.22	98.92	98.79	98.51	97.75	98.56	98.58	97.74

#### 3.3.2 谐波失真

当采集模块 8 通道模拟输入  $V_{PP} = 2$  V, 谐波失真测试结果见表 6。结果表明采集模块谐波失真满足  $\leq -60$  dB 设计指标要求。

表 6 谐波失真

通道号	谐波失真/dB, 频率/Hz					
	200	500	800	1000	1200	1300
1	-64.37	-62.71	-63.92	-62.15	-63.68	-63.58
2	-64.29	-62.65	-63.85	-62.09	-63.63	-63.52
3	-64.33	-62.67	-63.90	-62.13	-63.66	-63.55
4	-64.29	-62.64	-63.86	-62.11	-63.64	-63.54
5	-64.16	-62.52	-63.75	-62.00	-63.54	-63.44
6	-64.36	-62.70	-63.91	-62.15	-63.68	-63.58
7	-64.25	-62.61	-63.84	-62.08	-63.63	-63.52
8	-64.30	-62.65	-63.86	-62.11	-63.64	-63.55

#### 3.3.3 幅度一致性

当采集模块 8 通道模拟输入, 幅度一致性测试结果见表 7。

(下转第 226 页)