

## 一种新型的 FPGA 实现 RS422 串口通信方法

刘杰<sup>1</sup>, 臧炜<sup>2</sup>, 梁晓鹏<sup>3</sup>, 李军武<sup>4</sup>(1. 贵州航天凯山石油仪器有限公司, 贵阳 550000; 2. 中国石油渤海装备公司第一机械厂, 河北 青县 062650;  
3. 长庆油田第六采油厂, 陕西 榆林 718600; 4. 长庆油田第七采油厂, 甘肃 环县 745700)

**摘要:** 在 FPGA 实现 RS422 串口通信的常用方法中经常遇到诸多问题, 如 FIFO 深度读取不正确、FIFO 写数据端口与读数据端口时序竞争、多个模块间信号延时导致 FPGA 亚稳态等问题, 因此设计了一种新型的 RS422 串口通信实现方法; 该方法通过利用寄存器数组作为循环缓存代替 FIFO, 利用计数器代替传统的波特率产生模块, 把常用方法中的多个模块整合成一个模块, 只采用一个主时钟, 所有寄存器的时钟输入端共享一个时钟, 对 FPGA 逻辑与时序进行了有效约束, 避免了 FPGA 中亚稳态产生; 试验结果表明该方法实现的 RS422 串口通信高速、可靠、稳定, 并且利用 FPGA 实现 RS422 串口通信, 可使整个系统更为灵活、紧凑, 减小整个电路的体积, 提高系统的可靠性和稳定性。

**关键词:** RS422; FPGA; DSP; Verilog HDL

## A New Method of RS422 Serial Port Communication Based on FPGA

Liu Jie<sup>1</sup>, Zang Wei<sup>2</sup>, Liang Xiaopeng<sup>3</sup>, Li Junwu<sup>4</sup>(1. Guizhou Aerospace Kai Shan Petroleum Instrument Co., Ltd., Guiyang 550000, China;  
2. 1<sup>ST</sup> Machinery Works of CNPC BOHAI Equipment Manufacturing Co., Ltd., Qingxian 062650, China;  
3. 6<sup>ST</sup> Oil Production Plant of Changqing Oilfield, Yulin 718600, China;  
4. 7<sup>ST</sup> Oil Production Plant of Changqing Oilfield, Huanxian 745700, China)

**Abstract:** The common method of RS422 serial port communication realized by FPGA often encounter many problems, such as FIFO depth is incorrect, the timing of writing FIFO data port and reading FIFO data port are compete, and signal delay between multiple modules leads to FPGA metastable state, so a new method of RS422 serial port communication is proposed. This method replaces the traditional FIFO by using register array as a cyclic queue, uses the counter instead of the baud rate generation module, integrate multiple modules into one module, only one master clock, all registers share one clock with the clock input, and constraints FPGA logic and timing to avoid the FPGA metastable state. The experimental results show that the method is fast, reliable and stable. It can make the whole system more flexible and compact, reduce the whole circuit volume and improve the reliability and stability of the system.

**Keywords:** RS422; FPGA; DSP; Verilog HDL

## 0 引言

目前, 嵌入式电子系统设计多采用 DSP+FPGA 架构, 因为其兼顾了 DSP 和 FPGA 的优点。DSP 的优点是能够实现复杂的算法结构, 运算速度快、寻址方式灵活等, 适合于运算能力和存储容量有较高要求的应用场合<sup>[1]</sup>。FPGA 的优点是基于可编程逻辑器件进行数字逻辑设计, 性能稳定、易于维护、性价比比高、产品体积小、信号间干扰小、研制周期短等, 并发处理能力较强, 可以作为 DSP 的各种外围电路的控制器。因此, 采用 DSP 和 FPGA 数字信号处理系统可以把两者的优点结合起来, 兼顾速度和灵活性, 优势互补, 符合当前软硬件融合协调工作的趋势。

RS422 串口通信在航空航天及工业控制领域有着广泛的应用, 其特点是点对点通信、传输距离长、抗干扰能力强、传输速率高等方面。利用 FPGA 实现 RS422 串口通信, 可使整个系统更为灵活、紧凑, 减小整个电路的体积, 提高系统的可靠

性和稳定性。

本文首先介绍了一种 FPGA 实现 RS422 串口通信的常用方法, 然后设计并实现了一种改进方法, 在改进方法中采用寄存器数组作为循环缓存代替 FIFO, 利用计数器代替波特率产生模块, 把常用方法中的四个模块进行整合, 采用同步时钟代替异步时钟, 对 FPGA 逻辑与时序进行了有效约束, 避免了 FPGA 中亚稳态产生, 提高了 RS422 串口通信的可靠性、稳定性。

## 1 RS422 串口通信常用实现方法

RS422 串口通信的帧格式如图 1 所示。

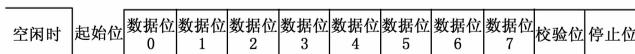


图 1 RS422 串口通信帧格式

一帧数据包包括起始位、数据位、校验位和停止位。线路空闲时, 传输线路保持高电平。当发送数据时, 发送节点要先发一个低电平的起始位, 表示一帧数据的开始, 然后发送有效数据位, 通常为 8 个比特, 然后发送奇偶校验位, 最后发送停止

收稿日期: 2016-12-12; 修回日期: 2017-02-06。

作者简介: 刘杰(1984-), 女, 山东单县人, 硕士研究生, 工程师, 主要从事电路、软件方向的研究。

位，停止位为高电平，表示一帧数据发送结束。

串口通信结构框图如图 2 所示。

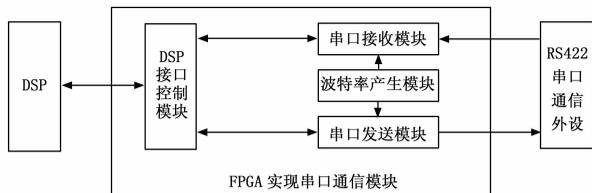


图 2 串口通信结构框图

DSP 与 FPGA 之间的通信方式采用 DSP 的 EMIF 方式，即地址总线、数据总线和控制总线。FPGA 内部实现 RS422 通信功能，主要包括接收模块、发送模块、波特率产生模块、DSP 接口控制模块等 4 个部分。RS422 串口通信外设一般是指 RS422 收发芯片，如 MAX3087，完成 TTL 电平和 RS422 差分电平之间的转换，通常与 FPGA 相连时要经过数字隔离器，进行地线隔离。

串口接收模块的功能为：FPGA 首先检测数据的起始位，然后获得有效数据位的信息，并且对有效数据位进行奇偶校验后，进行串/并转换，存入串口接收 FIFO 中，等待 DSP 进行查询读取，当 DSP 读串口接收 FIFO 地址时，FPGA 把串口接收 FIFO 中的数据放到数据总线上。

串口发送模块的功能为：首先 DSP 通过 EMIF 接口向 FPGA 的串口发送 FIFO 写数据，FPGA 把数据存入串口发送 FIFO 中，进行并/串转换，将串行数据从输出端口按照约定的波特率输出。

波特率产生模块的功能：一般通过 FPGA 内部的 PLL 锁相环以及分频模块，获得串口发送模块波特率时钟驱动串口发送模块，获得串口接收模块 16 倍频波特率时钟驱动串口接收模块。

DSP 接口控制模块具体功能为：根据 DSP 接口的读信号、写信号、片选信号以及地址信号产生相应的接收 FIFO 读信号、发送 FIFO 写信号、以及读取接收 FIFO 深度等功能。

在常用方法中，数据缓存操作通常采用 FPGA 生产商免费提供的 FIFO 软核，是一种采用环形存储结构的先进先出存储器<sup>[2]</sup>。FIFO 结构如图 3 所示。

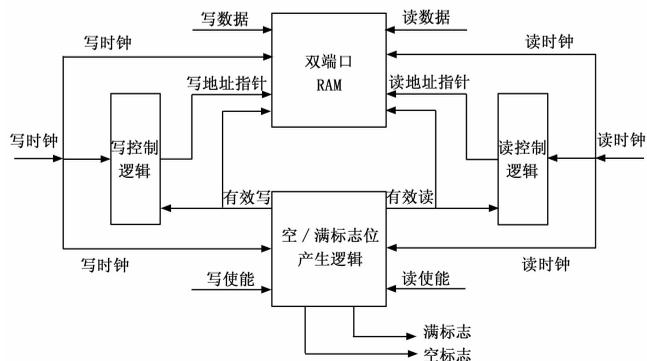


图 3 异步 FIFO 结构图

图 3 中，FIFO 的存储介质为一个双端口 RAM，可以同时读写操作。左侧为一个写时钟域，由写地址逻辑产生写控

制信号和写地址，可以把数据写入 RAM；右侧为一个读时钟域，由读地址逻辑产生读控制信号和读地址，可以读出 RAM 中的数据。另外，由空/满标志位产生逻辑对读写地址相互比较产生空、满标志位以及动态刷新 FIFO 的深度，该模块需要和读时钟域、写时钟域进行交互，存在跨时钟域的问题。

综上所述，常用方法是基于 FPGA 内部 FIFO 建立串口通信模块，在工程应用中，经常遇到诸多问题，如 FIFO 深度读取不正确、FIFO 写数据端口与读数据端口时序竞争、多个模块间信号延时导致 FPGA 亚稳态等问题。究其原因这是由于 FIFO 软核由厂家封装后，对用户开发是一个“黑盒子”，其内部设计无法被用户优化<sup>[3]</sup>。因此在改进方法中，设计循环缓存代替了 FIFO，利用计数器代替了波特率产生模块，可以把串口发送模块整合成一个模块，把串口接收模块整合成一个模块，并且两个模块只采用一个主时钟，采用同步时序电路设计的 FPGA，所有寄存器的时钟输入端共享一个时钟，可以有效地消除亚稳态。

## 2 RS422 串口通信改进方法

### 2.1 利用寄存器数组作为循环缓存代替 FIFO

定义一个寄存器数组<sup>[4]</sup>：reg [7: 0] data\_HC [511: 0]，数据宽度为 8 位，长度为 512。

定义一个读指针计数器：reg [8: 0] REcount = 9'h000，计数范围为 [0~511]。

定义一个写指针计数器：reg [8: 0] WEcount = 9'h000，计数范围为 [0~511]。

如图 4 所示，采用一个主时钟对循环缓存 data\_HC 进行读、写操作，当向循环缓存 data\_HC 写入数据后，写指针 WEcount 加 1；当从循环缓存 data\_HC 读出数据后，读指针 REcount 加 1。当读、写指针递增到 511 后，再加 1 则自动为 0，依次循环。循环缓存还需要建立 3 个关键的变量。

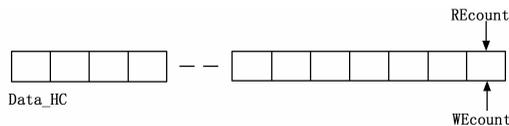


图 4 循环缓存 data\_HC 示意图

循环缓存的深度：wire [8: 0] cnt;

循环缓存的满标志：wire FULL;

循环缓存的空标志：wire EMPTY;

深度 cnt 即循环缓存 data\_HC 中数据的个数，利用写指针 WEcount 与读指针 REcount 比较，当 WEcount >= REcount 时，cnt = WEcount - REcount。当 WEcount < REcount 时，cnt = WEcount + 512 - REcount。利用逻辑电路表达式为：

assign cnt = (WEcount >= REcount)? (WEcount - REcount); (WEcount + 512 - REcount)。

空、满标志产生的原则是：写满而不溢出，读空而不多读。即在满信号有效时若继续向 FIFO 写数据，应根据设计的要求对数据作保持或抛弃重发处理，空标志的产生也是如此。

当深度 cnt=0 时，设置空标志 EMPTY=1。当深度 cnt=256 时，设置满标志 FULL=1。当然，满标志 FULL 的深度

cnt 数值可以灵活设置。利用逻辑电路表达式为<sup>[3]</sup>:

```

assign EMPTY = (cnt == 9' d0)? 1: 0;
assign FULL = (cnt == 9' d256)? 1: 0;
当向循环缓存 data_HC 写入数据时, 代码示例如下:
if(~FULL)
begin
data_HC[WEcount] <= data_in;
WEcount <= WEcount + 1;
end
当从循环缓存 data_HC 读出数据时, 代码示例如下:
if(~EMPTY)
begin
data_out <= data_HC[REcount];
REcount <= REcount + 1;
end
    
```

### 2.2 利用计数器代替波特率产生模块

串口发送模块的时钟一般和串口发送波特率一致, 当发送数据时, 只需要按照时钟把循环缓存中的数据并/串转换后, 按帧格式发送。

串口接收模块的时钟一般是串口接收波特率的 16 倍频。当接收数据时, 由于接收节点和发送节点的时钟异步, 所以对数据位进行多次采样, 采样次数越多, 采样点就可以越靠近数据位中点, 降低采样错误的概率。但是, 采样次数越多, 其系统开销就越大。因此, 设计串口接收模块的时钟是串口接收波特率的 16 倍频, 每个数据位可以采样 16 次, 并且只取靠近中间的 3 个采样点, 如第 7、8、9 次, 并且对 3 次的采样点值, 通过 3 判 2 进行裁决, 进一步降低采样误码概率。

上述方法中, 需要通过 FPGA 的主时钟经过 PLL 锁相环和分频模块产生串口发送时钟和串口接收时钟, 分别驱动串口发送模块和串口接收模块。利用计数器完全可以替代波特率产生模块, 其优点是只需要 FPGA 的主时钟, 而不进行分频, 其时钟相位、延时都不会由于分频而产生变化。

例如, RS422 串口全双工通信, 收、发波特率都为 38400bpt/s, FPGA 中模块主时钟用 14.745 6 MHz。在串口发送模块, 以 14.745 6 MHz 时钟的上升沿为触发模式进行计数, 当计数到 384 时, 进入图 5 串口发送模块状态机, 根据状态机执行相应的动作, 并且计数重新置 1, 主时钟下一个上升沿来时, 继续进行计数动作。在串口接收模块, 以 14.745 6 MHz 时钟的上升沿为触发模式进行计数, 当计数到 24 时, 进入图 6 串口接收模块状态机, 根据状态机执行相应的动作, 并且计数重新置 1, 主时钟下一个上升沿来时, 继续进行计数动作。

### 2.3 发送模块设计

DSP 向数据缓存 data\_HC 写数据, FPGA 检测到 DSP 的串口写信号有效, 并且数据缓存未满, 把 DSP 数据总线上的数据装入数据缓存 data\_HC [WEcount], 并且 WEcount 写指针加 1。FPGA 中串口发送模块, 以主时钟上升沿进行计数, 当计数到分频时钟的值 (BAND=主时钟频率/发送数据波特率) 时, 进行状态机判断和跳转, 并且计数值重新置 1, 过程如图 5 所示。

发送模块状态机设计如下: 状态 1 检测循环缓存 data\_

HC 是否为空, 如果循环缓存 data\_HC 非空, 读取 data\_HC [REcount] 值 (1 个字节), REcount 读指针加 1, 跳转到状态 2, 然后依次从状态 2~状态 12 跳转, 其状态为发送起始位、数据位 0~数据位 7, 奇偶校验位、停止位。

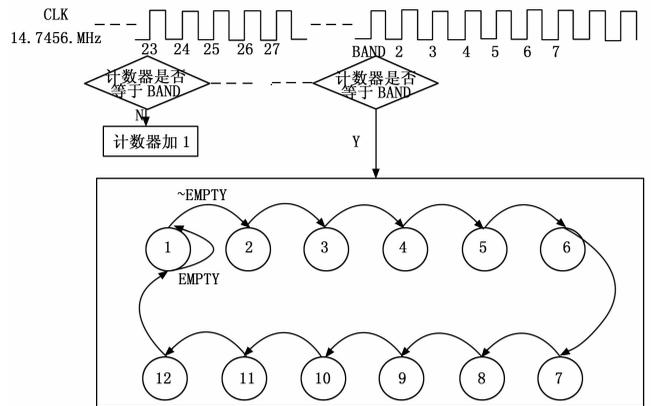


图 5 发送模块设计示意图

### 2.4 接收模块设计

FPGA 中串口接收模块, 以主时钟上升沿进行计数, 当计数到分频时钟的值 (BAND=主时钟频率/(接收数据波特率 \* 16 倍频)) 时, 进行状态机判断和跳转, 并且计数值重新置 1, 过程如图 6 所示。

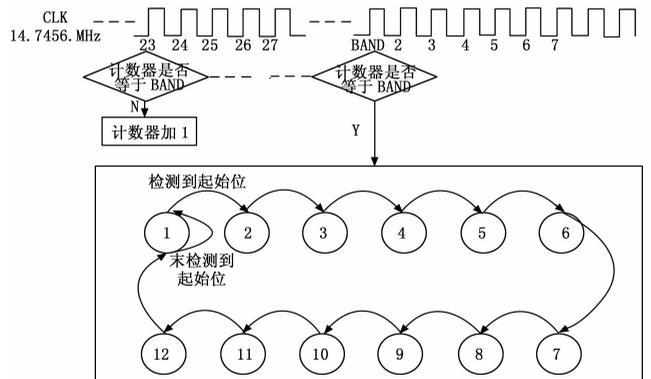


图 6 接收模块设计示意图

接收模块状态机设计如下: 状态 1 检测数据线是否有起始位, 如果检测到起始位, 跳转到状态 2, 状态 2 为检测到起始位的中间位置, 然后依次从状态 3~状态 11 跳转, 其状态为数据位 0~数据位 7, 奇偶校验位的中间位置采样, 最后跳转到状态 12, 停止位的中间位置, 对数据进行奇偶校验, 以及判断 data\_HC 是否满, 如果未滿, 把数据写入数据缓存 data\_HC [WEcount], 并且 WEcount 写指针加 1。

DSP 可以读取与 FPGA 约定的两个地址, 一个为数据缓存深度地址<sup>[4]</sup>, 如 addr\_data\_count, 另一个为数据缓存中数据地址, 如 addr\_data。当 DSP 读取数据缓存深度地址时, FPGA 可以把数据缓存深度 cnt 锁存后放到 DSP 数据线上。当 DSP 读取数据缓存中数据地址时, FPGA 判断数据缓存 data\_HC 非空后, 把 data\_HC [REcount] 锁存后放到数据线上, 并且读指针 REcount 加 1。

### 3 实验结果与分析

在 XXX 组合导航系统中, FPGA 硬件采用 A3P1000, DSP 采用 TI 公司的 TMS320C6713B, 产品包含与陀螺、上位机、转位机构、北斗系统等进行 RS422 串口通信的 11 个接收、发送模块。采用改进方法后, 在测试过程中, 常温条件下, 产品连续工作 100 多个小时, 未出现串口通信错误。在高温、低温条件下, 分别进行 1 小时测试, 未出现任何通信异常现象, 也没有出现误码现象。

在常用方法中, 如图 2 所示, 多个模块间需要传递时钟、数据、FIFO 控制信号等, 系统很容易产生亚稳态。亚稳态就是触发器工作在一种不确定的状态, 这种不确定的状态将会影响到下一级触发器, 最终导致连锁反应, 从而使整个系统功能失常。当信号在异步电路中或多个时钟域之间传输时, 容易产生亚稳态现象。在改进方法中, 通过模块整合, 只采用一个主时钟, 所有寄存器时钟输入端共享一个时钟, 有效避免了系统亚稳态的产生。

### 4 结论

本文首先介绍了一种 FPGA 实现 RS422 串口通信的常用

方法, 包括波特率产生、串口发送、串口接收、FPGA 的 FIFO 软核等模块, 然后设计并实现了一种改进方法。在改进方法中由于设计了循环缓存代替了 FIFO, 利用计数器代替了波特率产生模块, 因此, 可以把串口发送模块整合成一个模块, 把串口接收模块整合成一个模块, 并且串口发送模块、串口接收模块只采用一个主时钟, 采用同步时序电路设计的 FPGA, 所有寄存器的时钟输入端共享一个时钟, 可以有效地消除亚稳态, 提高了 RS422 串口通信的可靠性、稳定性, 具有较高的应用推广价值。

#### 参考文献:

[1] 三恒星科技. TMS320C6713 DSP 原理与应用实例 [M]. 北京: 电子工业出版社, 2012.  
 [2] ProASIC 3 Flash Family FPGAs 使用手册 [Z]. 北京: ACTEL 公司, 2013.  
 [3] 夏宇闻. Verilog 数字系统设计教程 [M]. 北京: 北京航空航天大学出版社, 2013.  
 [4] FT-C6713J/250 军用 DSP 产品使用手册 [Z]. 北京: 国防科学技术大学, 2012.

.....  
 (上接第 186 页)

Web 页面的功能控制页面如图 7 所示, 可以看到, 该磁流体显示系统支持多种输出风格的网页控制, 例如时间、计时倍率、文字以及图案等。此外, 通过对该页面反复的输入实验, 验证了该网页控制模块的功能性和稳定性。



图 7 Web 功能控制图

### 5 结论

本文介绍了一种基于 Altera DE1-SOC 的磁流体显示系统。该系统突破了传统基于光学的显示技术, 能够对各类字形、字体以及图画进行黑白动态的展示, 显示内容丰富, 展示效果生动。本系统通过 web 页面将控制数据准确的传递到 Linux 应用程序, 使之调用底层硬件驱动程序将数据传输到 HPS 与 FPGA 的 AXI 总线桥, 再通过 FPGA 逻辑数据地址解析传到硬件显存, 最后通过功率驱动将显示图像实时反应到点阵磁极的磁场上, 该磁流体显示系统实现了磁性介质显示的远程 web 页面控制。这不仅丰富视觉显示途径, 而且还较好的结合传统国学的水墨文化, 促进传统文化的发展。

#### 参考文献:

[1] 姜少义, 李伟力, 李琳, 等. 控制器控制方式对永磁电机电磁场

影响的研究 [J]. 微特电机, 2015, 43 (6): 20-23.  
 [2] 周林富. 模拟信号光耦隔离方法及应用分析 [J]. 工业仪表与自动化装置, 1995 (3): 14-15.  
 [3] 徐波. Altera Cyclone V 的 Linux 系统的搭建 [J]. 科技资讯, 2014 (34): 15-15.  
 [4] 蒋玉萍. 降压型功率变换器 LM2596 的原理及应用 [A]. 全国电源技术年会 [C]. 2001.  
 [5] 童乔凌, 邹雪城, 郑朝霞, 等. 电源管理芯片中热关断电路的设计 [J]. 微电子学与计算机, 2006, 23 (11): 152-154.  
 [6] 徐严, 陈勇. PWM DC-DC 变换器中电流限制电路的设计 [A]. 四川省电子学会半导体与集成技术专委会 2008 年度学术年会 [C]. 2008.  
 [7] 周林富. 模拟信号光耦隔离方法及应用分析 [J]. 工业仪表与自动化装置, 1995 (3): 14-15.  
 [8] 曾东, 陈志明. 基于达林顿管阵列的多路数字量输入电路: CN, CN 202083932 U [P]. 2011.  
 [9] 翟国富, 崔行磊, 杨文英. 电磁继电器产品及研究技术发展综述 [J]. 电器与能效管理技术, 2016 (2): 1-8.  
 [10] Techcon A. Broadcom licenses ARM Cortex-A9 multiprocessor core [J]. Eetimes Com, 2014.  
 [11] 刘扬, 龚育昌, 李宏, 等. 嵌入式系统网络底层驱动的研究与实现 [J]. 计算机工程, 2004, 30 (5): 111-113.  
 [12] 邱铁. Linux 内核 API 完全参考手册 [M]. 北京: 机械工业出版社, 2011.  
 [13] 王文植. 驱动多 FPGA 的实时嵌入式操作系统核心技术研究与设计 [D]. 北京: 北京工业大学, 2012.  
 [14] 郑尚志, 陈祖爵, 韩云, 等. Linux 中信号量机制研究 [J]. 计算机技术与发展, 2007, 17 (12): 92-95.  
 [15] 廖裕评, 陆瑞强, 郭书铭. 嵌入式系统设计: ARM-Based FPGA 基础篇 [Z]. 2014.