

# 基于 FPGA 的 MDDI 数据处理电路实现

李 勇<sup>1</sup>, 魏廷存<sup>2</sup>, 郑海林<sup>1</sup>

(1. 中国电子科技集团第二十八研究所, 南京 210007; 2. 西北工业大学 计算机学院, 西安 710072)

**摘要:** 介绍了一种基于 FPGA 的 MDDI (mobile display digital interface) 数据处理电路设计; 基于单片集成 AM-OLED 驱动控制芯片的设计需求以及并行数据总线在移动显示设备上存在的不足, 设计了 MDDI 数据处理电路; MDDI 作为一种高速串行移动显示数字接口标准, 具有连线数量少, 信号传输可靠性高, 低功耗等特点, 广泛应用于移动显示终端领域; 所设计的 MDDI Type2 主端数据处理电路采用两级状态机控制内部电路, 主状态机用于控制从状态机的状态切换, 从状态机则用于实现 MDDI 数据的生成; 通过加入可配置寄存器, 实现对数据包生成和接口模式的控制; 采用 Verilog 语言编写 RTL 级代码实现 MDDI Type2 数据处理电路软核; 使用 Xilinx 工具综合的结果表明, 该数据处理电路能够支持 480-RGB×320、26 万色的 AM-OLED 显示屏, 数据传输速率可达 180 Mbps, 其性能指标满足系统设计要求。

**关键词:** 移动显示数字接口; 数据处理电路; 有源-有机发光二极管驱动芯片; 串行接口

## MDDI Data Processing Circuit Based on FPGA Implementation

Li Yong<sup>1</sup>, Wei Tingcun<sup>2</sup>, Zheng Hailin<sup>1</sup>

(1. 28th Research Institute of China Electronics Technology Group Corporation, Nanjing 210007, China;

2. School of Computer, Northwestern Polytechnical University, Xi'an 710072, China)

**Abstract:** A single chip Mobile Display Digital Interface (MDDI) data processing circuit was implemented based on FPGA. Based on the requirements of monolithic integrated AM-OLED driver IC and deficiency of parallel data bus in mobile display device, the MDDI data processing circuit is designed. MDDI is a high-speed serial digital interface standard, since it has many advantages such as less signal lines, higher signal transmission reliability, lower power consumption and the simpler circuits, it is widely used in the mobile display terminal. This paper proposes a novel design strategy for MDDI Type2 host data processing circuit to reduce the complexity of the circuit. In this design, the internal circuits are controlled with two-stage state machines. The master state machine is used to control the state switch from the secondary machine, and the secondary machine is used for generating MDDI data. The configurable registers control the packets generated and change the interface mode. RTL code of the MDDI data processing circuit is designed using Verilog to implement the soft-core. The synthesized results by Xilinx tools show that, this data processing circuit can support AM-OLED display with 480-RGB×320 resolution and 260k color image data, the maximum transfer rate is 180 Mbps. The performances of the MDDI data processing circuit meet the requirements of system design.

**Keywords:** MDDI; data processing circuit; AM-OLED driver IC; serial interface

## 0 引言

AM-OLED (active matrix-organic light emitting diode, 有源-有机发光二极管), 具有响应速度快、高画质、低功耗以及轻薄的特点, 被公认为下一代平板显示的主流技术<sup>[1-2]</sup>。近年来, 随着 AM-OLED 的制造工艺和量产技术不断进步, AM-OLED 已成功应用于手机、数码相机、平板电视等消费类电子产品中。随着显示屏的尺寸、分辨率和颜色数的不断增加, 主机与显示屏之间的数据传输量也急剧增加。为此, 在手机等便携式显示产品中, 面向 VESA (video electronics standards association) 的高速串行接口 MDDI (mobile display digit-

al interface) 得到了越来越广泛的应用<sup>[3]</sup>。

MDDI 作为一种新型的高速串行数据接口, 具有连线少、传输数据速度快和低功耗的特点, 在驱动芯片中作为主机与显示屏之间的高速数据通信接口。根据 MDDI 协议, 主端数据处理电路的功能是, 接收微处理器写入的控制信号和数据信号, 数据处理电路生成符合协议的控制数据包和显示数据包, 并通过 LVDS 接口发送给 MDDI 客户端。基于单片集成 AM-OLED 驱动控制芯片的设计需求, 设计了 MDDI 的主端数据处理电路, 可作为 IP 核应用于 AM-OLED 驱动控制芯片中。

## 1 MDDI 概述

图 1 所示为 MDDI 主端和客端连接示意图。数据从主端向客端发送为前向链接, 从客端向主端发送为反向链接。MDDI 对数据传输的物理层和链接层都做了明确的规定。

物理层上, MDDI 采用 LVDS (low-voltage differential signaling) 技术。与传统的 LVDS 接口不同的是, MDDI 在信号传输之前采用数据一触发编码对时钟进行编码, 在通道中实际传输的是数据 MDDI\_Data0 和经过数据一触发编码的 MD-DI\_Stb 信号。客端通过将接收到的 MDDI\_Data0 与 MDDI\_

收稿日期: 2016-10-09; 修回日期: 2016-11-17。

基金项目: 陕西省科技统筹创新工程计划项目 (2011KTCQ01-22)。

作者简介: 李 勇 (1987-), 男, 四川内江人, 硕士研究生, 助理工程师, 主要从事模拟与混合信号处理方向的研究。

魏廷存 (1960-), 男, 陕西西安人, 博士、教授、博士生导师, 主要从事模拟与混合信号处理方向的研究。

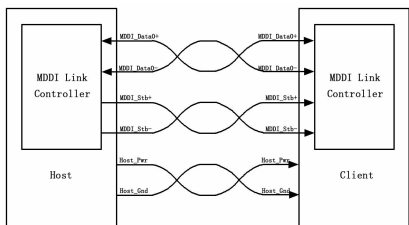


图 1 MDDI 主端和客端连接示意图

Stb 信号进行异或操作, 就可将包含在 Data0 和 Stb 信号线上的时钟信息恢复, 恢复后的时钟信号频率为主端发送频率的 1/2。与 LVDS 接口中直接传输数据和时钟相比, MDDI 显著提高了高速数据传输时的抗干扰能力。

链接层上, MDDI 协议规定了 40 多种类型的数据包, 这些数据包用于实现包括显示屏在内的许多外设同主机间的数据通信。MDDI 数据包由数据包长度、数据包类型、数据和 CRC 校验位 4 个部分组成<sup>[4]</sup>。图 2 所示为数据包和帧结构。

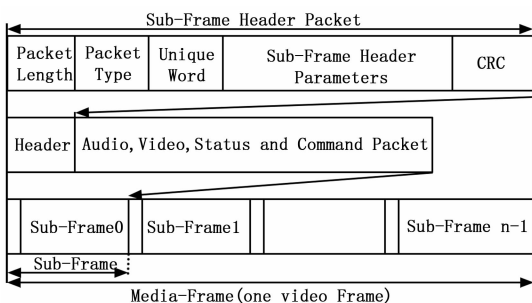


图 2 MDDI 的数据包和数据帧结构

根据系统设计的需要, 所设计的电路支持 5 种前向传输数据包与 4 种反向传输数据包, 表 1 所示为这 9 种数据包的名称与作用。

表 1 驱动控制电路支持的 9 种 MDDI 数据包

| 数据包类型                               | 作用描述              |
|-------------------------------------|-------------------|
| Sub-Frame Header Packet             | 前向链接中寻找同步状态       |
| Filler Packet                       | 无数据发送时做填充用        |
| Video Stream Packet                 | 图像数据包             |
| Register Access Packet              | 控制寄存器读写操作         |
| Round-Trip Delay Measurement Packet | 测定环路延时            |
| Client Capability Packet            | 反向传输, 包含客端容量等信息   |
| Client Request and Status Packet    | 反向传输, 包含客端请求和状态信息 |
| Shutdown Packet                     | 关断链接, 表示将进入休眠状态   |
| Reverse Link Encapsulation Packet   | 反向链接压缩包           |

Video Stream Packet 用于传输图像显示数据; Register Access Packet 用于初始化寄存器配置信息; Round-Trip Delay Measurement Packet 用于测量环路传输延时; Reverse Link Encapsulation Packet 用于反向数据的传输; Client Capability Packet 与 Client Request and Status Packet 则是客端发送给主端用于配置主客端链接的数据包。

## 2 MDDI 主端数据处理电路的系统结构

本文设计的 MDDI 数据处理电路应用于 MDDI 的主端, 它接收 MCU 写入的图像数据和控制信息, 并根据控制信息产生相应的数据包, 完成数据发送。图 3 所示为本文设计的 MDDI (Type2) 主端数据处理电路的系统结构框图。该系统主要由特殊功能寄存器 (SFR)、先进先出存储器 (FIFO)、唤醒电路 (Wake-up Checker)、链接控制器 (Link Controller)、CRC 校验电路 (CRC Block)、串行发送模块 (TX Driver) 和并行接收模块 (RX Driver) 等构成。

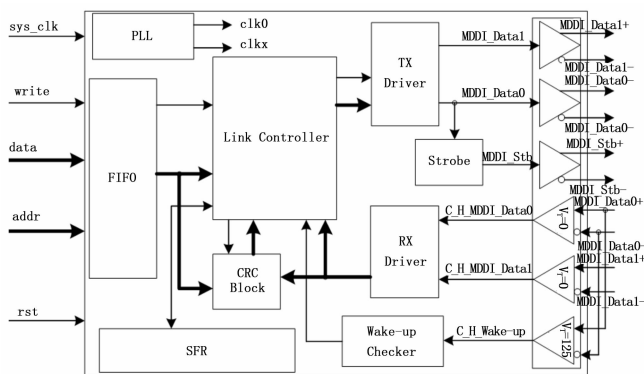


图 3 MDDI 主端数据处理电路结构

MDDI 主机可作为 IP 核挂载在微处理器总线上。微处理器通过地址总线 and 数据总线将控制信号和数据信号写入 MDDI 主机, 主机产生符合协议的数据包并通过 LVDS 接口发送给 MDDI 客户端。控制信号写入特殊功能寄存器, 该模块主要用于控制主机系统的接口模式和链接控制模块的数据包生成, 配置数据包中相关参数值, 如子帧长度、反向链接标识和读写信息等。数据信号则是多媒体数据流, 它用于 AM-OLED 显示。写入 FIFO 中的多媒体数据以 8-bit 形式向链接控制模块和 CRC 校验电路传输。CRC 校验电路采用 16-bit 的循环冗余校验算法产生校验结果, 并传输给链接控制模块。链接控制模块根据控制信号生成 Sub-frame Header Packet、Video Stream Packet 等 6 种前向传输数据包, 最后以 8-bit 数据形式写入串行发送模块, 经串行化处理, 将数据和数据脉冲编码信号发送到 MDDI 客户端。

## 3 关键模块设计

### 3.1 数据一触发编码电路 (Strobe)

串行数据在发送到 LVDS 接口之前, 需要经过数据一触发编码电路对数据和时钟信号进行编码, 实际在 LVDS 通道中传输的是数据和经过编码的脉冲信号, 图 4 为数据一触发编码电路。其工作原理是: 假如输入数据发生改变, 则 MDDI\_Stb 保持原状态不变; 但如果输入数据未发生改变, 则 MDDI\_Stb 发生改变。换句话说就是, 在每个时钟周期 MDDI\_Data 和 MDDI\_Stb 之间有且仅有一位发生改变, 其时序如图 5 所示。

### 3.2 链接控制器 (Link Controller)

链接控制模块用于生成前向链接数据包, 同时解析客户端发送的反向链接数据包, 根据客户端的解码能力、接口性能等改变主机数据包参数和发送速率, 实现主机-客户端链接最优化。该部分是主机数据处理电路的最重要模块。

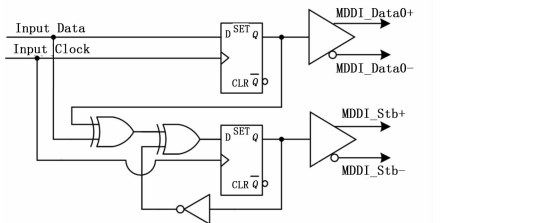


图 4 数据一触发编码电路

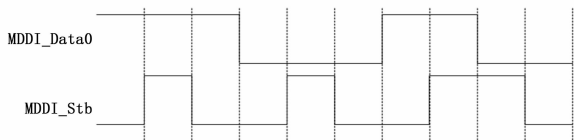


图 5 数据一触发编码电路时序图

链接控制模块主要由状态机实现，图 6 所示为链接控制模块的框图<sup>[5]</sup>。该状态机由主状态机（Main FSM）、前向链接状态机（Forward FSM）、关断状态机（Shutdown FSM）和服务请求状态机（Service-request FSM）。

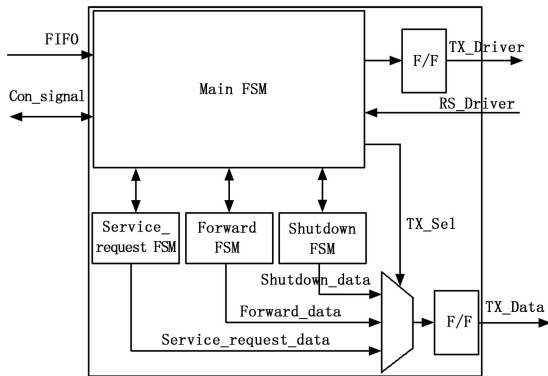


图 6 链接控制模块框图

链接控制模块读取寄存器堆中相关控制信号用于配置 MDDI 数据包中的相关参数；读取 FIFO 中的图像数据生成 Video Stream Packet 中的 Pixel Data 部分，最后将生成的数据包发送到串并转换模块。主状态机控制前向链接状态机、关断状态机和服务请求状态机之间的切换，选择其中一种状态机产生 MDDI 数据包，并通过选择控制信号（TX\_Sel）控制选择器的输出。同时，主状态机通过 TX\_Driver 控制驱动器的关断。为了降低设计复杂度，本系统将状态机分为主状态机和子状态机两级实现。

### 3.2.1 主状态机（Main FSM）

图 7 为主状态机状态转移图，表 2 为主状态机跳转指令。系统上电复位后，状态机默认处于休眠状态（Hibernation State），这样保证了内部电路能充分复位，高速驱动器和接收器能进入稳定的工作状态。当特殊功能寄存器中的状态控制寄存器 Bit [0] 有效时，状态机进入服务请求状态（Service\_request State）。主状态机控制服务请求状态机（Service\_request FSM）产生链接重启序列，通过选择电路选择服务请求状态机的输出，以唤醒客户端进入链接同步状态。当链接重启序列发送结束，且状态控制寄存器的 Bit [1] 有效时，链接控制状态机进入前向链接状态（Forward State）。主状态机读取

寄存器堆中的相关数据包参数和 FIFO 中的图像数据，控制前向链接状态机（Forward FSM）产生 Sub-frame Header Packet、Video Stream Packet、Round Trip Measurement Packet、Register Access Packet、Reverse Link Encapsulation Packet 等前向链接数据包。当前向链接状态结束，状态控制寄存器 Bit [7] 有效时，链接控制状态机进入链接关断状态（Link-shutdown State），这时主状态机选择关断链接状态机（Shutdown FSM）产生关断数据包关断客户端，使主机和客户端都进入休眠状态，以降低 MDDI 系统功耗。接下来，文章将详细分析各个状态的转移关系以及相关时序。

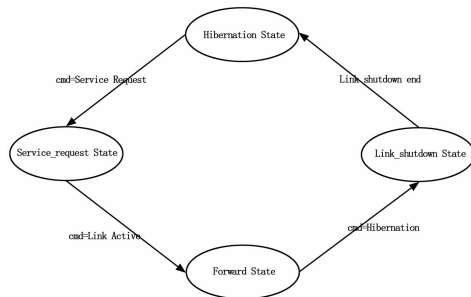


图 7 主状态机

表 2 主状态跳转指令

| Inputs          | Value |
|-----------------|-------|
| Service Request | 0x01  |
| Link Active     | 0x02  |
| Hibernation     | 0x03  |

### 3.2.2 服务请求状态机（Service Request FSM）

图 8 所示为服务请求状态机的状态转移图<sup>[5]</sup>，该状态实现 MDDI 链接的休眠唤醒操作，使主机-客户端之间建立通讯。

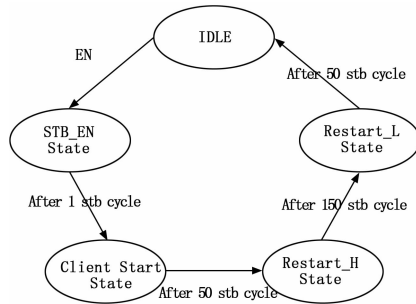


图 8 服务请求状态机

主机发送关断数据包（Link Shutdown Packet）通知客户端将进入休眠状态，这时主机也切换到低功耗休眠状态。其具体唤醒过程如下所述。

A. 在休眠状态下，一段时间后，寄存器堆中状态控制寄存器 Bit [0] 有效，链接控制模块进入 STB\_EN 状态，开始准备发送链接重启序列；

B. 主机发送完一个数据一触发编码信号之后，链接控制模块进入客户端启动状态（Client Start State）。为了使客户端的高速接收器完全开启，主机至少经过 200 ns 的时间才发送数据一触发信号（使 MDDI\_Data 驱动器能够达到稳定的“1”，MDDI\_Stb 驱动器达到稳定的“0”）；为便于系统控制，

本系统延时 50 个数据一触发信号周期, 即 50 个 Stb 周期;

C. 经过 50 个 Stb 周期后, 链接控制模块进入重启高电平状态 (Restart\_H State), 这时服务请求状态机产生逻辑高电平数据, 使输出 MDDI\_Data 信号逻辑高电平, 并维持 150 个 Stb 周期, 而 MDDI\_Stb 经过数据一触发编码电路产生周期性变化脉冲信号;

D. 主机完成 150 个 Stb 周期后, 链接控制模块切换到重启低电平状态 (Restart\_L State), 服务请求状态机将输出数据置为逻辑“0”, MDDI\_Data 输出逻辑低电平, 并维持 50 个 Stb 周期, 而 MDDI\_Stb 输出周期性脉冲信号;

E. 在完成 40 个 Stb 周期后, 客户端开始检测子帧头数据包, 以实现主机一客户端链接同步。如果暂时无数据, 则进入 IDLE 状态。其链接时序图见图 9 所示。

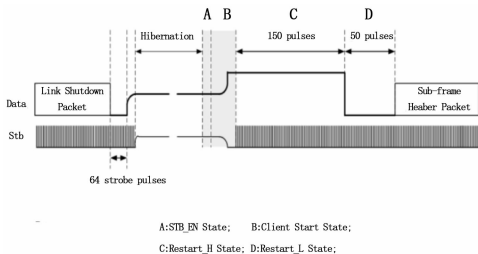


图 9 服务请求时序

### 3.2.3 前向链接状态机 (Forward Link FSM)

图 10 为前向链接状态转移图, 表 3 为前向链接状态机跳转指令。该状态机主要用于生成 Sub-Frame Header Packet, Video Stream Packet、Reverse Link Encapsulation Packet、Register Access Packet、Round-Trip Delay Measurement Packet 等前向链接数据包。

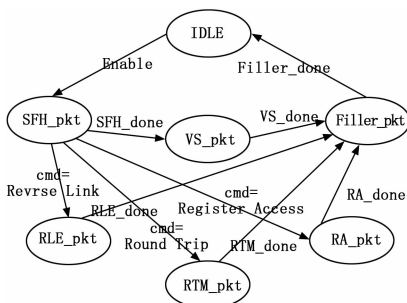


图 10 前向链接状态机

表 3 前向链接状态机跳转指令

| Inputs          | Value |
|-----------------|-------|
| Reverse Link    | 0x04  |
| Round Trip      | 0x05  |
| Register Access | 0x06  |

前向链接状态转移具体过程如下:

1) 主机完成休眠唤醒之后, 当前向链接状态机有效, 且主状态机使能信号 (Enable) 有效, 这时链接控制模块进入 SFH\_pkt 状态, 开始向客户端发送子帧头数据包, 并建立链接同步。前向链接状态机根据寄存器中的值配置子帧头数据包中的参数, 并通过串并转换电路发送给客户端;

2) 当子帧头数据包完成发送之后, 且 Reverse Link、Round Trip 和 Register Access 命令无效, 这时前向链接状态机默认进入 VS\_pkt 状态模式。VS\_pkt 状态下, 前向链接状态机获取 FIFO 中写入的图像数据, 并按照 MDDI 协议生成影像流数据包 (Video Stream Packet), 最后串行发送到客户端;

3) 当子帧头数据包发送完, 且 Reverse Link 命令有效时, 前向链接状态机进入 RLE\_pkt 状态模式, 这时链接控制模块将向客户端发送 Reverse Link Encapsulation Packet, 使得客户端能根据反向链接标志将反向链接数据包反馈给主机, 告知主机当前客户端的接口性能或状态, 实现主机最优配置需要;

4) 当子帧头数据包发送完, 且 Round Trip 命令有效时, 前向链接状态机进入 RTM\_pkt 状态模式。这时链接控制模块将向客户端发送 Round Trip Delay Measurement Packet, 以测试主机一客户端一主机之间的环路延时, 为其他数据包参数或接口提供参考;

5) 当子帧头数据包发送完, 且 Register Access 命令有效时, 前向链接状态机进入 RA\_pkt 状态模式。这时链接控制模块向客户端发送 Register Access Packet, 用于读/写 AM-OLED 驱动芯片中相关寄存器;

当环路测试数据包、寄存器访问数据包、反向链接数据包或者影像流数据包发送结束, 前向链接状态机进入 Filler\_pkt 状态模式。链接控制器产生 Filler Packet 填充在每个数据包之后, 以保证数据包的完整性。为了使其他数据包具有最大的灵活性, 本系统将该数据包的长度设置为 32 字节。

### 3.2.4 链接关断状态机 (Shutdown FSM)

图 11 为链接关断状态转移图。当图像数据发送结束, 主机产生链接关断数据包用于关断 MDDI 连接, 以降低主机和客户端的功耗, 使其进入低功耗休眠状态。

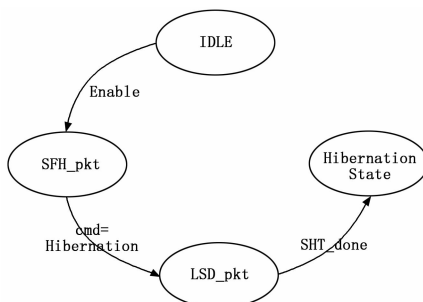


图 11 链接关断状态机

在同步链接状态, 如果休眠 (Hibernation) 指令有效, 链接关断状态机开始工作, 并产生链接关断数据包。主状态机通过选择电路将链接关断数据包发送给客户端, 通知系统将进入休眠状态。

## 4 整体仿真验证

为了使 MDDI 接口支持 480RGB×320 像素、26 万色的显示屏, 取帧频为 60 Hz, 则显示数据的传输率为 480×320×18-bit×60 Hz=166 Mbps, 加上传输其他控制数据, 帧格式数据传输需要的最高传输率为 180 Mbps。为了验证本文设计的结果, 采用 Xilinx 工具对所设计的 Verilog 编码进行了综合验证。验证时, 采用 45 MHz 的工作时钟, 然后观察内部节点和

小, 信号是有界的。轴承处于故障状态下时, 信号的振幅值明显增大, 并出现冲击信号, 呈现周期性。因此能够推测有故障发生, 但要判断属于哪类轴承故障不能从波形图上看出来, 需要进一步研究。为此提出利用小波包的方法对信号进行 3 次分解, 得到 8 个频段, 对每个频段进行系数重构, 提取能量谱。如图 8 所示为 4 种状态下的轴承振动信号的能量谱。

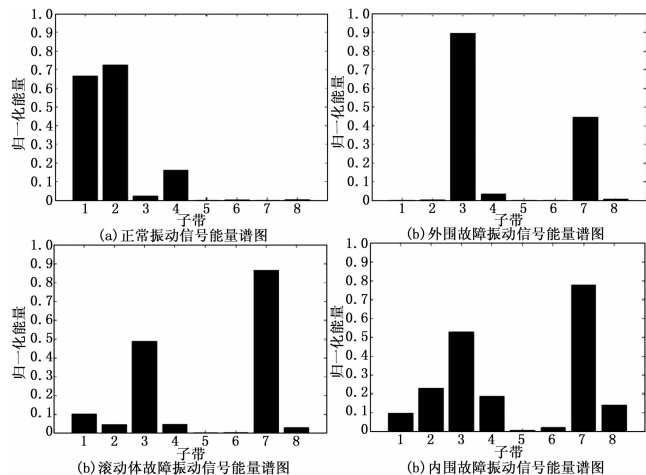


图 8 轴承振动信号的能量谱

从能量谱图看, 轴承处在正常状态和各故障状态的振动信号, 在不同的频带分布的能量都不相同, 易于区分。轴承在正常状态时, 能量主要在第一和第二频带; 对外圈故障, 能量主要在第三和第七频带; 对滚动体故障, 能量在第一、第三和第七频带; 对内圈故障, 其能量在第一、第二、第三、第四、第

(上接第 175 页)

七和第八频带都有分布。因此, 小波包分析故障的方法的识别度高, 能够提取故障特征信号。

### 4 结论

本采集系统设计了软硬件电路, 利用单片机自带的 AD 转换完成了数模转化, 通过 USB 转串口完成了 STM32103C8T6 芯片与计算机之间的数据传输。以装甲车辆直流电动机的轴承故障为例, 采集了振动信号, 并用 MATLAB 对振动信号进行了仿真分析, 对比轴承在不同状态下的能量谱, 较好的提取了故障特征向量。此采集系统运行稳定, 能够实现在线数据传输, 为装甲车辆直流电动机故障诊断提供了良好的数据基础, 具有方便、实用、经济效益好等优点。

### 参考文献:

- [1] 杨存祥, 朱琛, 解豪杰. 基于 RPROP 神经网络算法的异步电动机故障诊断 [J]. 电力自动化设备, 2013 (1): 80-83.
- [2] 李震. 基于 FPGA 的微弱信号采集与分析方法的研究 [D]. 哈尔滨: 哈尔滨理工大学, 2014.
- [3] 朱攀, 贺敬. 机载数据采集器模拟信号采集模块故障分析 [J]. 中国科技信息, 2014 (7): 173-175.
- [4] 杨凤彪, 王超, 张晨光. 基于 CH341A 的 USB 串口通讯设计 [J]. 电子设计工程, 2011, 19 (3): 11-14.
- [5] 张豫南, 谢永成. 装甲车辆电气与电子系统 [M]. 北京: 国防工业出版社, 2003.
- [6] 陆文周. Qt5 开发及实例 [M]. 北京: 电子工业出版社, 2014.
- [7] 陈季云, 陈晓平. 基于小波包分析的滚动轴承故障特征提取 [J]. 微计算机信息, 2007, 23 (4): 192-193.
- [8] 陆文周. Qt5 开发及实例 [M]. 北京: 电子工业出版社, 2014.

输出信号。通过对内部节点和输出信号的分析, 证明电路系统能正确工作, 且满足以上设计需求。

考虑到一帧数据量太大, 本文采用一个子帧数据量, 结合所设计的客户端数据电路对主端数据处理电路进行功能验证。上电复位后, 延迟 1000 个单位时间后, 主机开始发送链接唤醒序列, 这时 MDDI\_Data1 和 MDDI\_Data0 维持 150 个 MDDI\_Stb 周期的高电平, 然后被置为低电平。这时客户端检测到唤醒序列, 开始恢复出时钟信号, 无并行数据生成, 包分析模块处于空闲状态。在低电平的第 50 个 MDDI\_Stb 周期时, 主机开始发送 Sub-frame Header Packet。Sub-frame Header Packet 发送结束, 主机则向客户端发送 Video Stream Packet, 其中 Video Stream Packet 中的像素数据为 1080 个字节, 功能验证如图 12 所示。

### 5 结论

本文根据 MDDI 协议, 设计了一种用于 AM-OLED 驱动控制芯片的 MDDI 主端数据处理电路。该数据处理电路支持 9 种数据包, 在电路中增加可配置寄存器, 可支持 MDDI 的 Type I 和 Type II 传输模型的配置。在链接控制模块中, 将状态机分为主状态和同步状态, 降低了电路实现难度, 保证了状态机的健壮性, 有利于降低状态跳转中的功耗。采用 Xilinx 工具的验证结果表明, 本文设计的 MDDI 主端数据处理电路满足 MDDI 接口设计要求, 可以支持 480-RGB×320、26 万色的 AM-OLED 显示屏。

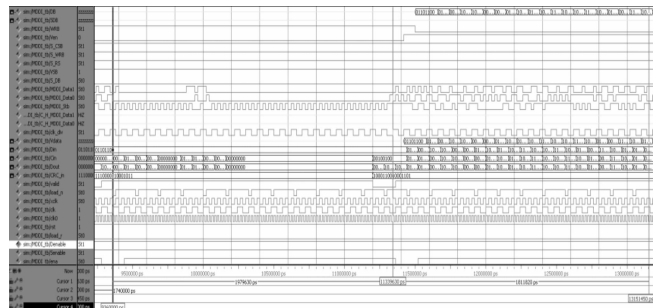


图 12 系统仿真验证

### 参考文献:

- [1] 熊文彬. 基于 FPGA 的 OLED 显示系统 [D]. 成都: 电子科技大学, 2011.
- [2] 赵湘源. AM-OLED 显示屏驱动芯片的研究与设计 [D]. 上海: 上海大学, 2011.
- [3] 李奇奋, 李妥, 陈志良. 用于 AM-OLED 显示屏控制的 MDDI 数据处理芯片设计 [J]. 液晶与显示, 2011 (6): 801-807.
- [4] VESA Mobile Display Digital Interface Standard [S]. Version 1.2, July 9, 2008.
- [5] Park J W, Lee K J, Kim J H, et al. An MDDI-Host Architecture with Low Complexity for SoC Platforms [J]. IEEE Trans. Consumer Electronics, 2007, 53 (4): 1668-1673.