

IIC 总线和 LVDS 在高速数据传输接口电路中的应用研究

王红亮¹, 刘伟¹, 何少恒¹, 邱丽霞²

(1. 中北大学 电子测试技术重点实验室, 太原 030051; 2. 北方自动控制技术研究所, 太原 030006)

摘要: 当前在高速数据系统中, LVDS 接口已被广泛应用, 为实现同系列设备之间的智能识别、自动握手以及 LVDS 高速数据链路通信质量的检测, 利用 FPGA 的 IO 电路结构, 设计一种模拟 IIC 总线协议电路, 该 IIC 总线高效地实现设备之间的信息双向传递; 同时利用 FPGA 内部丰富寄存器资源设计 PRBS 码型电路来检测 LVDS 接口芯片电路误码率; 实际测试表明该多通道 LVDS 传输方式在 2 米长电缆连接能够实现数据的稳定、低误码率传输, 并且在时钟频率为 100 MHz 时, 数据传输速率高达 4.68 Gb/s。

关键词: IIC 总线、PRBS 编码、LVDS 信号

Application Research on High-speed Data Transmission Technology Based on LVDS and IIC bus

Wang Hongliang¹, Liu Wei¹, He Shaoheng¹, Di Lixia²

(1. Science and Technology on Electronic Test & Measurement Laboratory, North University of China, Taiyuan 030051; 2. North Automatic Control Technology Institute, Taiyuan 030006)

Abstract: LVDS interface has been widely used in high speed data system. In order to realize the intelligent recognition, automatic handshake and the communication test of LVDS high speed data link, FPGA IO circuit is used to design a kind of IIC bus protocol. The IIC bus is used for information transmission between devices; meanwhile, taking advantage of FPGA internal register resources to design PRBS circuit which is used to detect the bit error rate of LVDS interface chip. The experiment shows that the multi-channel LVDS transmission can achieve data stability, low error rate transmission in two meters cable connection, the data transmission rate can reach up to 4.68Gb/s when the clock is 100 MHz.

Keywords: IIC bus protocol, PRBS code, LVDS signal

0 引言

随着 AD 采样率的提高, 数字雷达接收机输出的 I/Q 数据, 不断朝着高速化演变, 如何实现高带宽的数字基带信号在接口电路中传输, 成为业界亟待解决的难题^[1]。LVDS 是一种低振幅差分信号技术, 它以几百兆甚至千兆比特每秒的速率传输差分数字信号; 差分数字信号抗干扰能力强, 适合远距离传输, 越来越多应用于高速数字接口电路当中^[2]。设备之间数据信息通过 philips 公司推出的一种用于设备之间互连的双向二线制同步串行总线——IIC 总线 (Inter-Integrated Circuit, 集成电路总线) 传递, 只需要通过两根电缆, 设备之间就可以进行信息传输。

由于 FPGA 并行处理数据能力强, 选用 48 位并行的 LVDS 驱动芯片、LVDS 解串芯片与 FPGA 相连; 芯片内部固化的串化、解串电路, 把数据与时钟串化为 8 路差分信号, 速率为单端信号的 7 倍, 从而实现差分信号在电缆中高速传输;

同时利用 FPGA 的 I/O 电路结构和内部资源模拟 IIC 总线协议, 实现了同 IIC 总线协议电路功能相同的双向传输机制。

1 系统的总体构成

如图 1 所示传输系统主要包括 AD 采集设备、IQ 数据传输设备, 其工作原理: AD 采样芯片把模拟中频信号转换为数字信号; 经过本振电路数字下变频, 变换为数字基带信号^[3], 再由 FPGA 的 FIR 算法滤波之后, 产生正交的 I 数据与 Q 数据; LVDS 信号发送电路把 I、Q 数据与时钟转换为差分信号对, 并通过 LVDS 电缆发送给 I/Q 数据传输板卡; I/Q 数据传输板上接收芯片解串接收到的对应差分信号对转换为并行同步 TTL 或 CMOS 电平。FPGA 通过 IIC 总线实现两个设备间的数据通信, 内部 FIFO 可以对解析后的数据进行缓存, 并通过 PCIe 总线上传至计算机进行处理、分析。

2 IIC 电路与 LVDS 电路设计

2.1 IIC 总线硬件电路设计

IIC 总线是一种用于 IC 器件之间连接的双向二线制总线, 优点是占用空间小, 多主控, 方便灵活设计电路。该总线含有两根信号线, 一根为 SDA (数据线), 一根为 SCL (时钟线)。任何时候时钟信号都是由主控器件产生。IIC 总线在传送数据的过程中, 主要有 3 种控制信号: 起始信号, 结束信号, 应答信号。为便于主、从设备互相控制, 采用具有线与功能的集电极开路或者漏极开路的电路结构。在电路设计中, 集电极开路

收稿日期:2015-12-11; 修回日期:2015-02-15。

作者简介:王红亮(1978-),男,副教授,主要从事测试系统集成、目标检测与识别、应用软件开发、超声成像方向的研究。

刘伟(1988-),男,硕士研究生,主要从事测试计量技术及仪器、电路与系统方向的研究。

何少恒(1989-),男,硕士研究生,主要从事测试计量技术及仪器、电路与系统方向的研究。

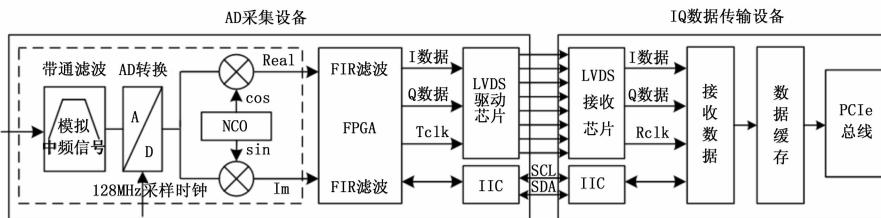


图 1 系统总体构成

的总线上没有高电平，所以要加入 1k 的上拉电阻，上拉电压选用 FPGA 的 IO 电平标准 3.3V，同时低电平最大输出电压为 0.8V，FPGA 管脚最小驱动电流 6 mA^[4]，满足三极管饱和和管压降的需求。IIC 总线硬件电路，如图 2 所示。

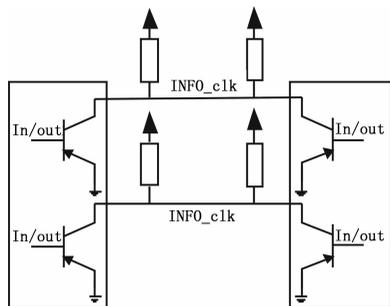


图 2 IIC 总线硬件电路

按照 IIC 协议的标准，在时钟频率为 100 kHz 时，INFO_clk 与 INFO_dat 信号最大上升时间为 1 000 ns，最大下降时间为 300 ns。上升沿建立时间是由上拉电源对上拉电阻线上电容的充电时间决定的，可以用 $R_p C_L$ 来近似计算，上拉电阻 $R_p = 1\text{ k}$ 、时钟频率 100 kHz 时， $R_p C_L$ 乘积常数为 1 000 ns，可得 C_L 最大值为 1 nF。所以要注意 PCB 走线、连接器线容不要大于 1 nF。

2.2 LVDS 硬件电路设计

在传输高速 LVDS 数据信号时，为保证时钟与数据的同步，发送电路选用 TI 公司生产的 LVDS 信号驱动芯片 DS90CR483A^[3]、接收芯片 DS90CR484A。LVDS 芯片内部结构如图 3 所示。驱动芯片 DS90CR483 内部的串化器把并行 48 位 TTL 或 CMOS 电平转换为 8 对幅值只有 300~400 mV 差分信号。与单端信号传输相比，差分信号抗干扰能力强^[5]，适宜在电缆中传输；然而，由于电缆中线阻、寄生电容、时钟抖动、电源纹波等因素的影响，信号衰减比较严重。为有效提高传输信号质量本设计利用了驱动芯片的预加重功能，即通过改变芯片外部上拉电阻的阻值，从而增大输入“pre”管脚的电压值来补偿数据传输过程中的动态电流，可以平衡信号在电缆传输的稳定性，保证差分信号在电缆中传输的完整性。

3 逻辑设计

3.1 IIC 硬件逻辑设计

由于 LVDS 接口电路适合高速数据传输，传输控制信息不如 IIC 总线灵活且 IIC 总线具有双向传输功能，适合在设备初始化、建立基本连接时进行信息的传输。因此，该处利用 IIC 总线实现设备间初始化通讯。IIC 总线的状态主要包括：主、从机连接状态（这里主机是 AD 采集设备、从机为 IQ 数据传输设备）、启动命令数据传输状态、命令数据传输状态、

发送响应状态、数据信息发送状态、数据信息发送结束状态。

从机识别主机时序图如图 4 所示。首先，拉低主机驱动时钟总线，从机检测到 clk_low_T 大于用户定义的 10 ms 的连接时间，从机即认为与主机建立了连接；与此同时从机拉低数据总线，如图 5 所示，主机检测数据总线 $data_low_T$ 大于用户定义 10 ms 的连接时间，主机即认为与从

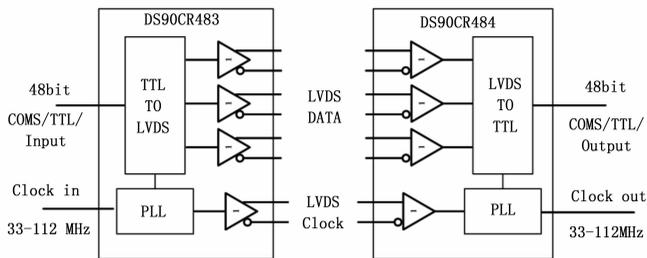


图 3 LVDS 芯片内部结构

机建立了连接。

启动命令数据传输状态：主机驱动时钟线为低电平，同时从机保持数据线为高电平 20 μs ，即为“启动”命令数据传输状态。

命令数据传输状态：主机检测到从机发送“启动”的命令信号之后，通过时钟总线发出 100 kHz 的时钟。从机在主机发送时钟沿下，发出命令数据信息，当主机检测从机的命令数据为 08h 时，主机向从机发送数据信息（主机向从机发送数据信息包括：采样率、数据的最大电平值等）。当主机检测从机的命令数据为 04h 时，从机可以向主机发送数据信息。如图 6 所

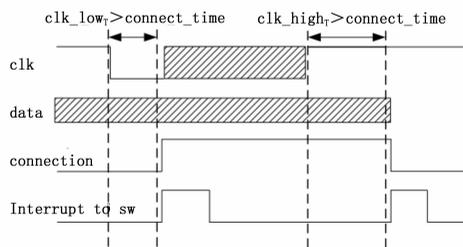


图 4 从机识别主机时序示意图

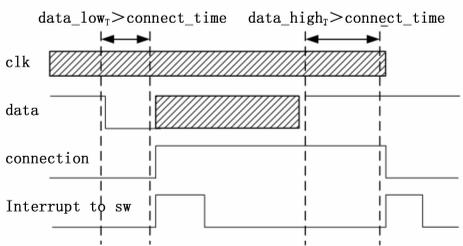


图 5 主机识别从机时序示意图

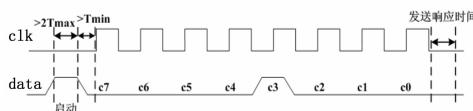


图 6 主机向从机发送命令的时序示意图

strategy for AUV [A]. Proceedings of the 2009 IEEE International Conference on Mechatronics and Automation [C]. 2009; 4851-4857.

[6] Fossen T I. Handbook in Marine Craft Hydrodynamics and Motion Control [M]. John Wiley and Sons Ltd, 2011.

[7] 边信黔, 付明玉. 船舶动力定位 [M]. 北京: 北京科学出版社, 2011.

[8] 金鸿章, 苏晓宇, 于安才, 等. 基于锚链切换的平台自动锚泊定位系统设计 [J]. 电机与控制学报, 2014, 18: 93-98.

[9] Berntsen P I B, Aamo O M, Leira B J. Ensuring mooring line integrity by dynamic positioning: controller design and experimental tests [J]. Automatica, 2009, 45 (5): 1285-1290.

[10] Mehdi Shafieefar, Aidin Rezvani. Mooring optimization of floating platforms using a genetic algorithm [J]. Ocean Engineering,

2007 (34): 1413-1421.

[11] Sun T, Gui W B, Yu Z G. Semi-Submersible Platform Positioning Mooring Control Test System Design and Application [J]. Marine Engineering, 2012 (32): 84-86.

[12] 李敏哲. 深水定位系泊系统反正实验研究 [D]. 哈尔滨: 哈尔滨工程大学, 2013

[13] 胡 宽, 常新龙, 宋笔锋, 等. 求解含等式约束化问题的遗传算法 [J]. 上海交通大学学报, 2011, 45 (1): 92-97.

[14] 徐 梅, 文士发, 王福林, 等. 遗传算法求解约束优化问题时产生初始种群的改进方法 [J]. 东北农业大学学报, 2014, 45: 105-111.

[15] 王 芳, 万 磊, 徐玉如, 等. 深水半潜式钻井平台动力定位实时交互仿真系统 [J]. 哈尔滨工程大学学报, 2011 (32): 1395-1401.

(上接第 182 页)

示, 发送响应状态: 如图 6 所示, 在发送完 1 个字节命令数据之后, 主机驱动时钟线、从机驱动数据线为低电平保持 100 μs 时间, 此段时间作为发送完一个字节数据的响应。

数据信息发送结束状态: 当主、从机接收到 00h 字节数据信息时, 标志着数据信息发送结束, 结束数据信息的发送。

3.2 PRBS 码检测 LVDS 接口电路

在传输 AD 采样数据之前, 要对设备的 LVDS 接口电路进行误码检测以保证数据传输的高可靠性。PRBS 码即伪随机序列, 伪随机序列具有预先不可确定性和不可重复实现性, 但是对于收发数据的双方, PRBS 码却是确定的, 因此可以利用 FPGA 内部的线性反馈移位寄存器产生伪随机数序列来检测 LVDS 接口电路的误码率。

图 7 是 16 级线性反馈移位寄存器的电路结构 (其数学表达式为 $p(x) = x^{16} + x^5 + x^3 + x^2 + 1$)^[6]。其中 ⊕ 表示门电路中的异或运算。

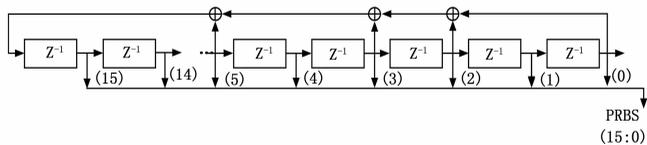


图 7 移位寄存器结构示意图

利用 FPGA 内部丰富的触发器资源, 可以生成 16 级反馈型的移位寄存器。

如图 8 所示 PRBS 码同步检测流程图。主机与从机通过低速的 IIC 总线启动 PRBS 码的校验命令之后, 从机的同步数据检测模块实时检测主机发送来的数据。在检测到预设的数据时, 同步数据检测模块产生的同步信号启动从机生成 PRBS 码与主机发送来的 48 位 PRBS 码逐位进行比较^[6], 当码型不同时, 启动计数器累计误码的个数, 上位机定时访问计数器的状态, 计算出误码率并显示在上位机界面上。

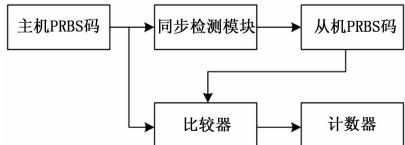


图 8 PRBS 码同步检测流程

4 测试结果

误码率与数据速率、预加重电压、环境温度、芯片供电电压噪声等因素密切相关。这里控制环境温度为 +25℃, 芯片供电电压为恒压低噪声 3.3V。利用设计的 PRBS 码检测电路测试被测设备的 LVDS 链路通信质量, 得出误码率与数据速率、预加重电压、电缆长度关系如表 1 所示。

表 1 误码率与数据速率、预加重电压、电缆长度关系

时钟	66 MHz		75 MHz		100 MHz	
预加重 电缆	无	有	无	有	无	有
2 米	0%	0%	0%	0%	0%	0%
5 米	0%	0%	1.2E-22	0%	5.3E-20	0%
10 米	0%	0%	5E-10	3E-11	4E-15	0%

在环境温度 +25℃、2 米电缆、连续 5h 工作条件下, 本文设计的 LVDS 接口电路在 66 MHz、75 MHz、100 MHz 时钟速率下传输 PRBS 数据的误码率为 0, 表明接口电路在此条件下通信稳定, 数据速率达到 3.09~4.68 Gb/s。

5 结语

本文设计的 IIC 电路满足在 100 kHz 时钟速率下快速进行双向传输信息的需求, 同时自定义的 IIC 总线协议可以有效控制 LVDS 接口实现电路误码率检测以及数据信息传输; 多通道 LVDS 接口电路在 2 米长的电缆、100 MHz 时钟速率下, 最大数据带宽可达 4.68 Gb/s。满足前端 AD 高速采集的数据传输需求, 为更高速 AD 采样提供宽余传输带宽。

参考文献:

[1] 张 威, 苗克坚, 陆 寅. 基于 LVDS 的多路 SPI 的 PCI 板卡设计与实现 [J]. 计算机测量与控制, 2012, 20 (3): 790-792.

[2] 任 伟, 张彦军, 白先民. 基于 LVDS 的高速数据传输装置的设计 [J]. 科学技术与工程, 2012, 12 (29): 7759-7763.

[3] 邵 华, 刘亚斌, 徐志跃. 实时高速 LVDS 串行数据采集系统的设计 [J]. 计算机测量与控制, 2008, 16 (3): 424-426.

[4] 应建华, 石枝林, 夏晓明. 一种串行时钟芯片的 IIC 总线接口电路设计 [J]. 计算机与数字工程, 2007, 35 (9): 180-183.

[5] 孙 轩. 非接触式手机充电平台的设计 [D]. 杭州: 浙江大学, 2010.

[6] 田永和, 马小平. 基于 FPGA 的 PRBS 伪随机序列的实现与研究 [J]. 山西电子技术, 2006 (1): 41-43.