

FPGA 软件自动化验证平台设计与实践

费亚男, 周 辉, 朱伟杰

(北京航天自动控制研究所, 北京 100854)

摘要: 目前, 航天任务急剧增多, 研制周期大大缩短, FPGA 的应用呈阶梯式增长, 提高 FPGA 软件的测试效率成为新的挑战; 验证平台的搭建是进行 FPGA 测试的前提条件, 而验证平台的好坏直接影响测试效率和质量; 为了提高测试效率, 设计搭建了基于 Makefile 脚本的自动化验证平台, 可在该平台上进行 FPGA 软件静态测试和动态测试, 覆盖了目前航天型号 FPGA 软件测试的全部类型, 实验结果表明该平台的应用能够有效地缩短测试时间, 并保证测试质量。

关键词: FPGA 软件测试; 自动化; 验证平台; Makefile 脚本

Auto Verify Platform Design and Practice for FPGA Software

Fei Yanan, Zhou Hui, Zhu Weijie

(Beijing Aerospace Automatic Control Institute, Beijing 100854, China)

Abstract: At present, the rapidly increase of space missions shorten the development cycle, as a result, the application of FPGA growth greatly, improving the test efficiency of the FPGA software become a brand new challenge. The precondition of FPGA test is to build the verification platform, which has a direct impact on the test efficiency and quality. This paper designs an automatic verification platform based on Makefile script, static and dynamic test of FPGA software can be done on this platform, it also support all test types of current aerospace FPGA software. The experimental results show that the platform should be used to shorten the test time and ensure the test quality.

Keywords: FPGA software test; automatic; verification platform; Makefile scripts

0 引言

FPGA 作为可编程逻辑器件, 通过用户自定义编写 VHDL 程序或者 Verilog 程序进行配置, 实现用户所需功能^[1-2]。但是一旦编写的程序存在缺陷, 比如状态机的跳转条件错误、对输入信号未进行滤波处理、计数器的计数值产生溢出等, 都会导致 FPGA 输出信号逻辑状态错误, 无法实现预期的设计, 严重的会影响系统功能, 致使系统运行紊乱, 最后造成重大事故, 在财力物力上损失惨重。为提高 FPGA 运行的可靠性, 需对其进行测试^[3]。

目前, FPGA 主要测试方法为: 基于软环境的 FPGA 测试^[4]和基于 ATE 的 FPGA 测试^[5-6]。其中基于软环境的 FPGA 测试按照是否要运行程序分为静态测试和动态测试, 动态测试又可分为黑盒测试和白盒测试。这种测试方法的优点是, 不受硬件环境影响, 测试结果稳定性好, 测试类型齐全, 并且可进行异常测试。缺点是, 环节太多为测试工作带来极大不便, 并且自动化程度低, 测试花费时间长。基于 ATE 的测试方法原理是: 对 FPGA 进行针对性的配置, 然后采用在线测试机对其进行测试。这种测试方法虽然自动化程度高, 但是存在着测试覆盖率不足的问题, 同时测试对硬件的依赖性强, 费用相对较高, 且灵活性差。

综合上述两种 FPGA 测试方法的优点, 本文研究出一种自动化程度高、测试类型完备且覆盖率能够达到 100% 的测试方法, 来缩短测试时间、提高测试效率和质量。

收稿日期: 2015-11-24; 修回日期: 2016-01-04。

作者简介: 费亚男(1988-), 女, 吉林长春人, 硕士研究生毕业, 工程师, 主要从事 FPGA 软件测试方向的研究。

1 验证平台设计

搭建验证平台是对 FPGA 软件进行测试的前提条件, 目前, 验证平台的结构、功能没有统一化要求, 不同测试人员搭建的验证平台有所不同, 这样存在很多弊端, 不利于管理、可读性差、可继承性差等。为了解决传统验证平台存在的问题, 本文设计了通用验证平台的架构, 作为验证平台搭建的标准。

可在验证平台上进行测试的类型包括代码规则检查、跨时钟域检查、功能仿真、时序仿真、逻辑等效性检查和静态时序分析共 6 种, 已覆盖载人航天工程和武器装备系统 FPGA 软件的所有测试类型要求。

代码规则检查: 检查代码设计是否存在书写风格和结构的合理性问题, 检查代码执行安全规范、编码规范的情况, 从而提高代码的可读性、可修改性、可重用性, 避免潜在安全隐患, 优化代码综合和仿真的结果。

跨时钟域检查: 在多时钟域设计中, 当软件进入一个特定的状态或者一组特殊的数据组合正好穿过跨时钟域边界时, 就会出现亚稳态问题, 跨时钟域分析用于对 VHDL/Verilog 语言编写的 RTL 源代码进行多时钟域间数据交互以及接口信号的处理情况进行分析, 检查是否缺失亚稳态同步器, 是否错误混用同步 FIFO 和异步 FIFO, 是否正确处理输入输出接口的时钟域关系等。跨时钟域分析能够有效保证亚稳态值不会传播到设计的其他部分而影响功能的实现。

功能仿真: 又称为前仿真, 通过输入一组测试激励检查测试结果是否与期望的结果一致, 或者验证软件所实现的功能是否满足需求的过程, 可以从仿真波形图中分析电路内部逻辑传递关系的正确性。

时序仿真: 又称为后仿真, 与功能仿真的原理相同, 区别

在于功能仿真加载到仿真器中的被测件为 rtl 源程序，而时序仿真加载到仿真器中的被测件为布局布线后的网标文件和标准延时信息，测试最坏条件下的电路运行情况，在一定程度上反映芯片的实际运行状态。

逻辑等效性检查：验证布局布线后生成的网表与综合前的 rtl 代码的一致性，如果对于所有可能的相同输入，其输出也相同，则证明两者之间的逻辑是等效的。

静态时序分析：静态时序分析针对 FPGA 设计综合及布局布线后生成的门级网表进行时序检查，根据电路网表的拓扑检查所有路径的时序特性，以较悲观的方式预估电路的延迟时间，对于不符合时序限制的分支电路在分析报告中作为关键路径，提醒设计者针对关键路径进行分析和修改，确保所有信号能够准时到达，保证电路功能的正确性。

被测件为开发方提供的被测软件源程序和布局布线后的网标和延时文件，由于确认测试后，开发方会根据测评机构提出的问题重新修改完善软件，同时将软件版本升级，测评机构会对升级版本的被测件进行回归测试，确认修改的正确性，在每个阶段的测试过程中，测评机构都需要对被测件的版本进行管理，严格管控每版被测件的状态，因此在测试平台顶层中设计了被测件版本管理功能。

测试结果显示当前版本所进行的测试类型的执行结果，对于代码规则检查，测试结果为不符合规则的程序语句，跨时钟域检查显示跨越多个时钟域而未进行同步处理的信号，功能仿真和时序仿真显示测试用例通过与否和仿真波形，逻辑等效性检查结果为网标文件与源程序不匹配的位置，静态时序分析显示建立保持时间不满足要求的路径。

验证平台的顶层结构比较直观，能够清楚的展示平台所具备的基本功能。

2 验证过程的自动化实现

自动化测试是 FPGA 软件测试的一个重要组成部分，它能提高测试效率，快速检测出软件中的性能和功能缺陷。

2.1 Makefile 介绍

Makefile 文件是依据其特有的书写风格、函数和关键字来编写一系列的命令，这些命令执行的先后顺序可以通过规则来确定^[7]，为测试编写 Makefile 脚本文件的好处是，测试过程的执行只需要一个命令，一旦提供一个正确的 Makefile，测试执行所要做的唯一事情就是在 shell 提示符下输入 make 命令，测试过程会自动完成，极大提高测试效率。但是，如何编写我们想要 Makefile 文件，是自动化验证平台设计关键。

2.2 Makefile 脚本设计

本文编写的 Makefile 文件描述了整个测试的编译、连接、执行等规则，其中包括：工程中的哪些源文件需要编译以及如何编译，需要创建哪些库文件以及如何创建这些库文件，需要执行哪些类型的测试及如何进行相关类型的测试，采用哪些仿真工具进行功能仿真和时序仿真及如何进行仿真工具的选择等。

图 1 所示为本文设计的 Makefile 脚本结构示意图，在纵向上分为开发方 develop、验证方 verify、验证工具 tools 和验证结果 results 四个方面，开发方需要提供被测 FPGA 软件源程序 rtl 和布局布线后的网表 netlist 和标准延时文件 sdf。验证人员需要为不同测试类型设计不同的约束和测试用例；验证工具

为本平台上支持的用于不同测试类型的不同工具；测试结果部分存放测试中自动生成的各种数据，包括覆盖率信息，仿真结果、波形文件，日志文件等。

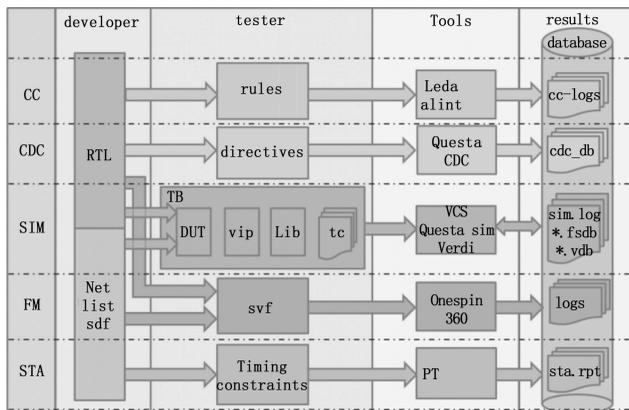


图 1 Makefile 脚本结构图

在横向上根据测试类型的不同划分为 5 个部分，其中代码规则检查 CC，跨时钟域检查 CDC，逻辑等效性检查 FM 和静态时序分析 STA 为静态测试，静态测试是指不执行程序代码而寻找程序代码中可能存在的错误或者评估程序代码的过程。功能仿真和时序仿真统称为 SIM，为动态测试，动态测试是指需要编写测试用例来执行程序，并验证程序输出结果是否满足指定需求的过程。

对于代码规则检查 CC，约束文件 rules 为依据 DO-254、STARC、RMM 等安全规范制定的代码规则集，可用于所有被测件的代码规则检查，不需要修改。

跨时钟域检查 CDC 的约束文件 directives 为时钟约束文件，该文件中明确每个作为时钟使用的信号的时钟域，并将输入接口约束为虚拟时钟域。验证人员需要依据不同的设计制定不同的约束文件。

逻辑等效性检查 FM 的约束 svf 为等效性检查约束文件，可通过 FPGA 综合文件结果日志转化得到。

静态时序分析 STA 的 timing constraints 约束文件中描述时钟频率和接口延时等信息。

Makefile 中对以上每种静态测试类型建立工作目录，创建工作库，并将当前的逻辑工作库映射到实际工作库 work 上，然后启动工具并加载源程序和约束文件，最后运行。

在功能仿真和时序仿真的 SIM 中，tb 为测试平台，用于实例化需要测试的设计，将被测件 DUT 与外围器件的标准模型连接，有效模拟 FPGA 的真实运行环境；tc 为测试用例集，测试用例是为了验证被测件是否具有期望的功能而编写的程序驱动，是仿真测试的最小执行单元，为了确定被测件的全部功能是否满足需求，需要设计多个测试用例，称为测试用例集；vip 为标准模型库，用于模拟 FPGA 外围器件的功能和接口时序，提高测试充分性。目前，已经开发完成的 vip 模型主要包括 3 个类别：总线协议 vip、算法 vip、控制 vip，覆盖了现有型号 FPGA 软件中的常用算法和协议；lib 为库文件，目前包含三大主流 FPGA 器件厂商 Xilinx、Actel、Altera 提供的库文件，包括 verilog 库和 VHDL 库。

对于动态测试，Makefile 中除了定义以上静态测试的规则外，还定义了对不同的工具进行编译、仿真和运行的配置，如

仿真器精度、寄存器初始值、覆盖率类型, 优化选项开关, 硬件语言类型等。

Makefile 脚本的使用减少了大量人工手动点击鼠标和敲击键盘的过程, 用简单的命令代替了复杂的操作, 能够极大地提高测试的自动化程度。

3 自动化验证平台的使用

本文设计的 FPGA 自动化验证平台具有易于理解和操作流程简单的特点, 下面结合图 2 所示的测试流程对不同测试类型的测试方法和测试过程进行介绍。

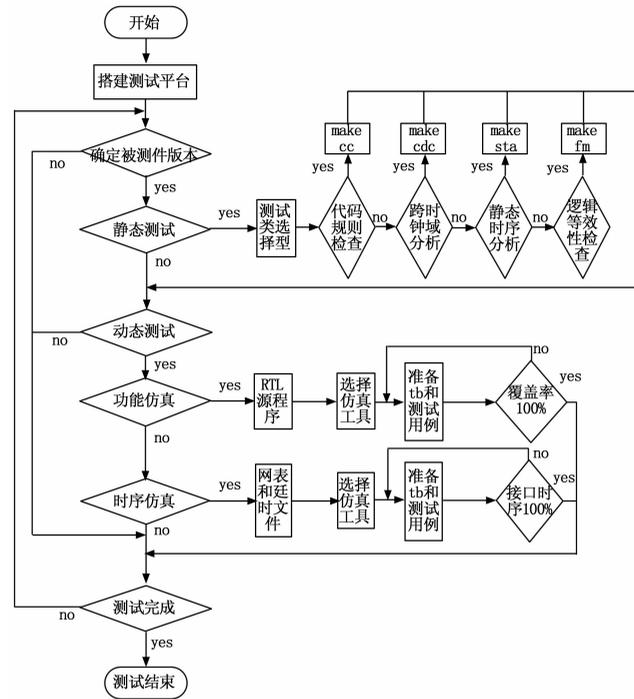


图 2 FPGA 软件测试流程图

准备工作: 1) 在 linux 服务器的终端计算机上创建一个验证项目目录; 2) 将验证平台的工作目录指定到该项目目录上; 3) 准备相应版本的被测件; 4) 准备用于静态测试的约束文件。

自动化验证平台支持的静态测试类型包括代码规则检查、跨时钟域检查、逻辑一致性检查和静态时序分析, 这 4 种测试类型的执行过程非常简单, 只要执行 make 命令就会输出测试

结果。

自动化验证平台中包含的动态测试类型有功能仿真和时序仿真, 对于功能仿真, 测试人员首先需要设计 tb, 将被测软件程序与驱动程序建立连接关系, 然后编写用于测试各个功能点的测试用例 tc, 最后执行功能仿真的 make 命令, 测试结果数据会自动保存在数据库中; 当所有功能仿真测试用例执行完成之后, 进行覆盖率统计, 对于关键级软件的覆盖率统计要求为语句覆盖率 100%, 分支覆盖率 100%, 在执行覆盖率统计的 make 命令时, 平台会自动调用功能仿真的数据库, 将所有执行过的测试用例所覆盖的语句和分支情况进行分析, 并且分析结果中指出哪些语句和分支没有覆盖到, 测试人员可以根据覆盖率分析结果进一步添加或者完善功能仿真的测试用例, 该过程能够提高测试的充分性; 对于时序仿真, 要使用功能仿真时设计的 tb, 然后编写用于接口时序测试的用例集并执行时序仿真的 make 命令, 测试所有与 FPGA 接口有连接关系的外围器件接口是否满足芯片手册中的时序要求。

动态测试流程与静态测试流程的主要区别在于动态测试需要搭建 tb, 编写测试用例, 而静态测试不需要。

4 结果验证与分析

4.1 配置项测试耗时分析

921 样例测试是为了验证第三方评测机构是否具有评测载人航天工程项目的的能力。样例 FPGA 软件存在的潜在问题较多, 且设计比较复杂, 功能之间的交互性较强, 具有典型性、代表性。本文以 921 样例测试的 FPGA 软件为被测件, 分为两个项目组对其进行测试, 每个项目组有四名测试人员, 项目组 A 的测试人员采用传统的测试平台, 项目组 B 的测试人员采用 FPGA 自动化测试平台, 两个项目组并行开展工作。表 1 所示为每个项目组在各个测试环节的耗时对比。

表 1 两个项目组耗时

测试过程活动	项目组 A 耗时(时)	项目组 B 耗时(时)
搭建测试平台	8	2
代码审查	6	5.5
跨时钟域分析	5	3
静态时序分析	6	5
功能仿真	80	63
时序仿真	21	13
覆盖率统计	7	2
总计	133	93.5

表 2 测试耗时对比

传统测试平台				FPGA 自动化测试平台			
项目名称	代码行数(时)	测试耗时(时)	千行代码耗时率(时/千行)	项目名称	代码行数(时)	测试耗时(时)	千行代码耗时率(时/千行)
XX-XX 飞控装置 FPGA 软件	2795	127	45.438	XX-XX 三轴光纤数据陀螺 FPGA 软件	2874	83	36.44
XX-XX 推力调节控制器 FPGA 软件	4558	185	40.588	XX-XX 红外信息处理 FPGA 软件	4582	127	31.711
XX-X 综合控制器 FPGA 软件	1747	77	44.076	XX-XX 接口控制器 FPGA 软件	1579	51	26.720
XX 光纤惯性测量组合信号处理与接口 FPGA 软件	2286	119	52.056	XX-XX 撞击部位测量系统信息采集处理 FPGA 软件	2003	80	23.275
XX-XX 伺服控制器 CPLD 软件	548	43	78.467	XX-XX 光纤陀螺仪 FPGA 软件	510	29	27.533

从表 1 中可以明显看出, 项目组 B 的耗时短, 效率高, 并且两个项目组在进行测试结果汇总时, 发现测得的问题均相同, 都没有漏测、误测的情况。

此外, 以已经测试完成的多个项目为样本, 对测试效率进行分析。表 2 中左侧为采用传统测试平台进行测试的项目规模、项目耗时和千行代码耗时率, 右侧为采用自动化测试平台完成的同等规模的项目耗时和千行代码耗时率。

从表 2 中可以分析出, FPGA 通用自动化测试平台在配置项测试中的使用能够降低千行代码耗时率, 提高测试效率, 从而节约测试成本。

4.2 回归测试耗时分析

回归测试是指修改了旧代码后, 重新进行测试以确认修改是否达到了预期的更改要求并证明修改对原有功能、性能没有损害。

FPGA 自动化测试平台的使用能提高测试效率, 不仅体现在配置项测试中, 在回归测试中体现的更为突出。对于回归测试的传统做法是重新搭建测试平台, 并编写测试用例, 过程复杂。而在使用自动化测试平台时, 只需简单的 2 步即可完成。

步骤 1: 将被测件的版本升级。

步骤 2: 选择测试类型并执行测试用例。

简单的 2 步操作之后, 就可以对回归测试结果进行分析, 确认修改的正确性。

综上所述, FPGA 自动化测试平台的使用, 能够使回归测试的工作量最大化压缩, 并在实践中验证测试效率能够提高 60% 以上。

5 总结

本文设计的自动化验证平台结构简单, 操作方便, 并且具有测试过程自动执行, 测试结果自动保存的功能, 自动化程度极高, 能够在保证测试质量的情况下提高测试效率。

参考文献:

[1] 张 焱, 任勇峰, 齐 蕾, 等. 基于 FPGA 的 CRC 校验算法的实现 [J]. 电子器件, 2015, 38 (1): 223-226.

[2] 杨 东, 张超英. 基于 FPGA 的电子表决器电路的设计与实现 [J]. 电子科技, 2015, 28 (1): 61-63.

[3] 邱云峰, 秦鲁东. FPGA 可编程逻辑单元测试方法研究 [J]. 计算机与数字工程, 2015, 43 (1): 65-69.

[4] 刘子宜, 刘 畅, 郑 军. 基于软件测试技术的 FPGA 测试研究 [J]. 电子技术应用, 2011, 37 (5): 28-30.

[5] 毕泗国, 王力生. 基于硬环境的动态 FPGA 测试平台架构设计 [J]. 计算机工程应用技术, 2013, 9 (1): 198-199.

[6] 孙 黎, 张 涛, 周 珊. 基于 ATE 的 FPGA 软件自动化测试技术的研究 [J]. 计算机技术与发展, 2014, 24 (8): 6-9.

[7] 杜小平, 周顺平, 赵秋荣. 一个 Linux 下 makefile 文件的分析 [J]. 现代电子技术, 2004. (7): 61-63.



(上接第 138 页)

表 1 试验结果

功能描述	指标要求	实际值
交流信号源	26V、36V、115V/400Hz 电源(±10%)	26.7V、37.2V、 117V/401Hz
轴角转换 (S/D)	1 密位	0.46 密位
轴角转换 (R/D)	1 密位	0.35 密位
控制信号 (PWM)输出	-15v~+15v,线性输出	-14.96v~+14.96v, 线性输出
温度传感器	0.5 ℃	0.45 ℃
接口	与实装一致,方便测试	与实装一致
通信	异步方式,波特率:9 600 bps	通信正常,满足需要
数据及显示	实时显示与更新	更新与显示良好
键盘响应	满足正常交互需要	工作良好,满足需求
操作考核 *	能完成规定科目环境设置、 学员操作判定与赋分	工作良好, 满足指标要求
理论考核	随机形成题库, 实现考核赋分	工作良好, 满足指标要求
故障诊断 训练	能够设置典型电路故障, 展现真实故障场景	工作良好, 满足指标要求
故障诊断 考核	能完成规定科目环境设置、学员 故障排除操作的判定与赋分	工作良好, 满足指标要求

操作考核*: 该模块评估算法基于标准化的操作路径设置, 在受训学员较为熟练的情况下, 考核结果能正确反映, 但对于不熟练的操作者, 经过多个不必要的界面跳转之后, 尽管其操作结果正确, 但考核结果判断错误。此模块评估算法还需要进一步优化, 以便更加客观反映操作水平。

参考文献:

[1] 朱克夫. 装甲兵作战模拟训练装备综述 [J]. 现代军事, 2005, 12: 15-19.

[2] 吴佳楠, 王 伟. 基于任务设备模拟的新型无人机训练模拟器研究 [J]. 计算机测量与控制, 2011, 19 (12): 3105-3110.

[3] 李尔超, 王耘波, 高俊雄, 等. 某型地空导弹作战模拟训练器的系统设计 [J]. 舰船电子工程, 2011, 31 (3): 126-129.

[4] 常 丽, 刘英超, 许 会, 等. 嵌入式 WinCE6.0 步进电机系统设计 [J]. 沈阳工业大学学报, 2013 (1): 104-108.

[5] 李亚辉, 罗卫东, 颜圣耘. 某型工程车配电箱故障诊断系统设计与仿真 [J]. 制造业自动化, 2014, 36 (3): 149-151.

[6] 张 菁. 基于有限状态机的 UDP 传输设计 [J]. 计算机工程, 2011, 37 (17): 52-54.

[7] 孔令波, 唐世渭, 杨冬青, 等. XML 数据的查询技术 [J]. 软件学报, 2007, 18 (6): 1400-1418.

[8] 孟小峰, 王 宇, 王小锋. XML 查询优化研究 [J]. 软件学报, 2006, 17 (10): 2069-2086.

[9] 朱亚雄, 李星新, 郝建平, 等. 基于 XML 的故障诊断虚拟训练描述模型研究 [J]. 计算机测量与控制, 2015, 23 (6): 1875-1877.

[10] 赵春宇, 郝建平, 李星新, 等. 基于电子装备虚拟样机的故障诊断训练设计 [J]. 计算机工程, 2010, 36 (11): 226-228.

[11] 李向荣, 岳彩岩, 王国辉. 乔小蒙装备半实物维修训练考评系统设计与开发 [J]. 四川兵工学报, 2013, 34 (6): 11-13.

[12] 吕秀平, 闫英敏, 刘正春. 闫建生某型装备电气模拟维修训练平台研究 [J]. 计算机测量与控制, 2013, 21 (9): 2486-2489.