

基于 VPX 架构的测控通信综合测试系统设计

张德智, 曾星星, 刘建要, 刘 冬

(中国运载火箭技术研究院 研究发展中心, 北京 100076)

摘要: 针对传统测控通信系统测试设备种类多、数量大、设备间连接关系复杂, 难以满足当前型号任务快速、通用、集成的测试需求, 提出了一种基于 VPX 总线架构的测控通信综合测试系统; 系统将以往型号测试采用的前端设备、变频设备、基带设备综合集成, 以 VPX 板卡形式集成到一台机箱, 利用背板高速串行总线替代传统设备间电缆, 显著简化了系统组成, 提高测试设备通用性。

关键词: VPX 总线; 测控通信; 综合测试

Design of TT&C Measurement Based on VPX Architecture

Zhang Dezhi, Zeng Xingxing, Liu Jiantuo, Liu Dong

(Research and Development Center, China Academy of Launch Vehicle Technology, Beijing 100076, China)

Abstract: In view of the complexity of the types of testing equipment, the large number of equipments and the complexity of the equipment, it is difficult to meet the requirements of the current model tasks, and the testing system based on VPX bus architecture is proposed. System will be used in the previous model of the front-end equipment, frequency conversion equipment, integrated baseband equipment, to the form of VPX board integrated into a chassis, the use of high-speed serial bus to replace the traditional cable, a significant simplification of the system composition, improve the test equipment general.

Keywords: VPX bus; TT&C; measurement

0 引言

近年来, 国内飞行器地面测试系统已经基本实现了由分立式架构向基于总线的集成式架构转变, 但总线形式多采用 PCI、CPCI、VME 等并行总线, 随着各模块芯片和电路板的密度越来越大, 信息交换速度要求越来越快, 传统的共享并行总线的系统架构逐渐成为系统性能提高的主要瓶颈^[1]。

首先高性能的处理器芯片需要更高的总线带宽的支持, 而传统的共享并行总线结构已难以满足节点持续增长的高运算量的需求。其次并行总线的同步传输结构在传输过程中易产生误码, 当总线上的节点随着处理任务发生变化时将导致总线容性负载变化, 造成信号波形的失真, 当总线工作频率超过 133 MHz 时, 总线上支持的负载数量很难超过两个^[2]。再者当前并行总线普遍存在背板电源功耗不足, 考虑到目前微处理器的高速发展, 多核、多处理器技术也在不断成熟, 功耗限制同样成为主要瓶颈^[3]。

高速串行总线技术成为下一代计算机总线的主要发展方向。VPX 就是基于高速串行总线的新一代总线标准, 采用以交换为核心的串行通信结构使得传输带宽得到了很大的提升, 遵守了通用的欧式板卡的尺寸标准可与 CPCI 接口兼容, 总线可提供更大的功率容量, 可在复杂恶劣环境下可靠工作。综上所述本文测试系统采用 VPX 总线架构设计。

1 测试系统顶层设计

测控通信综合测试系统组成如图 1 所示, 测试系统由综合

处理设备、测试天线及前端网络、地面监控终端计算机、测试电缆网组成。系统可接入地面总控网, 进入总体测发控流程。可通过分插、地测实现对飞行器测控系统的有线测试。

测试天线及前端网络实现与飞行器测控通信系统的无线信号收发。测试天线集成 LNA, 降低电缆及后端测试设备的噪声影响。前端网络具备馈电接口, 可对 LNA 供电, 网络内部具备可调衰减功能, 可实现信号电平的自动、手动调节。地面监控计算机运行测控数据处理软件, 具有测试任务调度控制、飞行器上遥测参数解析、上行指令及注入数据生成、综合处理设备状态监测与远程配置等功能。

综合处理设备作为测试系统核心, 以先进的 VPX 总线架构和高性能硬件平台为基础, 采用 12 槽 6U 结构, 由操作系统、接口控制、测控信号处理、数传信号处理、变频、存储、时钟参考等功能模块组成。设备采用标准化的 VPX 总线, 实现各单元模块标准化互联设计, 预留了足够的升级空间, 可提高系统架构的扩展能力和后续升级能力。

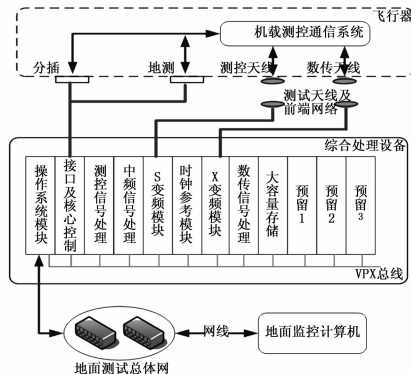


图 1 综合测试系统框架

收稿日期:2015-11-07; 修回日期:2015-12-08。

作者简介: 张德智(1985 年-), 男, 工程师, 主要从事中国运载火箭技术方向的研究。

2 综合处理设备详细设计

2.1 上位机通信

操作系统模块运行主控软件,完成综合处理设备与地面监控计算机、测试总体网等上位机的通信功能。主控软件提供人机交互界面,具备参数配置、图形化显示、数据记录、日志生成、本地或远程控制等功能。可向上位机或总控网发送飞行器遥测、数传数据,并接收遥控指令及注入数据,是综合处理设备对总控网络的数据交换端口。

操作系统模块通过 VPX 的千兆以太网与接口控制模块进行数据交互,将主控软件的设置参数传递给接口控制模块,由后者通过 I²C 总线设置各板卡参数;接收接口控制模块送来的飞行器遥测、数传、外测数据,并发送上行指令及注入数据。

操作系统模块基于 VITA 系列规范,采用 Intel Core™ i7 二代处理器,QM67 芯片组以及 ATI E6760 独立显卡等为主要芯片的 6U VPX 单板处理器模块。主控模块的主要技术指标:

- 1) 主处理器:板载 1 片 Core I7-2655LE 二代处理器,工作主频 2.2 GHz;
- 2) 芯片组:移动式英特尔 QM67 高速芯片组;
- 3) 内存:板载双通道 DDR3 设计,支持 ECC 功能,内存容量 8 GB;
- 4) Radeon E6760 显示芯片,最大分辨率 1 920×1 200 (频率 60 Hz);
- 5) 4 路 10/100/1 000 M 网络;
- 6) 支持 AC97 板载声卡;
- 7) 板载硬盘容量:1TB。

2.2 有线测试及参数设置

综合处理设备的对外有线测试接口及各模块参数配置由接口控制模块实现。通过 VPX 总线的千兆以太网接口,接收操作系统板卡送来的参数配置信息、测试任务调度、上行遥控数据。接口控制模块将飞行器遥测、数传数据、各模块板卡工作状态打包汇总,通过千兆以太网传输至操作系统板卡。

鉴于设备参数配置指令、工作状态信息数据传输速率较低,接口控制模块通过 I²C 总线(接口控制模块作为主节点,其余板卡作为从节点)完成对其余板卡的参数配置和工作状态获取。

为了解决高速数传数据可靠传输的问题,接口控制模块通过 PCIe 总线接收数传信号处理板卡的数传数据以及测控处理板卡的遥测遥控数据,最大传输速率不低于 2.5 Gbps。遥控、遥测数据在接口控制模块进行数据编帧、同步,数传数据帧同步在数传信号处理卡进行。

接口控制模块采用双 FPGA 架构,FPGA1 采用 XC4VLX110,与 MCU 结合共同完成 I²C 总线通信控制、设备工作状态汇总、有线测试指令生成、测试数据汇总。FPGA2 采用 XC5VFX100T,自带 PowerPC 硬核主频 550 MHz,具有以太网、PCIe 等内核资源,实现以太网协议解析、数传高速数据通信等高速数据处理,以及遥测解帧、遥控组帧等帧格式处理,并与 FPGA1 进行数据交互,如图 2 所示。

2.3 测控功能实现

测控功能由时钟参考模块、中频处理模块、变频模块、测控信号处理模块 4 个模块共同完成,如图 3 所示。

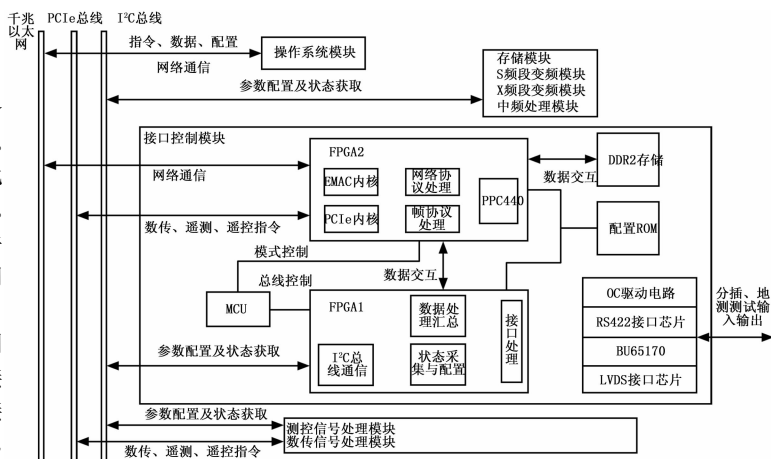


图 2 有线测试及参数配置原理

时钟参考模块提供高稳定度的 10 MHz 参考源至变频模

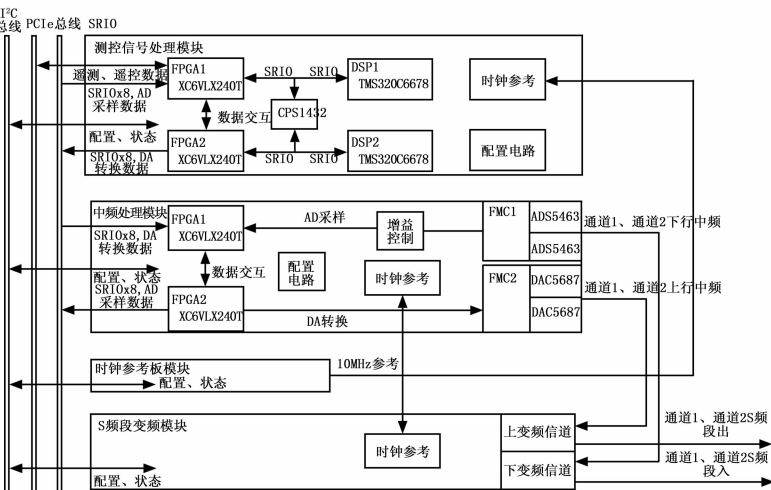


图 3 测控功能实现原理

块、中频处理模块、测控信号处理模块,提供统一的时钟参考,实现飞行器外测测距、测速功能。变频模块可提供 2 上、2 下两个变频通道,输入、输出信号可设置,信道带宽支持 300 MHz,提高信号适应性。

中频处理模块完成输入信号的 AGC 控制与预选滤波、串并转换功能。模块携带两块 FMC 子卡,提供两个双通道 500 Msps 采样率、12 bit 的 ADC 芯片,以及两个 500 Msps 采样率、16 bit DAC 芯片。采样信号在 XC6VLX240T 内进行预处理,预处理后数据通过 VPX 的 SRIO 总线高速输出至信号处理模块。

DA 转换信号数据吞吐率为 $16 \times 0.5 \times 2 = 16$ Gbps,模块间只能通过背板中的 4lanes 串行数据链路进行互联。传输协议采用 FPGA 支持的 AURORA 协议,传输效率达 90% 以上,每个 lane 支持传输速率 3.125 Gbps,8 个 lane 可实现 25 Gbps 信号传输,考虑 8 B/10 B 编码开销和协议效率,则有效传输速率为 $25 \times 0.8 \times 0.9 = 18$ Gbps,可满足传输要求。同理 AD 采样信号也需要 8 个 lane 进行传输。

测控信号处理模块采用双 FPGA+双 DSP 架构,使用 CPS1432 进行器件间高速信息交换。FPGA 采用 XC6VLX240T,DSP 选用 TMS320C6678,具有极强的信号处理能力,可实现 4

(下转第 70 页)