

基于 FPGA 和 ADS8638 的数据采集系统的设计与实现

关俊强, 左丽丽, 吴维林, 祝周荣

(上海航天技术研究院 上海航天电子技术研究所, 上海 201109)

摘要: 为了解决常用数据采集产品体积较大的问题, 选用一种体积小, 转换速度快的多通道 AD 转换芯片 ADS8638, 设计了 FPGA 与芯片的接口电路, 并采用 verilog 语言编写了控制程序, 以控制 ADS8638 芯片对各通道输入的模拟量进行 AD 转换; 通过软件仿真验证、静态时序分析, 仿真和分析结果表明, 该软件功能、性能、时序正确; 最后, 将软件经过综合、布局布线后下载到 ACTEL FPGA 芯片中进行硬件系统测试, 测试结果表明, 该技术方案设计合理, 功能可靠, 降低了常用数据采集系统的体积和功耗, 具有良好的实用价值。

关键词: FPGA; ADC; ADS8638; SPI 接口

Design and Implementation of a Data Acquisition System Based on FPGA and ADS8638

Guan Junqiang, Zuo Lili, Wu Weilin, Zhu Zhouong

(Shanghai Institute of Aerospace Electronic Technology, Shanghai Academy of Spaceflight Technology, Shanghai 201109, China)

Abstract: In order to reduce the size, weight and power consumption of general data acquisition system, the multi-channel ADC chip ADS8638 with high sampling rate and small size made in Texas Instrument is selected to design the data acquisition system based on FPGA, which controls the ADC to sample and convert analog signals into digital ones. The interface circuit between FPGA and the chip, as well as the control software which is programmed using verilog HDL is designed. Through software simulation, static timing analysis, the correctness and stability of the software design is verified. Finally, the hardware system test results indicate that the scheme is reasonable and reliable, can greatly reduce the system size and power consumption compared with the common data acquisition system, and is of good practical value.

Keywords: FPGA; ADC; ADS8638; SPI interface

0 引言

在航天电子产品的数据采集系统中, 常用的 AD 转换芯片有 AD574 芯片^[1]、AD7892 芯片^[2]等, 芯片体积较大, 采样速率较低。而 TI 公司生产的 8 通道 12 位 AD 转换器 ADS8638^[3], 是一种逐次逼近型的 AD 转换器, 转换速率可达 1 Msps, 由于采用 SPI 串行接口进行通信控制, 因此芯片引脚少, 体积小, 重量轻, 外围芯片少, 集成度高, 灵活性强, 而且温度范围宽, 可用于航天数据采集产品小型化设计。

1 系统总体设计

数据采集系统硬件上主要由一块 FPGA 芯片和一片 ADS8638 芯片组成, 外部满足该 AD 转换器输入电压范围的多路模拟量信号可直接连接 AD 芯片模拟量输入管脚。系统组成如图 1 所示。

本文设计了 FPGA 和 ADS8638 的硬件接口电路, 并采用 Verilog 语言编写了控制程序, 通过 ACTEL FPGA 芯片控制 ADS8638 实现对多路模拟量的 AD 转换, 并将芯片输出串行

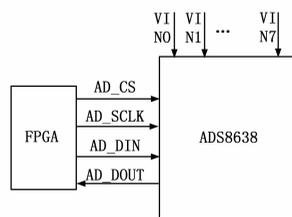


图 1 数据采集系统组成框图

数据转换为并行数据, 可输出给其它模块作进一步的数据传输处理。该技术方案已在某小型化数据采集产品中得到应用。

2 硬件设计

FPGA 和 ADS8638 接口电路如图 2 所示。FPGA 和 ADS8638 连接信号包括芯片选择信号 AD_CS、串行时钟输入信号 AD_SCLK, 串行数据输入信号 AD_DIN, 串行数据输出信号 AD_DOUT, AD_SCLK 时钟采用 FPGA 系统时钟 CLK, 频率为 16 MHz。

SIG1~SIG8 为 8 路模拟量输入信号, AD 芯片模拟电源电压为 ±12 V, 数字电源电压为 3.3 V, 芯片采用内部 2.5 V 参考电压。

收稿日期: 2016-01-06; 修回日期: 2016-01-21。

作者简介: 关俊强(1985-), 男, 山西忻州人, 硕士, 工程师, 主要从事航天 FPGA 产品的设计和验证工作方向的研究。

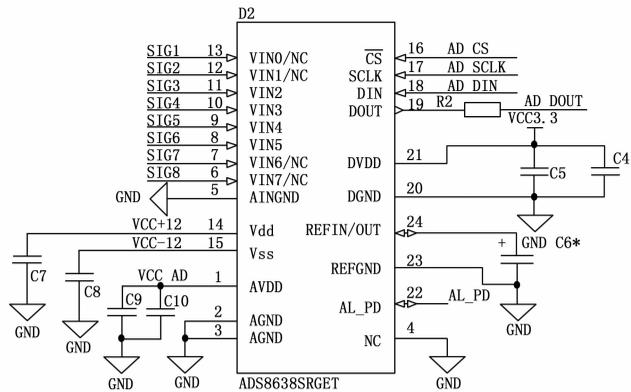


图 2 ADS8638 接口电路图

2.1 ADS8638 性能特点

- 1) 可通过软件设置的输入电压范围: $\pm 10\text{ V}$, $\pm 5\text{ V}$, $\pm 2.5\text{ V}$, $0\sim 10\text{ V}$, $0\sim 5\text{ V}$, 采用外部参考电压时, 输入电压可达 $\pm 12\text{ V}$;
- 2) 高集成度, 8 个输入通道多路选择, 每个通道可输入不同电压范围的模拟信号; 具有内部参考电压, 带有温度传感器, 每个通道都有报警极限, 需要外围芯片数量少;
- 3) 采样率可达 1 Msps ;
- 4) 高性能: 无误码输出 12 bit 转换数据;
- 5) INL: $\pm 0.9\text{ LSB}$;
- 6) SNR: 71.8 dB ;
- 7) 低功耗, 转换速率为 1 Msps 时, 为 14.45 mW ; 转换速率为 0.1 Msps 时, 为 5.85 mW ;
- 8) 具有 SPI 串行接口;
- 9) 供电电源电压为 $5\sim 1.8\text{ V}$;
- 10) 温度范围: $-40\sim 125\text{ }^\circ\text{C}$;
- 11) 小体积: $4\text{ mm}\times 4\text{ mm}\text{ QFN}-24\text{ Package}$ 。

ADS8638 芯片、AD574 芯片和 AD7892 芯片性能比较如表 1 所示, 可见, 跟后两种芯片比较, 该芯片在转换速度、体积和功耗等方面均具有显著优势。

表 1 3 种 AD 转换器性能比较表

	ADS8638	AD574	AD7892
生产厂商	TI 公司	AD 公司	AD 公司
芯片类型	逐次逼近型	逐次逼近型	逐次逼近型
采样转换时间	最小 $1\mu\text{s}$	$15\sim 35\mu\text{s}$	最小 $1.68\mu\text{s}$
输入电压范围	$\pm 10\text{ V}, 0\sim 10\text{ V}$	$0\sim 10\text{ V}, 0\sim 20\text{ V}, \pm 10\text{ V}$	$\pm 10\text{ V}$
体积	$4\text{ mm}\times 4\text{ mm}$ QFN-24 Package	$11.63\text{ mm}\times 11.63\text{ mm}$ LCC-28 Package	$15.6\text{ mm}\times 10\text{ mm}$ SOIC-24 Package
功耗	$5.85\text{ mW}\sim 14.45\text{ mW}$	$390\text{ mW}\sim 725\text{ mW}$	$60\text{ mW}\sim 95\text{ mW}$
单片通道数量	8	2	1
SNR	71.8 dB	/	70 dB

2.2 ADS8638 工作原理

ADS8638 是一个具有 SPI 接口的 AD 转换器, CS、SCLK、DIN 和 DOUT 组成四线制的 SPI 接口, CS 为芯片选择信号, SCLK 为串行移位时钟, DIN 是一个串行输入数据

线, 用于写入数据, 编程配置内部各种寄存器, DOUT 是一个串行数据输出线, 用于输出 AD 转换结果或者读出寄存器数据, 均由 16 bit 数据组成。通过 SPI 接口对内部寄存器进行写入或读出数据, 从而配置芯片工作模式, 读取转换结果, 实现 AD 转换功能。无论读操作还是写操作, 均需要在 CS 下降沿后, 包括至少 16 个 SCLK 周期。

该芯片功能组成如图 3 所示。

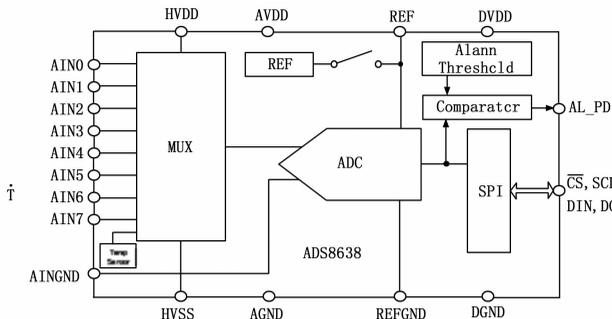


图 3 ADS8638 功能组成框图

芯片的寄存器被映射为两页: 页 0 和页 1, 在上电或者复位后选择页面 0 的寄存器, 本文操作的寄存器都是页 0 的寄存器。寄存器地址和定义见芯片手册^[3]。

2.2.1 SPI 写操作功能

对芯片进行写操作时, 通过 DIN 数据线写入命令, DIN 前 7 bit 表示寄存器地址, 第 8 bit 为 0 表示写指令, 对写操作来说, 后面的 8 bit 表示要写入的数据。芯片在写操作完成后的第一个 CS 下降沿执行该写入命令。

SPI 写操作时序和数据格式如图 4 所示。

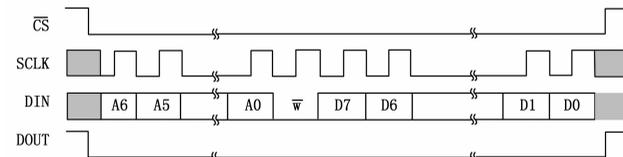


图 4 SPI 写操作时序和数据格式图

2.2.2 SPI 读操作功能

对芯片进行读操作时, 通过 DIN 数据线写入命令, DIN 前 7 bit 表示寄存器地址, 第 8 bit 为 1 表示读指令, 后面的 8 bit 为无效数据, DOUT 在第 7~0 bit 输出该地址对应的 8 位数据。

SPI 读操作时序和数据格式如图 5 所示。

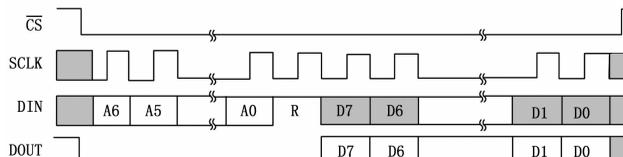


图 5 SPI 读操作时序和数据格式图

2.2.3 AD 转换功能

除了 SPI 接口功能以外, CS 和 SCLK 还同时具有 AD 转换控制功能。每一个数据帧由 CS 的下降沿开始, 芯片在 CS 下降沿采样软件选择通道输入的模拟信号, 然后启动转换,

CS 的低电平使 DOUT 输出转换结果, SCLK 时钟用于在转换过程中通过 DOUT 输出转换数据; 在 CS 下降沿时, DOUT 依次输出 4 bit 的通道地址以及其后的 12 bit 转换结果 (高位在前), 16 bit 串行数据跳变沿对齐 SCLK 下降沿。AD 转换时序如图 6 所示, 输出数据格式如图 7 所示。

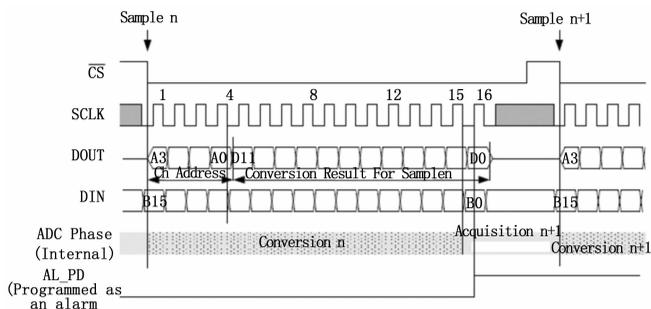


图 6 AD 转换时序图

2.3 FPGA 芯片介绍

FPGA 芯片选用 ACTEL 公司的 FLASH 型 A3P250-VQ100 芯片, 该芯片属于 ProASIC3 FLASH 工艺系列 FPGA, 具有成本低、体积小 (14 mm×14 mm)、功耗低、安全性好、可反复编程、无需额外片外配置 PROM、独立工作、无上电浪涌电流、加载直接启动和抗单粒子翻转性能好的优点。芯片资源为, 具有 25 万门、6144 个 D 触发器、36 Kbits RAM、157 个用户 IO 口、350 MHz 的系统性能; 支持高级 IO 接口, 静态工作电流小于 30 mA^[4]。

3 ADS8638 控制程序设计与实现

FPGA 控制软件在 Libero IDE v9.1 开发环境下采用 verilog 语言编写, 采用 Synplify Pro2010 工具综合生成网表文件, 最后采用 Designer 工具布局布线后生成 pdb 下载文件, 烧入芯片, 经过系统硬件测试, 能够实现对多路模拟量的 AD 转换, 并将转换后的串行数据转换为并行数据传输给其它模块。

软件包括 1 个顶层模块 ad_manual.v 和 2 个子模块, SPI 读操作模块 spi_rd.v 和 SPI 写操作模块 spi_wr.v, 在顶层模块中通过调用 2 个子模块, 完成对寄存器的读写功能。

顶层模块主要采用 1 个“三段式”状态机实现, 状态机工作流程如图 8 所示, 具体步骤如下:

- 1) 上电复位结束后, 状态机进入空闲态;
- 2) 状态机转入写复位寄存器状态, 复位寄存器地址为 7'h01, 写入数据 8'h01 可使芯片软复位, 使所有寄存器进入复位状态。该操作通过调用 SPI 写模块实现, 设置 spi_wr.v 输入信号 wr_en=1, wr_addr=7'h01, wr_datain=8'h01; 写操作完成后, 进入读复位寄存器状态;
- 3) 状态机转入读复位寄存器状态, 通过读取复位寄存器数据, 判断 2) 步骤写入是否成功; 若读取数据跟写入数据一致, 则跳转到写辅助控制寄存器状态; 否则, 跳转回到 2) 步

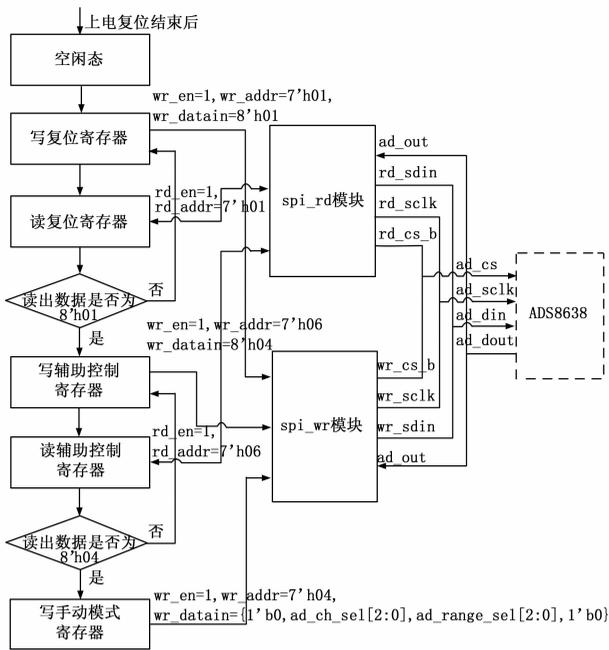


图 8 FPGA 控制软件状态机流程图

骤; 读复位寄存器调用 SPI 读操作模块实现, 设置 spi_rd.v 输入信号 rd_en=1, rd_addr=7'h01, 判断读出数据是否是 8'h01;

4) 状态机转入写辅助控制寄存器状态, 辅助寄存器地址为 7'h06, 写入数据 8'h04, 设置芯片采用内部参考电压, AL_PD 设置为报警输出管脚, 内部温度传感器模块从下一帧起不再处于工作状态。该操作通过调用 SPI 写模块实现, 设置 spi_wr.v 输入信号 wr_en=1, wr_addr=7'h06, wr_datain=8'h04; 写操作完成后, 进入读辅助控制寄存器状态;

5) 状态机转入读辅助控制寄存器状态, 通过读取辅助控制寄存器数据, 判断步骤 4) 写入是否成功; 若读取数据跟写入数据一致, 则跳转到写手动模式寄存器状态; 否则, 跳转回到步骤 4); 读复位寄存器调用 SPI 读操作模块实现, 设置 spi_rd.v 输入信号 rd_en=1, rd_addr=7'h06, 判断读出数据是否为 8'h04;

6) 状态机转入写手动模式寄存器状态, 芯片上电后, 工作于手动扫描模式。手动模式寄存器地址为 7'h04, 该寄存器使芯片工作在手动扫描模式, 根据实际需要转换的通道和各通道对应的输入电压范围, 设置寄存器写入数据。该操作通过调用 SPI 写模块实现, 设置 spi_wr.v 输入信号 wr_en=1, wr_addr=7'h04, wr_datain=8'h{1'b0, ad_ch_sel[2:0], ad_range_sel[2:0], 1'b0}; ad_ch_sel 为通道选择设置信号, ad_range_sel 为输入电压范围设置信号, spi_wr.v 同时接收 ADS8638 通过 ad_out 输出的转换数据, 将数据转换为并行数据 addata 输出。

PIN	CHANNEL ADDRESS				CONVERSION RESULT											
	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DOUT	ADDR 3	ADDR 2	ADDR 1	ADDR 0	D11 (MSB)	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0 (LSB)

图 7 AD 转换数据输出格式图

3.1 SPI 写操作模块

该模块接收顶层模块输入的写使能信号 wr_en , 写地址 $addr [6; 0]$, 写数据 $datain [7; 0]$, 检测到写使能信号的上升沿后, 开始将写地址和写数据进行并串转换, 以 SPI 接口形式向 ADS8638 芯片输出 cs_b 、 $sclk$ 、 $sdin$, $sclk$ 时钟频率为 16 MHz; $sdin [15; 9]$ 为写地址, $sdin [8]$ 为读写标志, 0 表示写操作, $sdin [7; 0]$ 为写数据; cs_b 低电平有效, 宽度为 16 个 $sclk$ 时钟周期; cs_b 、 $sdin$ 跳变沿均与 $sclk$ 时钟下降沿对齐。

SPI 写操作模块写复位寄存器时序图、写辅助寄存器时序图、写手动模式寄存器仿真波形图分别如图 9~11 所示。

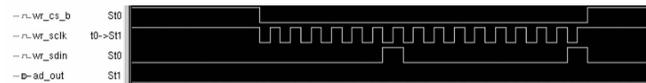


图 9 SPI 写复位寄存器前仿真波形图

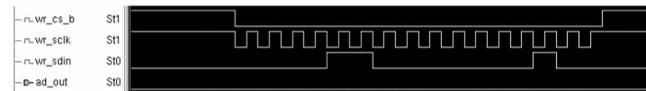


图 10 SPI 写辅助控制寄存器前仿真波形图

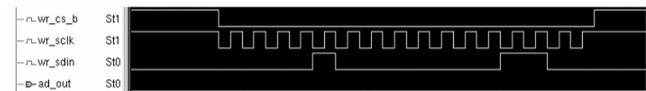


图 11 SPI 写手动模式寄存器前仿真波形图

根据 ADS8638 芯片手册要求, 当执行写手动模式寄存器时, ADS8638 在下 2 帧时, 输出转换后的数据, 采用 $sclk$ 时钟上升沿锁存 ad_out 输出的数据, 然后将数据进行串并转换, 转换为 16 位并行数据, 然后将转换数据 $adata [7; 0]$ (对应 ad_out 的 bit11~bit4) 输出。读取转换数据仿真波形如图 12 所示。

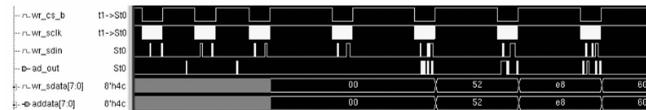


图 12 读取转换数据前仿真波形图

3.2 SPI 读操作模块

该模块接收顶层模块输入的读使能信号 rd_en , 读地址 $addr [6; 0]$, 检测到读使能信号的上升沿后, 开始将读地址进行并串转换, 以 SPI 串行接口形式向 ADS8638 芯片输出 cs_b 、 $sclk$ 、 $sdin$, 其中, $sclk$ 时钟频率为 16 MHz; rd_sdin 第 15 bit~第 9 bit 为读地址, 第 8 bit 为读写标志, 1 表示读操作, 第 7 bit~第 0 bit 为无效数据, 设置为 0; cs_b 低电平有效, 宽度为 16 个 $sclk$ 时钟周期; cs_b 、 $sdin$ 跳变沿均与 $sclk$ 时钟下降沿对齐。该模块同时接收 ad_out 输出的读出数据, 采用 $sclk$ 时钟上升沿锁存输入数据, 然后进行串并转换, 将输入数据的第 7 bit~第 0 bit 转换为并行数据 $rd_sdata [7; 0]$ 输出。

SPI 读复位寄存器、读辅助控制寄存器仿真波形如图 13、图 14 所示。

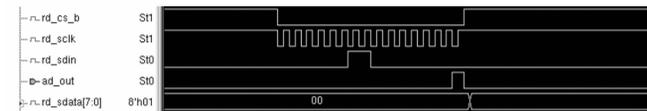


图 13 SPI 读复位寄存器前仿真波形图

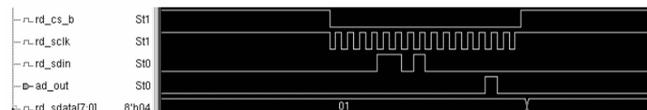


图 14 SPI 读辅助控制寄存器前仿真波形图

4 软件验证结果

4.1 仿真实验

编写 ADS8638 仿真激励模型, 搭建 Testbench 测试床, 在 VCS 仿真环境下对控制软件 DUT 进行仿真实验。软件各流程前仿真波形图分别如图 9~14 所示。

根据 ADS8638 芯片手册要求, 采样转换时序应满足图 15 所示要求, 软件时序参数前仿真测量结果如表 2 所示, 可见所有参数均能满足手册要求。

4.2 静态时序分析

软件布局布线后资源占用情况如图 16 所示, 占用资源约为 5.7%, 采用 Designer 自带的 Smart Time 工具进行静态时序

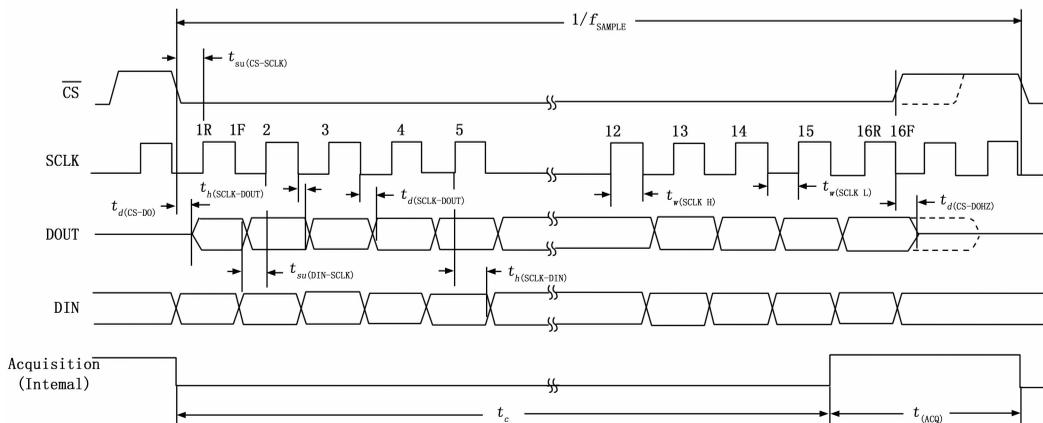


图 15 ADS8638 芯片采样转换时序图

表 2 ADS8638 控制软件时序参数测量结果表

序号	时序参数	参数含义	手册要求		功能仿真测量值	结论
			最小值	最大值		
1	t_c	转换时间	/	为 15 个 SCLK 周期	15 个 SCLK 周期	满足要求
2	t_{ACQ}	采样时间	250ns	/	3062.5ns	满足要求
3	$t_{su}(CS-SCLK)$	建立时间,CS 低电平有效到第一个 SCLK 上升沿	3.3V 供电时,为 18.5ns	/	31.25ns	满足要求
4	$t_{su}(DIN-SCLK)$	建立时间,DIN 有效到 SCLK 上升沿	3.3V 供电时,为 6.0ns	/	31.25ns	满足要求
5	$t_h(SCLK-DIN)$	保持时间,SCLK 上升沿到 DIN 有效	3.3V 供电时,为 8.0ns	/	31.25ns	满足要求
6	$t_{w}(SCLK_H)$	SCLK 高电平时间	3.3V 供电时,为 20ns	/	31.25ns	满足要求
7	$t_{w}(SCLK_L)$	SCLK 低电平时间	3.3V 供电时,为 20ns	/	31.25ns	满足要求
8	f_{SCLK}	SCLK 频率	/	3.3V 供电时,为 20MHz	16MHz	满足要求
9	f_{SAMPLE}	采样频率	/	3.3V 供电时,为 1MSPS	0.25MSPS	满足要求

分析,分析结果见图 17 所示,最大工况下,系统时钟最高工作频率约为 119 MHz,本设计实际工作频率为 16 MHz,满足降额 80%要求。

Compile report:

```

=====
CORE                Used:   348 Total:  6144 (5.66%)
IO (W/ clocks)     Used:   21 Total:   68 (30.88%)
Differential IO    Used:    0 Total:  13 (0.00%)
GLOBAL (Chip+Quadrant) Used:  2 Total:  18 (11.11%)
PLL                Used:    0 Total:   1 (0.00%)
RAM/FIFO          Used:    0 Total:   8 (0.00%)
Low Static ICC    Used:    0 Total:   1 (0.00%)
FlashROM         Used:    0 Total:   1 (0.00%)
User JTAG         Used:    0 Total:   1 (0.00%)
  
```

图 16 布局布线后资源使用情况图

Name	Period (ns)	Frequency (MHz)	Required Period (ns)	Required Frequency (MHz)	External Setup (ns)	External Hold (ns)	Max Clock to Out (ns)	Min Clock to Out (ns)
clk	8.372	119.446	50.000	20.000	2.653	-0.075	12.599	2.949

图 17 时序性能分析结果图

5 结论

本文选用一种 TI 公司生产的 8 通道、12 位分辨率、高精度 AD 转换器 ADS8638 芯片,设计了 ACTEL FPGA 芯片和 ADS8638 的接口电路,并采用 Verilog 语言编写了 FPGA 控制软

件,组成了一种小型化的数据采集系统,可控制 ADS8638 采用手动模式工作,按照软件设置的输入通道和输入电压范围,对 8 通道输入模拟量进行 AD 转换,然后将转换后的串行数据转换为并行数据输出,用于后续进一步传输和处理。

FPGA 控制软件通过了功能仿真验证、时序验证以及硬件系统测试,验证和测试结果表明,该软件时序正确,功能正常,具有较高的可靠性。

与航天数据采集系统中常用的 AD574 芯片、AD7892 等芯片相比,该芯片具有体积小、重量轻、功耗低、转换速率高、集成度高的显著优点,而且具有 SPI 串行接口,通信控制方便,需要外围芯片数量少。因此,基于 ACTEL FPGA 芯片和 ADS8638 芯片构成的数据采集系统有效的减小了系统的体积、重量和功耗,提高了系统的集成度、可靠性和灵活性,尤其适用于产品需要小型化、低功耗设计的场合。

参考文献:

[1] AD574 Data sheet [Z]. Analog Devices, INC.
 [2] AD7892 Data sheet [Z]. Analog Devices, INC.
 [3] ADS8638 Data sheet [Z]. Texas Instruments, INC. 2011.
 [4] Microsemi, Inc. ProASIC3 Flash Family FPGAs Data sheet [Z]. 2010; 1-6.

(上接第 213 页)

[6] 许爱军,张文金,黄正午.支持协同工作的 VRML 网络虚拟现实系统 [J].计算机仿真,2009(11):287-290.
 [7] 石敏,王俊铮,魏家辉.真实感三维虚拟场景构建与漫游方法 [J].系统仿真学报,2014(09):1969-1974.
 [8] 张宏,宋萃娥.可视化及漫游技术的研究与实现 [J].系统仿真学报,2011(12):2701-2703,2708.
 [9] 王艳安,曾俊峰,安运华.长江大学校园虚拟漫游系统设计 [J].湖北农业科学,2010(09):2237-2240.
 [10] 王源,刘建永,曾京.大规模场景虚拟漫游系统设计与实现 [J].工程图学学报,2010(05):107-111.
 [11] 周博飞,李绪华,张学之.3 维城市模型建模方法分类与建模流

程探讨 [J].测绘与空间地理信息,2012(06):138-143.
 [12] 李钦,戴树岭,赵永嘉,等.分块 LOD 大规模地形实时渲染算法 [J].计算机辅助设计与图形学学报,2013(05):708-713.
 [13] 雷励星,范贤德,徐振中.面向飞行模拟的大气效果实时绘制技术 [J].清华大学学报(自然科学版),2009(07):1019-1022.
 [14] 孙立博,刘艳,孙济洲,等.面向人机工程学测试的虚拟手仿真模型 [J].计算机工程,2009(10):10-12.
 [15] 张勇.虚拟实验室导览系统的关键技术研究 [J].现代教育技术,2009(01):129-132.
 [16] 董俊,黄河河.改进 Dijkstra 算法在 GIS 导航应用中最短路径搜索研究 [J].计算机科学,2012(10):245-247-257.