

# 基于 FPGA 的多速率信号发送器的设计

韩朝辉, 孟令军, 邹坤

(中北大学 仪器科学与动态测试教育部重点实验室 电子测试技术国家重点实验室, 太原 030051)

**摘要:** 针对传统多速率信号发送器信号的非线性失真大、可调性差等问题, 文中提出了一种基于 FPGA 与 DAC5682 的新型的设计方案; 方案中着重介绍了 DAC5682 数模转换模块的实现方式以及多速率信号处理算法的实现; DAC 模块可以同时实现 4 通道的数模转换, 采样率可以达到 1 Gsps; 同时, 为了验证 FPGA 算法设计的可靠性, 文中首先通过 MATLAB 平台对算法进行了仿真建模分析; 然后通过硬件描述语言将算法移植到 FPGA 电路上, 在 modelsim 中实现了综合后仿真; 最后给出了仿真波形; 通过仿真验证, 发送器具有良好的滤波效果, 并可根据实际需求灵活的对基带频率以及变换后的混频模块进行相应的变换和升级; 通过 FPGA+DAC 的设计, 简化了系统结构, 还能较为高效的实现系统中的各项技术指标; 该系统可以广泛应用与移动通信系统中。

**关键词:** FPGA; DAC5682; 多速率; 信号处理

## Design of Multi Rate Signal Transmitter Based on FPGA

Han Zhaohui, Meng Lingjun, Zou Kun

(Ministerial Key Laboratory of Instrumentation Science & Dynamic Measurement, State Key Laboratory for Electronic Measurement Technology, North University of China, Taiyuan 030051, China)

**Abstract:** Aiming at the problem that the traditional multi rate signal is nonlinear distortion, and the adjustable difference, a new design scheme based on FPGA and DAC5682 is proposed. Program focuses on the implementation DAC5682 digital-analog converter module and multi-rate signal processing algorithms. DAC module can achieve 4-channel digital-analog conversion, the sampling rate can reach 1Gsps. Meanwhile, in order to verify the reliability of FPGA algorithm design, paper first platform through MATLAB algorithm for the simulation modeling and analysis; Then the algorithm is transplanted to the FPGA circuit through the hardware description language, and the simulation is realized in Modelsim; Finally, the simulation waveforms are given. Through simulation, the transmitter has a good filtering effect, and the flexibility of the baseband frequency and transformed mixing modules to transform and upgrade based on actual demand. Through the design of FPGA+DAC, the structure of the system is simplified, it can also be more efficient implementation of the technical indicators in the system. The system can be widely used in mobile communication systems.

**Keywords:** FPGA; DAC5682; multi-rate; signal processing

## 0 引言

随着信息化时代的高速发展, 通信已经变成人们日常生活中不可缺少的一部分。而通信领域中, 多速率信号发送器是其较为重要的一部分。在实际信号采样设计中, 设计者希望用尽可能高的采样率来降低系统的信噪比。同时, 在信号处理和编码时, 又希望只处理有效的信号频段, 使信号速率尽可能地低, 最后在 D/A 转换时又需要较高的采样率来还原信号, 抑制信噪比。这三者看似矛盾的需求, 而在多信号处理的技术下能够很好地融合为一个整体, 通过插值和抽取来满足任意信号速率的转换需求。目前, 多速率信号发送器已广泛用于移动通信系统中, 而且随着通信技术的与日俱进, 将来还会有更为广阔的应用前景。

## 1 多速率发送器组成及基本原理

传统的设计方案是将基带信号通过 DAC 转换成模拟信号, 然后在模拟电路的基础上经过滤波、放大、混频调制, 将信号通过功率放大后发射出去。这种方案由于过多地使用了模拟电路, 可能会使电路产生较大的非线性失真。同时模拟电路还不可调整, 会对系统的升级和调整有一定的影响。

通过对传统设计方案的改进, 文中设计了一种基于 FPGA 的多速率信号发送器。系统硬件组成结构如图 1 所示。系统主要由基带信号的处理 (FPGA 实现)、DAC 数模转换模块、RF 信号发送模块组成。

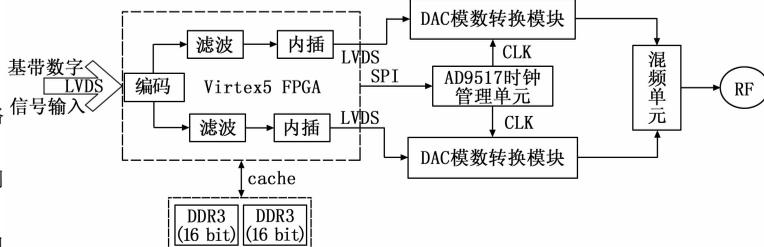


图 1 系统组成结构

收稿日期:2015-02-27; 修回日期:2015-04-27。

作者简介:韩朝辉(1989-),男,硕士研究生,主要从事电路与系统方向的研究。

孟令军(1969-),男,硕士生导师,副教授,主要从事集成测量系统及仪器、微纳仪器及测试技术方向的研究。

邹坤(1990-),男,硕士研究生,主要从事电路与系统方向的研究。

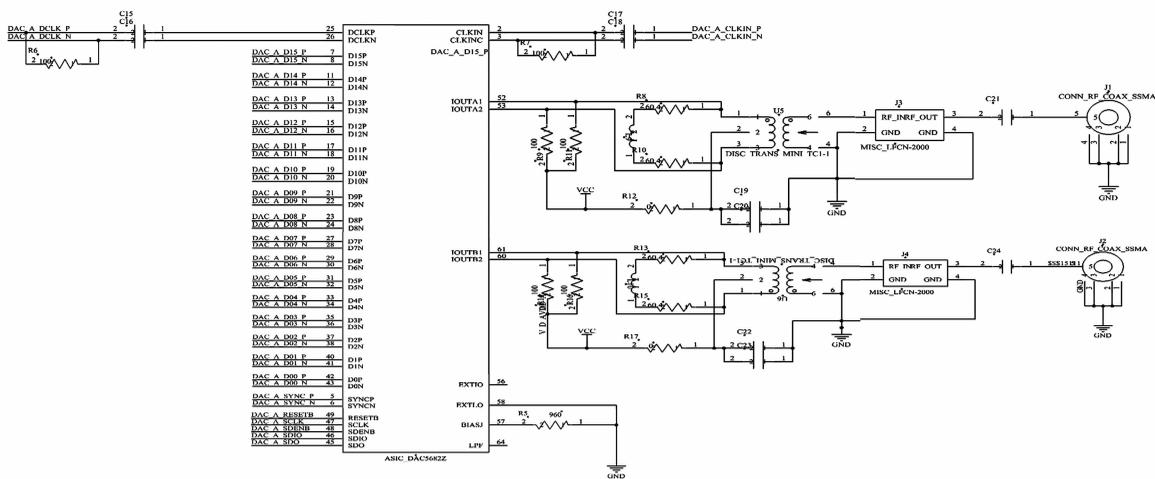


图 2 DAC 电路设计原理图

系统基本工作原理：基带信号通过 LVDS 接口方式传送到 FPGA 上<sup>[1]</sup>，FPGA 通过自身丰富的 IP 核和 DSP48 资源对数字信号进行信道编码和滤波处理，然后将处理后的数字信号经过 DAC 模数转换。方案中使用的 DAC 芯片为 TI 公司的 DAC5682Z，由于系统对时钟有较严格的要求，所以这里加入了一个时钟管理芯片 AD9517。FPGA 通过 SPI 方式配置 AD9517 使其输出合适的时钟到 DAC 模块，利用 DAC5682Z 内部的插值滤波器以及混频模块将数字信号变换成所需要的频段信号然后再进行数模转换<sup>[2]</sup>。转换后的模拟信号经过混频变成射频信号，最终通过 RF 射频<sup>[3]</sup>模块将信号发送出去。（由于传输过程中数据量较大，这里设置了一簇 DDR3 高速缓存单元。该单元由两片镁光公司推出的 16 bit 的 MT41J128M16 组成，系统传输总线可达到 32 位，数据传输速率可以达到 500 mbps。）

## 2 DAC 数模转换模块的设计

### 2.1 硬件平台的设计

方案中使用了两片 TI 公司的 16 位 1GSPS 的双通道 DA 转换芯片 DAC5682。可以同时现实 4 通道的数模转换。DAC5682Z 是一款高速的双通道 16 位的 D/A 转换芯片，其采样速率可达到 1Gsp/s。其内部包括 4 个处理部分：输入 FIFO、2X/4X 插值滤波器、Fs/4 混频器和双路 16bit 的数模转换器。方案中使用 FPGA 对其进行参数配置，配置使用标准的 SPI 接口。图 2 为其中一片 DAC 模块的电路设计原理图。

电路设计中的关键问题：

1) 由于数模转换模块的输入端口的数据电平标准为 LVDS (low-voltage differential signaling)。因此在实际 PCB 的布线设计时，要等长，并且走线尽可能的离目标器件近。

2) DAC 芯片的内部寄存器的配置使用的是标准的 4 总线的 SPI 接口模式，电平标准为 LVTTTL33。设计时可以将其直接连接到 FPGA 相应的 GPIO 管脚上。程序设计中 SCLK 通过 FPGA 内部的 DCM 分频到 10 MHz，通过 SDIO、SDO 信号线实现对 DAC 芯片的初始化配置。表 2.1 为 DAC 芯片几个重要寄存器的配置信息。

表 1 DAC5682 芯片寄存器定义

寄存器名称	地址	参数	功能描述
CONFIG0	0X00	0X03	状态寄存器
CONFIG2	0X02	0X40	双通道、2X 模式
CONFIG5	0X05	0X82	4 引脚 SPI 接口
CONFIG14	0X0B	0X00	Normal SDO 模式

3) 在 DAC 转换完成后的模拟信号通过变压器进一步的隔离，可以更好地防止噪声信号的干扰。同时，在模拟电路部分的 PCB 设计中，严格按照对称等长的原则进行布线。

### 2.2 DAC 模块与 FPGA 接口逻辑的设计

DAC5682 芯片数据输入端为 16 位的高速 LVDS 信号接口 (DP/N [15: 0])，内部连接一个数据 FIFO 缓冲单元。数据输入分为单通道和双通道模式。在双通道模式下，数据进入 FIFO 后，由时钟的上升沿和下降沿分别采集数字量信号。采集到的 I 路数据和 Q 路数据分别进入 A/B 通道实现双路数模转换。图 3 为 DAC 工作时序图。

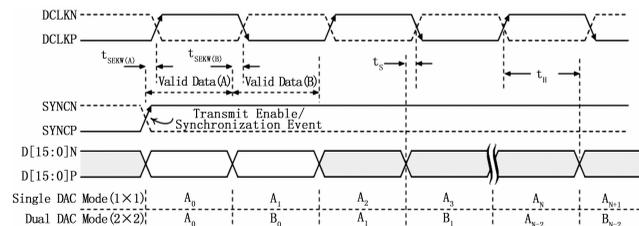


图 3 DAC5682 模数转换时序图

Xilinx 公司的 Virtex5 系列 FPGA 有丰富的 LVDS 接口可以满足设计需求，同时，FPGA 内部的 ODDR 模块可以完美的实现双边沿采样数据。图 4 为 FPGA 内部 ODDR 模块的结构图。

其中 C 为时钟输入口，数据 D1 和 D2 分别在时钟 C 的上升沿和下降沿输入，CE 为时钟使能信号，R 为复位信号，S 为置位信号。

DAC5682 芯片的时钟通过专用的时钟管理模块 ADC9517 提供。该模块可以同时稳定输出 4 路 LVDS 时钟信号，频率最高可以达到 1.6 GHz。满足设计需求。

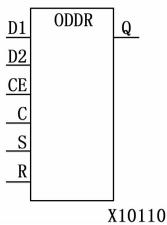


图 4 ODDR 模块示意图

### 3 FPGA 算法设计与实现

#### 3.1 多速率信号发射器的算法设计

多速率信号发送器的系统结构如图 5 所示。其中在 DAC 工作之前, 主要由 4 部分级联组成<sup>[4]</sup>: 可编程的插值 FIR 滤波器 (RCF)、两个固定系数的 FIR 滤波器 (FFIR)、高速的 CIC 插值滤波器及数控频率振荡器 (NCO)。

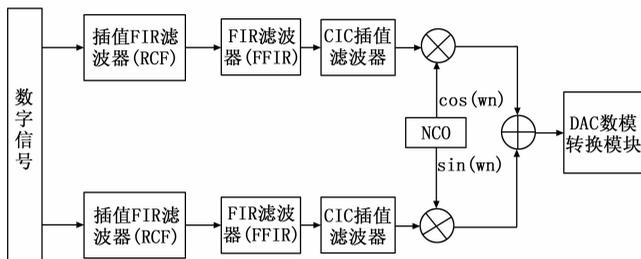


图 5 FPGA 实现算法结构图

实际使用中, 由 RCF 完成对输入信号的采样, 采样倍数为 [1, 16], 由于工作在高速时钟下, 所以其阶数一般不会太高。

FFIR 对输入信号进行 2 倍的采样, 如果固定系数滤波器的带宽达到输入采样率的一半, 则能较好的抑制带外信号和噪声。

CIC 滤波器则一般采用 2 阶或 5 阶, 完成对输入信号的 [1, 32] 倍的采样。

NCO 模块有两部分产生: 载波频率和复数乘法器。通过乘法器把基带数据搬到希望的中频上。

#### 3.2 多速率信号发送器算法的仿真和分析

##### 3.2.1 Matlab 的建模与仿真

在 FPGA 设计实现之前, 先通过 Matlab 工具进行仿真验证。Matlab 具有丰富数学应用仿真库<sup>[5]</sup>, 通过对库函数的调用, 方案中使用了两个滤波器, 输入的原始序列为正弦波序列, 通过两级滤波器的设计, 实现了对原始序列的 8 倍过采样。图 6 为 Matlab 的仿真结果。

分析: 为了实现原始序列的 8 倍过采样, 需要对序列采样频率进行  $L=8$  倍的内插。如果使用单级滤波器实现, 则需要的去镜像滤波器的阶数会很大, 所以设计中采用了 2 级的滤波和内插, 逐阶的提高采样速度。由于  $L=8=2 \times 4$ , 所以设计中使用了半带滤波器和 CIC 滤波器组成。

半带滤波器由于其一般系数为零, 大大减少了计算量, 提高了计算效率, 非常适合在  $2^M$  倍的插值, 为了去掉镜像频率的干扰, 这里设计了一个 FIR 的滤波器, 从而实现了原始序列的 2 倍插值; CIC 滤波器滤波系数为 1, 结构简单, 基本组成包括积分部分和梳状部分。同时, 作为一种基于零点相消的 FIR 滤波器, 更适合工作在较高的采样率, 广泛应用于高速插

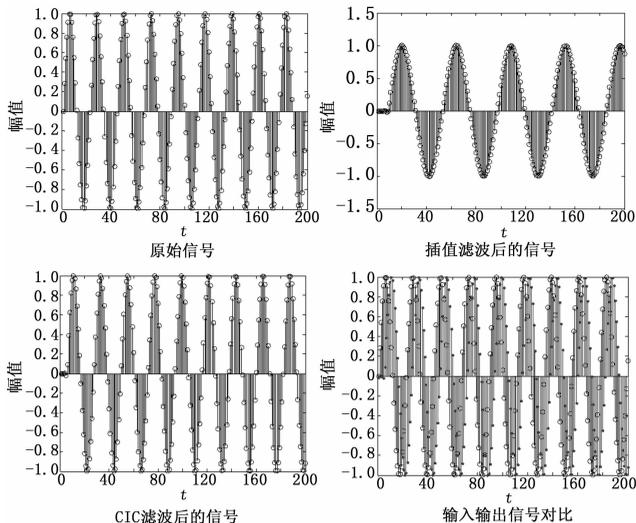


图 6 Matlab 建模仿真图

值系统中, 设计中使用的是一个 4 倍插值的 CIC 滤波器<sup>[6]</sup>; 由于 CIC 滤波器和半带滤波器的子函数都会带入信号的一些延迟<sup>[7]</sup>, 所以从仿真结果可以看出: 信号的输出会滞后信号的输入一段时间, 但这对于系统的性能影响不大。

##### 3.2.2 多速率信号发送器的 FPGA 的实现

如图 7 所示, FPGA 实现逻辑主要由以下几个部分组成。基于以上算法结构的设计, 通过 Verilog 硬件描述语言实现信号编码、滤波以及载波输出等逻辑功能<sup>[9-10]</sup>。

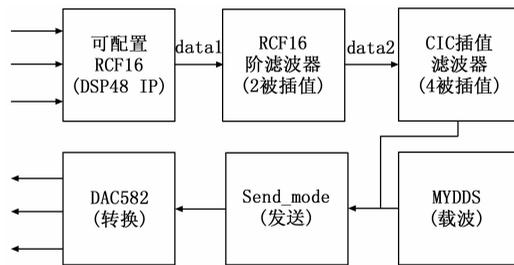


图 7 Verilog 实现结构图

在 Verilog 中实现的基本原理: 使用的基带信号是 250kbps 的一个余弦码流, 半带滤波器模块实现了一个串行结构的 16 阶、2 倍插值 (也就是每一个周期内插入一个零值)、16 位位宽的插值滤波器, 然后通过 CIC 滤波器实现内插为 4 的插值滤波器, 滤波器的系数通过 MATLAB 获得。将 CIC 滤波器的输出值与载波相乘后输出, 从而将基带数据加载到中频上。图 8 为仿真结果图。



图 8 Verilog 程序在 modelsim 中的仿真结果

如图 8 所示, 信号  $\cos$  是基带码元, 信号  $\cos\_ist$  是内插零值后的码元信号, 最后经过两级插值滤波器后的输出信号为  $\cos\_gx$ 。从图中可以看出, 输出的码流信号较为平滑, 对于镜像频率的滤波效果明显。因此, 该发送器具有较好滤波性能。

### 4 总结

本文主要讨论了无线通信中的多速率信号发送器的设计, 通过对理论基础的研究, 设计出了一种实现多速率信号发送器的实现方案。

文中的创新点在于: 针对传统的设计方法的一些弊端, 有针对性的进行了改进。通过使用 FPGA+DAC 的方式, 能够灵活的对基带频率以及变换后的混频模块根据需求进行相应的变换和升级。文中详细描述了 DAC 模块的电路设计原理以及逻辑编程思路, 对于 FPGA 算法的实现, 进行了环路测试<sup>[11]</sup>。

#### 参考文献:

[1] 田 耘, 徐文波, 张延伟, 等. 无线通信 FPGA 设计 [M]. 北京: 电子工业出版社, 2008.

(上接第 306 页)

QAxObject 对 COM 对象进行了封装, QAxObject 派生自 QAxBase, 而后者提供了一组 API 通过 IUnknown 指针直接访问 COM 对象, Excel 作为一个 COM 对象, 因此可以通过 QAxObject 来操作它。生成 Excel 文档的代码示例:

```
void newExcel (const QString &fileName) {
    QAxObject * pApplication = new QAxObject ();
    //创建 QAxObject 对象
    pApplication->setControl (" Excel.Application");
    //连接 Excel 控件
    ...
}
```

### 3 管理系统的使用

配线可视化管理软件已在我公司调度自动化机房中得到应用。使用初期首先要收集机房现有设备及其网络连接关系信息, 然后根据现场设备的安装位置在管理系统绘制整个机房设备网络连接全景图, 最后完成相关设备属性的录入工作。图 4 是一台工作站和服务器跨机柜接入主干交换机的典型连接关系图。为简化模型, #13 屏柜的配线架和交换机都只画出 24 个网口。图中 #1 机柜配线架 #1 网口与 #13 机柜配线架 #1 网口已预先布置跳线用于机柜间的互联, 以虚线表示短接。系统开启拓扑功能后, 例如选择 #1 工作站网口, 即可高亮展示该网络连接路径图。当网络连接复杂至难以分辨时, 该功能可以

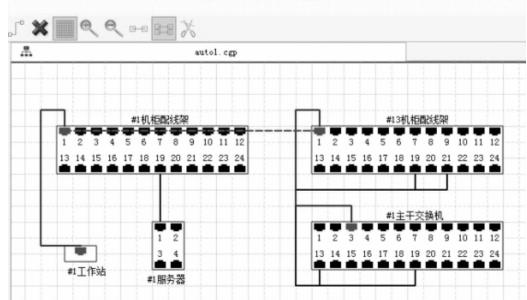


图 4 系统应用截图

[2] 蔡光君, 任 菊. 多速率信号处理技术的实现研究 [J]. 太原科技, 2009 (4): 65-66.

[3] 粟 欣, 许希斌. 软件无线电原理与技术 [M]. 北京: 人民邮电出版社, 2010.

[4] 王映民, 等. TD-LTE 技术原理与系统设计 [M]. 北京: 人民邮电出版社, 2010.

[5] 西瑞克斯 (北京) 通信设备有限公司 无线通信的 MATLAB 和 FPGA 实现 [M]. 北京: 人民邮电出版社, 2011.

[6] 范艳根. CIC 滤波器的 FPGA 实现. 黑龙江科技学院学报, 2008, 18 (3): 206-208.

[7] 史学书. 软件无线电系统中 NCO 的设计与实现 [J]. 现代电子技术, 2005 (15): 6-8.

[8] 周文安等. 无线通信原理与应用 [M]. 北京: 电子工业出版社, 2012.

[9] 陈 议. 基于 FPGA 的多速率调制解调器的实现 [D]. 西安: 西安电子科技大学, 2009.

[10] 刘翠海, 等. 无线电通信系统仿真及军事应用 [M]. 北京: 国防工业出版社, 2013.

[11] 杜 勇, 等. 数字通信同步技术的 MATLAB 与 FPGA 实现 [M]. 北京: 电子工业出版社, 2013.

快速查定位网口、网络拓扑路径, 有助于网络故障诊断和排查。

### 4 结语

本文从机房管理存在的实际问题出发, 深入分析系统业务功能需求, 并基于 MVC 设计模式进行软件架构设计, 通过采用 QT 图形库平台进行软件功能开发。可视化管理软件的实际应用, 基本解决了我局机房配线管理“无图可依”和标签混乱的局面。机房网络连接全景图有助于减少网络故障排查时间; 标签信息自动生成功能, 大大减少标签维护工作量, 同时保证了标签标识的准确性和规范性。

#### 参考文献:

[1] 王治国, 尹 成, 丁 峰, 等. 地震多属性分析系统的面向对象设计及敏捷开发过程 [J]. 计算机应用, 2008, 28 (12): 148-151.

[2] 罗俊松, 邓 飞, 卢涵宇, 等. 基于 Qt 的三维可视化技术研究 [J]. 计算机测量与控制, 2013, 21 (3): 797-799.

[3] Jasmin B, Mark S 著. C++ GUI Qt4 编程 [M]. 闫锋钦, 曾泉人, 等译. 第 2 版. 北京: 电子工业出版社, 2013.

[4] 温浩宇, 刘芬芳, 刘燕燕. 多视图下的生产线建模与仿真 [J]. 计算机工程与科学, 2014, 36 (9): 1619-1622.

[5] 胡腾波, 叶建榜. 基于 MVC 模式的 WebGIS 仿真系统 [J]. 计算机应用研究, 2009, 26 (1): 247-249.

[6] 吴洁明, 范围梅. 基于 XML 的标准符合性测试方案 [J]. 计算机应用, 2012, 32 (2): 551-553.

[7] Hu T, Chen G. Adaptive XML to relational mapping: an integrated approach [J]. Journal of Zhejiang University Science A, 2008, 9 (6): 758-769.

[8] 林 菲. 软件事务内存的动态竞争管理策略 [J]. 计算机工程与设计, 2010, 21 (7): 1510-1512.

[9] 张孝飞, 张振国, 王 亮, 等. 实现 J2EE 项目可移植的策略研究 [J]. 计算机工程与设计, 2008, 29 (11): 5494-5497.

[10] 邓其军, 周 洪, 鲁 觉. 面向图形对象的配电网单线图绘制与使用 [J]. 电力自动化设备, 2009, 29 (7): 97-100.