

# 基于 ARM Cortex-M3 微控制器与 QDUC 的嵌入式激励器设计

徐林峰, 李 星

(中国电波传播研究所青岛分所, 山东 青岛 266107)

**摘要:** 为解决传统激励器设备体积大、成本高等问题, 采用 ARM Cortex-M3 微控制器与 QDUC 方案设计了一种嵌入式激励器; 系统基于 ARM Cortex-M3 微控制器、以太网 PHY 与 uIP TCP/IP 协议栈构建有线以太网实现与外部上位机之间的数据的收发, 使用专用 QDUC 集成电路芯片对以太网传送来的基带数据进行正交数字上变频, 产生任意波形射频激励信号; 该方案具有环境适应性强、尺寸小、结构简明、开发难度低、工作稳定可靠、可扩展性强等特点; 试验实测系统工作于 UDP 模式时最大可用基带数据更新速率可达 21.5 Mbps, 输出射频信号载波频率覆盖 DC~400 MHz, 满足实际工程需求。

**关键词:** 微控制器; 正交上变频器; 激励器; 以太网

## A Design of Embedded Exciter Based on ARM Cortex-M3 Microcontroller and QDUC

Xu Linfeng, Li Xing

(China Research Institute of Radiowave Propagation, Qingdao 266107, China)

**Abstract:** This paper reports a design of embedded exciter based on ARM Cortex-M3 Microcontroller and QDUC, in order to deal with the problem of traditional exciter system, for example it has large volume, higher cost, and so on. The design using the ARM Cortex-M3 microcontroller, Ethernet PHY and uIP TCP/IP protocol stack to build a wired network achieving data communication with the extern host control node. The system can generate arbitrary waveform RF excitation signal, by means of quadrature digital upward frequency conversion employing the baseband data received from the Ethernet using the QDUC ASIC. The design has the features of excellent adaptability to environment, small size, simple structure, easy to design, credible performance, strong scalability. Experiments show that the maximum available baseband data updating rate can be reached in UDP working mode is 21.5Mbps, and the RF signal carrier frequency covers the range of DC to 400MHz, which can meet the requirements of the project.

**Keywords:** microcontroller; QDUC; exciter; Ethernet

## 0 引言

激励器主要用于向雷达发射机、电子对抗等设备提供各种激励信号。传统的激励器设计方案是采用 PCI、CPCI、VPX 等标准总线计算机板卡的形式, 依托通用计算机平台实现信号的产生<sup>[1]</sup>。这种方案可靠性较高, 但成本亦较高, 且无法实现设备的小型化、便携化。本文依据工程实际需求, 采用将 ARM Cortex-M3 微控制器与 QDUC (正交数字上变频器) 结合的技术方案, 实现了一种低成本、小尺寸、可组网使用的嵌入式激励器。

## 1 系统功能与结构

嵌入式激励器以基于 ARM Cortex-M3 内核的 GD32F107VCT6 (以下简称 GD32F107) 微控制器及 QDUC 为核心, 配合以太网接口电路实现对以太网传输来的任意基带数据的正交数字上变频。

嵌入式激励器系统组成如图 1 所示。GD32F107 与以太网 PHY (物理层收发器) 之间采用 RMI1 模式连接, 快速以太网

发来的数据帧由以太网 PHY 处理后发送给 GD32F107, 由 GD32F107 解析后得到控制指令及实时的 I 路与 Q 路基带数据, 控制指令通过 SPI 串行口发送给 QDUC, 基带数据通过并行数据接口逐帧发送给 QDUC, 由 QDUC 根据预先设置的参数将基带数据上变频生成期望的射频模拟信号并送出。SD 存储卡用于用户存储以太网传输来的基带数据, 以备设备独立工作时调取使用。

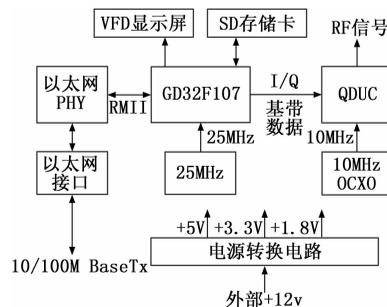


图 1 系统组成框图

## 2 硬件设计

### 2.1 微控制器

GD32F107 是一款基于 ARM Cortex-M3 r2p1 内核的互

收稿日期: 2015-08-07; 修回日期: 2015-09-10。

作者简介: 徐林峰(1982-), 男, 山东临沂人, 工程师, 硕士研究生, 主要从事嵌入式系统设计方向的研究。

联型国产通用微控制器, 其最高工作主频 108 MHz, 具有单周期乘法器与硬件除法器, 片上具有 256kB FLASH、96kB SRAM、1 个 10/100 M 以太网 MAC (媒体访问控制器) 控制器、3 个 SPI 串行口、80 个 GPIO 等丰富的外设资源, 并具有片上 FLASH 访问零等待的特点<sup>[2]</sup>。GD32F107 工作电源电压为 2.6~3.6 V, 典型工作电压为 3.3 V。

## 2.2 QDUC

QDUC 主要功能是将输入基带数据进行频率变换、频谱搬移, 即在数字域实现混频功能。本文设计中 QDUC 选用 ADI 公司生产的 AD9957 集成芯片。

AD9957 将 1 个直接数字频率合成器 (DDS)、1 个 1GSPS 14 位数模转换器、时钟乘法器电路、数字滤波器和其它 DSP 功能集成在单个独立芯片上, 具有 32 位频率分辨率、14 位相位分辨率, 最高内部系统时钟为 1 GSPS, 可直接输出高达 400 MHz 模拟射频信号, 可以在有线或无线通信系统中为数据传输提供基带上变频功能<sup>[3]</sup>。

AD9957 工作电源分别为 1.8 V 与 3.3 V, 采用 SPI 串行口进行配置编程, 采用 18 位并行数据接口输入 I 路与 Q 路基带数据。其具有 3 种工作模式, 分别为正交调制 (QDUC) 模式、DAC 插值模式、单音模式, 该工作模式通过控制功能寄存器 1 (CFR1) 中的工作模式位进行选择。本文设计中, AD9957 可以按照遥控指令工作于上述模式中的任意一种, 当工作于正交调制 (QDUC) 模式与 DAC 插值模式时, 需要外部 (以太网或 SD 存储卡) 提供基带数据。

本文设计中 AD9957 采用外部 10 MHz OCXO 提供的单端 10 MHz 信号作为参考时钟。AD9957 内部锁相环将该参考时钟倍频作为系统时钟 ( $f_{\text{SYSCLK}}$ ) 使用。

## 2.3 以太网接口

GD32F107 微控制器片上 MAC 兼容 MII (媒体独立接口) 与 RMII (精简媒体独立接口) 两种接口模式, 这为以太网接口电路的设计提供了极大的便利。本文设计中以太网 PHY 选用 TI 公司 DP83848I。DP83848I 是一款单口 10/100 Mb/s 以太网 PHY, 支持 MII/RMII 接口模式, 可与 GD32F107 微控制器无缝连接<sup>[2,4]</sup>。DP83848I 与 GD32F107 之间采用 RMII 接口模式连接。电路原理如图 2 所示。

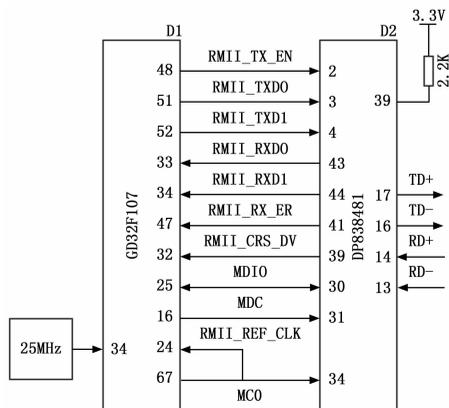


图 2 以太网接口电路原理图

需要注意的是, DP83848I 需要通过预置上拉或下拉电阻

的方式进行模式、地址功能的设置。为使 DP83848I 工作于 RMII 接口模式, 39 脚 MII\_MODE 应通过电阻上拉至 3.3 V 电源, 同时 6 脚 SNI\_MODE 保持悬空 (芯片内默认下拉)。此外 DP83848I 在上电复位时依照 42 脚 PHYAD0 (芯片内默认上拉)、43 脚 PHYAD1 (芯片内默认下拉)、44 脚 PHYAD2 (芯片内默认下拉)、45 脚 PHYAD3 (芯片内默认下拉)、46 脚 PHYAD4 (芯片内默认下拉) 电平状态决定其物理地址并写入 PHYCR 寄存器中。在本文设计中, DP83848I 的 42 脚、43 脚、44 脚、45 脚、46 脚未在片外配置上拉或下拉电阻 (如图 2), 故其物理地址为 0x01。

## 2.4 VFD 显示屏

VFD 显示屏用于显示设备工作状态信息, 其具有自发光、亮度高、可靠性高、环境适应性好等特点。本文设计选用 VFD 显示屏为双叶 M202SD16FA。M202SD16FA 为点阵式真空荧光显示屏, 内部集成控制驱动电路, 可显示 2x20 个字符, 每个字符为 5x8 点阵。M202SD16FA 具有 i80 接口模式、M68 接口模式及串行接口模式 3 种数据接口, 本文设计中采用 i80 接口模式。M202SD16FA 工作电源为 5 V, 其工作温度与存储温度范围均为 -40~+85 °C。

## 2.5 其他电路

本文方案中设计有 SD 存储卡电路, 用于存储基带数据。SD 存储卡采用 SPI 模式挂载于 GD32F107 微控制器的 SPI3 口上。

本文设计中电源转换电路用于将外部 DC12V 电源转换为 +5 V、+3.3 V (数字)、+3.3 V (模拟)、+1.8 V (数字)、+1.8 V (模拟) 共 5 路电源, 供各电路单元使用。其中 +3.3 V (模拟) 与 +1.8 V (模拟) 专门用于 AD9957 集成芯片模拟电源供电。为保证 AD9957 所产生的射频信号质量, 其模拟电源供电使用单独的低压差线性降压稳压器转换提供。

## 3 软件设计

### 3.1 硬件初始化

硬件初始化主要工作是对 GD32F107 时钟配置进行初始化, 对 DP83848I 进行初始配置, 对 AD9957 进行初始配置。其关键流程描述如下:

1) 修改配置文件中定义的 HSE (外部高速时钟) 与当前使用的时钟频率一致, 本设计中 GD32F107 采用外部 25 MHz 有源晶振:

```
define HSE_VALUE ( (uint32_t) 25000000)
```

2) 在主程序中使能 HSE, 设置 GD32F107 片上外设时钟, 配置中断, 系统时钟配置如下:

选择锁相环 (PLL) 时钟源为 HSE 的一分频, 倍频数为 4, 即锁相环输出频率为 100 MHz;

选择 GD32F107 系统主时钟 SYSCLK 的时钟源为锁相环时钟输出。

3) DP83848I 各寄存器初始配置如下, 工作模式为 100 Mb/s 全双工, 使能自动协商:

```
PHY_BMCR = 0x3100
```

```
PHY_ANAR = 0x01e1
```

```
PHY_ANNPTR = 0x2801
```

```
PHY_PHYCTRL = 0x8021
```

4) AD9957 各寄存器初始基本配置如下, 工作于 QDUC 模式, 主时钟 400 MHz, 使能反 Sinc 滤波器, 输出信号频率 55.8 MHz:

CFR1(地址 0x00)为 0x00400002

CFR2(地址 0x01)为 0x01400000

CFR3(地址 0x02)为 0x1000c150

Profile 0(地址 0x0e)高 32 位为 0x1c91d14e

Profile 0(地址 0x0e)低 32 位为 0x23b645a2

需要说明的是, CFR3 寄存器用于配置 AD9957 的主时钟频率等关键参数。选用低的时钟频率可以提高输出射频模拟信号的频率分辨率及杂散抑制指标, 选用高的时钟频率则可以提高输出射频模拟信号的频率上限。

### 3.2 以太网协议栈设计

本文设计方案中以太网协议栈采用 uIP 协议栈。uIP 是一种适用于小型嵌入式设备通信的 TCP/IP 协议栈, 其采用 C 语言设计, 并开放全部代码。uIP 协议栈精简了标准 TCP/IP 协议栈中不常用的功能, 简化了工作流程, 其设计重点着眼于 IP、TCP 和 ARP 等协议的实现。其硬件处理层、协议栈层和应用层共用一个全局缓存区, 不存在数据的频繁拷贝, 且发送和接收都是依靠该缓存区实现, 实际使用中可极大地节省存储空间和处理时间。uIP 协议栈支持多个主动连接和被动连接并发, 对数据的处理采用轮循机制, 不需要操作系统的支持<sup>[5]</sup>。

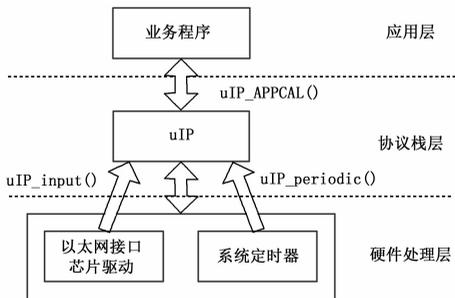


图 3 uIP 体系结构

uIP 协议栈通过接口函数与硬件处理层及应用层业务程序通信, 其体系结构如图 3 所示。uIP 提供 3 个接口函数给底层硬件处理层, 分别是 uip\_input()、uip\_periodic()、uip\_init(), 其中 uip\_input() 用于处理输入包, uip\_periodic() 处理周期计时事件, uip\_init() 用于初始化协议栈侦听端口及关闭所有连接。

主程序需要进行如下初始化操作:

- 1) DP83848I 驱动接口初始化和 uIP 初始化;
- 2) 设置本机 IP 地址、网关 IP 地址、子网掩码。

当 DP83848I 从以太网接收到数据后产生中断, 主程序需从 DP83848I 读取一个 IP 数据包, 并得到数据长度:

```
uip_len = tapdev_read();
然后对前述数据包进行校验并处理:
if(BUF->type == htons(UIP_ETHTYPE_IP))
{
/* 去除以太网帧头结构,更新 ARP 表 */
uip_arp_ipin();
```

```
/* IP 包处理 */
uip_input();
}
```

### 3.3 通信协议

嵌入式激励器需要上位机通过以太网输入控制指令包及基带数据包, 两种数据包的帧结构定义如表 1 所示。

表 1 指令包帧结构

1 Byte	16 Bytes	2 Bytes
类型	指令内容	校验

类型项: 长度 1 字节, 用于指明该数据帧为控制指令。

指令内容项: 长度 16 字节, 用于存储指令内容, 如用于设置工作频率、实现工作模式切换、控制信号产生与停止等功能实现。

校验项: 长度 2 字节, 用于数据校验。基带数据包帧结构如表 2 所示。

表 2 基带数据包帧结构

1 Byte	8 Bytes	4 Bytes	n Bytes	2 Bytes
类型	包参数	数据长	数据	校验

类型项: 长度 1 字节, 用于指明该数据帧为基带数据。

包参数项: 长度 8 字节, 前 4 个字节为数据包总数, 后 4 个字节为当前数据包序号。

数据长项: 长度 4 字节, 用于指明当前数据帧内有效的基带数据字节数。

数据项: 长度为 n 字节, n 即数据长项值, 用于存放基带数据。

校验项: 长度 2 字节, 用于数据校验。

### 3.4 程序流程

系统主程序流程如图 4 所示。系统上电开机后, 先进行初始化操作, 随后在主循环中判断是否有以太网数据包, 如有则判断是控制指令包还是基带数据包并进行进一步处理。如果是控制指令包则解析后根据指令配置相关控制参数, 如果是基带数据包则解包后按包序号顺序对齐后再通过并行数据接口定时写入 AD9957。当前数据包处理完毕后, 程序检查处理 TCP/UDP 连接并更新 ARP 缓冲区, 并等待下一个以太网数据包。

## 4 系统测试

嵌入式激励器网络传输性能决定了数字上变频基带数据的更新速率, 直接影响 AD9957 性能的发挥。使用 QT 编写上位机测试软件, 在专用 100 M Base-Tx 快速以太网环境下, 采用 TCP 与 UDP 两种方式对嵌入式激励器网络传输性能进行了长时间的稳定性测试, 测试数据如表所示。

表 3 传输速率统计表

连接方式	最大稳定传输速率/Mbps
TCP	8.2
UDP	21.5

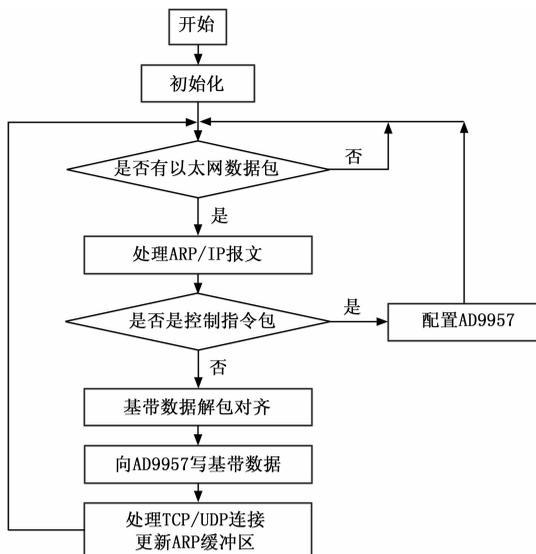


图 4 系统主程序流程图

表 3 中, 最大稳定传输速率指上位机与嵌入式激励器之间所能稳定实现的丢包率小于 0.1% 时的传输速率。测试数据表明, 在 TCP 方式下基带数据最高更新速率可达到 8.2 Mbps, 在 UDP 方式下基带数据最高更新速率可达到 21.5 Mbps。实际应用时为保证基带数据的更新速率, 采用了 UDP 方式向嵌入式激励器传输基带数据。

本文设计中, 为避免因基带数据包丢失影响最终产生的射频信号质量, 在上位机与嵌入式激励器通信协议中引入了完善的应答机制。对于上位机向嵌入式激励器发送的以太网数据包, 嵌入式激励器在收到后都要予以回应, 如果上位机在发送完一个数据包后超过一定时间内未收到嵌入式激励器发回的应答包, 则进行重发操作, 如果重发 3 次仍未收到应答包则自动中断当前任务。嵌入式激励器在工作于 QDUC 模式下时, 如果在一定时间内未收到下一帧基带数据包, 则中止当前工作任务, 自动中断射频信号的产生, 避免损坏后级功放或发射机等设备, 并在 VFD 显示屏显示出错信息。

实测嵌入式激励器可产生 DC~400 MHz 射频模拟信号。需要注意的是其所能产生的射频模拟信号频率上限与 AD9957 主时钟配置有关, 当需要产生较高频率射频模拟信号时, AD9957

的 CFR3 寄存器配置值必须根据其数据手册确定。

采用上位机控制嵌入式激励器工作于 QDUC 模式, 工作频率 5.0 MHz, 通过以太网提供一组脉冲线性调频基带数据, 产生的射频信号频域波形如图 5 所示。

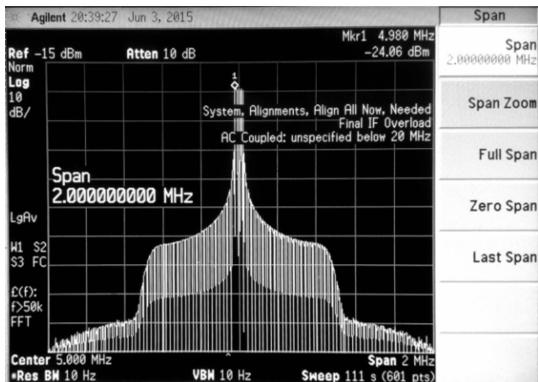


图 5 脉冲线性调频信号实测频谱图

### 5 结语

本文以 GD32F107 微控制器与数字上变频器 AD9957 为核心, 采用成熟的快速以太网技术实现了嵌入式激励器的设计, 该激励器具有成本低、结构简单、开发难度低等特点, 便于实现设备的小型化、便携化设计。测试数据表明, 该设备可根据上位机提供的基带数据产生任意波形射频信号, 性能较高、频率范围宽、灵活度高, 可组网使用, 满足工程需求。

#### 参考文献:

[1] 宋思盛. 基于 PCI 总线的通用雷达信号源设计 [J]. 雷达与对抗, 2004, 1: 33-38.  
 [2] GD32F107xx ARM Cortex-M3 32-bit MCU Datasheet [Z]. GigaDevice Semiconductor Inc. 2013.  
 [3] 基于 AD9957 的伪卫星脉冲调制技术研究 [J]. 无线电通信技术, 2008, 34 (6): 21-24.  
 [4] SNLS266E - DP83848C/I/VYB/YB PHYTER QFP Single Port 10/100 Mb/s Ethernet Physical Layer Transceiver Datasheet [Z]. Texas Instruments Incorporated. 2015.  
 [5] 孟松. 基于嵌入式系统的 TCP/IP 协议栈的实现 [J]. 无线电通信技术, 2007, 33 (4): 8-10.

(上接第 177 页)

#### 参考文献:

[1] 宋小倩, 周东升. 基于 Android 平台的应用开发研究 [J]. 软件导刊, 2011, 10 (2): 104-105.  
 [2] 陈望挺, 林满足. 基于 JSP 和 Android 的 C/S 结构问卷系统 [J]. 计算机应用, 2013, 33 (3): 886-889.  
 [3] 耿东久, 索岳. 基于 Android 手机的远程访问和控制系统 [J]. 计算机应用, 2011 (2): 559-561.  
 [4] 潘永高, 钟亦平. 基于网管的 J2ME Jabber 系统研究 [J]. 计算机工程, 2005, 31 (19): 108-110.

[5] Yuan M J. J2ME 移动应用程序开发 [M]. 梁超, 王延华, 译. 北京: 清华大学出版社, 2004.  
 [6] 李兴华. 名师讲坛: Android 开发实战经典 [M]. 北京: 清华大学出版社, 2011.  
 [7] 张涛, 黄强. 一个基于 JSON 的对象序列化算法 [J]. 计算机工程与应用, 2007, 43 (15): 98-100.  
 [8] 郭宏志. Android 应用开发详解 [M]. 北京: 电子工业出版社, 2011.  
 [9] 黄艺锋, 闫巧. 基于 Android 平台电子词典的设计与实现 [J]. 计算机应用, 2011 (S2): 228-232.