

基于 USB3.0 和 FPGA 的传动误差检测系统的设计

张 静, 彭东林, 郑 永

(重庆理工大学 机械检测技术与装备教育部工程研究中心 时栅传感及先进检测技术重庆市重点实验室,
重庆 400054)

摘要: 为提高机床传动误差检测的速度、实时性以及精度, 同时为优化硬件电路的结构, 并保证采样数据毫无损失地传至上位机系统, 提出了一种高速实时检测方案; 通过脉冲插补的思想, 提出一种传动误差检测的方法; 另外在一块高性能 FPGA 芯片内部搭建数据预处理以及控制模块, 利用 USB3.0 芯片作传输媒介, 有效地减少了该系统外围电路复杂程度, 降低了开发难度; 并对该系统进行模拟仿真试验; 试验结果表明: 根据设定的误差曲线换算后的数据, 通过另一个 FPGA 发送至该系统, 处理后得到的数据不需要经过后期补偿, 其误差曲线很好地归零并形成一条闭合曲线, 而低速端转速误差曲线也正确反映了仿真实验的情况; 实验结果表明该系统实现了高速实时检测, 为机床传动误差检测提供了技术上的支持。

关键词: 传动误差检测; USB3.0; FPGA; 高速实时检测

Design of Transmission Error Testing System Based on USB3.0 and FPGA

Zhang Jing, Peng Donglin, Zheng Yong

(Ministerial Engineering Research Center of Mechanical Testing Technology and Equipment,
Chongqing Key Laboratory of Time-Grating Sensing and Advanced Testing Technology
Chongqing University of Technology, Chongqing 400054, China)

Abstract: In order to improve the transmission error testing speed as well as the real-time testing and precision, mean while, to optimize the structure of hardware circuit and to ensure that the datas sampled to translate to PC with no lossing, a method of high-speed and real-time testing has been developed. In addition, a method of transmission error testing been put forward based on a thought of pulse interpolation. By building a part of data preprocessing and a control module in a high-performance FPGA chip while a USB3.0 chip serves as the transmission medium. The system reduced the complexity of the external circuit effectively and the developing difficulty. The result of a simulation experiment shows that a FPGA is used to translate the datas caculated from the designed error curve to the system, after that, the processed datas needn't to be post compensated and the error curve would back to zero again, while the curve reflects the situation of simulation experiment in the low-speed part. It shows that the system realizes the high-speed and real-time testing, and provides the technical support for transmission error testing in the future.

Keywords: transmission error testing; USB3.0; FPGA; high speed and real time testing

0 引言

齿轮传动误差是衡量机械装备动态工况好坏的主要因素之一, 并且被认作是体现齿轮工况优劣的指标之一^[1]。传动误差的存在使得均匀的输入变为不均匀的输出运动, 可能超前, 也可能滞后, 从而给精密传动链的传动造成功能误差。另外, 传动误差由于引起加速度特性而直接影响到高速系统的动态特性^[2]。由此可知, 传动误差的大小, 是衡量传动系统动态特性好坏的重要标志^[3]。滚齿机是具有恒定传动比要求的齿轮加工设备, 由于组成其传动链各传动件的制造和安装误差、固有频率及动态特性的影响, 不可避免地存在着传动误差^[4]。但是传统检测设备无法完成高速测量, 对于高速运行的滚齿机就很难

得到实时数据, 甚至不能完成测量。那么通过设计出一套能够高速实时地检测传动误差的装置就成了精化滚齿机的有效手段之一。

1 系统设计方案

对高速运行的设备来说, 采集数据的实时性和准确性反应了检测结果的正确程度, 即使再好的算法也不能弥补丢数或数据不正确带来的问题, 故提高数据传输速度便成为一个亟待解决的问题。本设计中高速端安装的增量式光栅传感器与低速端安装的绝对式时栅位移传感器, 经过信号处理后用脉冲计数比较方式而不是比相方式拾取误差信息, 避免了同频信号比相引起的分频和相位翻转问题^[5], 有效地解决了无理数传动比在传统测量领域中无法测量的问题。然后通过 USB3.0 硬件电路实现高速实时数据采集并发送至 PC 进行处理, 并且在原有传动误差检测系统的基础上进行了简化, 使其复杂程度有了明显的降低。系统总体设计如图 1 所示。

2 数据采集原理

2.1 数据采集

如图 2 所示, 本设计中, 低速端采用绝对式时栅位移传感

收稿日期: 2015-08-12; 修回日期: 2015-09-21。

基金项目: 重庆市教委科学技术研究项目 (KJ1400939); 重庆市基础与前沿研究计划项目 (cstc2015jcyjA70013)。

作者简介: 张 静(1985-), 男, 重庆人, 硕士研究生, 主要从事智能检测及传感器技术方向的研究。

彭东林(1952-), 男, 重庆人, 教授, 博士研究生导师, 主要从事机电一体化方向的研究。

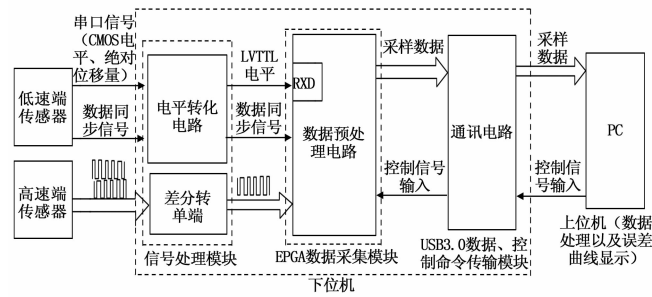


图 1 传动误差检测系统原理图

器, 高速端采用增量式光栅传感器。由于绝对式时栅位移传感器为等时间采样, 以数据同步信号 T_L 为采样周期 (2.5 ms) 发送的位移量, 而光栅是每过一道栅线发出一个代表位移的脉冲, 脉冲当量为 P 。这两种传感器在数据产生方式上的不同就造成了对传动误差数据的采集和处理较以往的不同, 同时按照低速端分频后的时间间隔将数据发送至上位机。

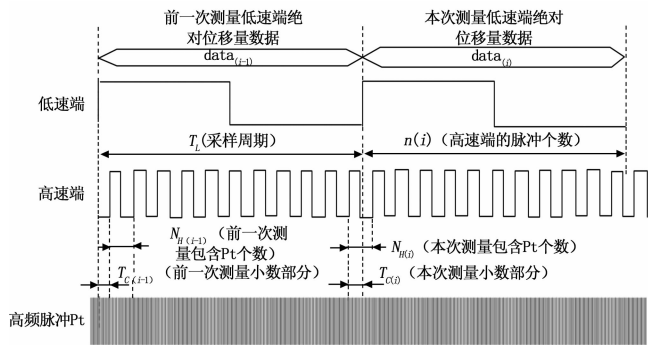


图 2 传动误差数据同步采样原理

2.2 传动比误差数据处理

一个低速端采样周期内高速端的脉冲个数为 n_i , 记为整数部分。用高频脉冲 Pt 插补两信号边沿部分之间, 所得 Pt 个数为 $T_{C(i-1)}$ 和 $T_{C(i)}$ 记为小数部分。 $data_{(i-1)}$ 为前一次测量低速端位移量, $data_{(i)}$ 为本次测量低速端位移量。 $\frac{T_{C(i-1)}}{N_{H(i-1)}} \times P$ 、 $\frac{T_{C(i)}}{N_{H(i)}} \times P$ 为高频时钟 Pt 插补前后两次边沿所表示的位移量。

低速端位移变化量:

$$\Delta\theta_L = data_{(i)} - data_{(i-1)} \text{ (aresec)} \quad (1)$$

高速端位移变化量:

$$\Delta\theta_H = (n_{(i)} - \frac{T_{C(i-1)}}{N_{H(i-1)}} + \frac{T_{C(i)}}{N_{H(i)}}) \times P \text{ (aresec)} \quad (2)$$

所得实际传动比记为:

$$\Gamma = \frac{(n_{(i)} - \frac{T_{C(i-1)}}{N_{H(i-1)}} + \frac{T_{C(i)}}{N_{H(i)}}) \times P}{data_{(i)} - data_{(i-1)}} \quad (3)$$

然后与理论传动比比较, 可得传动比误差:

$$TE = \Gamma - I \quad (4)$$

2.3 单端转速误差数据处理

2.3.1 高速端转速误差测量

由于是以低速端作为参考, 即每经过低速端数据同步信号

周期 T_L (2.5 ms) 就对高速端脉冲进行一次计数, 从而得到一个采样周期内高速端脉冲个数 n_i , 设实际转速为 V_H' , 则:

$$V_H' = \frac{n_i \times P}{2.5} \text{ (aresec/ms)} \quad (5)$$

$$V_H' = \frac{n_i \times P}{2.5 \times 1296 \times 6} \text{ (rad/min)} \quad (6)$$

高速端转速误差就等于实际转速与理论转速之差:

$$E_{VH} = V_H' - V_H \quad (7)$$

2.3.2 低速端转速误差测量

安装在低速端的时栅位移传感器是等时间采样, 在该采样周期内的角位移变化量为

$$\Delta\theta_L = data_{(i)} - data_{(i-1)} \quad (8)$$

在一个采样周期内所经过的时间:

$$\Delta t = 2.5 \text{ ms}$$

$$V_L' = \frac{\Delta\theta}{\Delta t} \quad (9)$$

$$V_L' = \frac{data_{(i)} - data_{(i-1)}}{2.5} \text{ (aresec/ms)} \quad (10)$$

$$V_L' = \frac{data_{(i)} - data_{(i-1)}}{2.5 \times 1296 \times 6} \text{ (rad/min)} \quad (11)$$

低速端转速误差就等于实际转速值与理论转速值之差:

$$E_{VL} = V_L' - V_L \quad (12)$$

3 信号处理电路设计

3.1 低速端信号处理电路设计

通过建立带时间考查点的相对运动双坐标系, 把一个坐标系上的绝对空间位移的测量转换成另一个坐标系上的相对时间差测量^[6], 该理论被称为“时空转换理论”, 即以时间为测量的基准单位, 提高了空间位移测量的分辨率与精度。由该理论建立的“以时间量测量空间量”原理称为时栅原理^[7-9], 基于该原理所研制的时栅位移传感器, 其输出量为 RS232 信号、CMOS 电平。该信号包含着每次测量周期内的位移量。在信号处理电路中, 将 CMOS 电平通过串口转换电路转化成 LVTTL 电平, 然后 FPGA 串口接收。同时将数据同步信号经过 3.3 V 的反相器后引入 FPGA 进行处理。

3.2 高速端信号处理电路设计

增量式光栅传感器的增量信号以相位差 90 度的方波脉冲信号 U_{a1} 和 U_{a2} 进行传输。内置电子电路还生成其反相信号 $\overline{U_{a1}}$ 、 $\overline{U_{a2}}$, 实现无噪声信号传输如图 3 所示。

4 USB3.0 硬件电路开发

4.1 USB3.0 背景

现代工业生产和科学技术研究中对信息获取的实时性、可靠性越来越重要, 比如实时信号采集、信息反馈、图像处理、高精度测量领域等都需要高速信息获取。USB 称为通用串行总线, 英文名为“Universal Serial Bus”, 它是由 Intel、Compaq、IBM、Microsoft 等公司于 1994 年联合制定, 由他们开发出来的 USB1.1、USB2.0 已得到了广泛的使用, 今后 USB3.0 的普及也是大势所趋。它在传输速度上较前两者更加快速、准确, 非常有利于进行高速测量、实时采集数据。

该系统下位机通信部件所使用的 USB3.0 芯片是由 Cypress 公司开发的 EZ-USB FX 3.0 系列 USB3014。EZ-USB

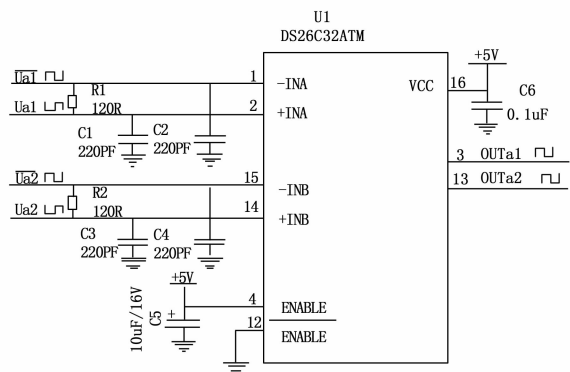


图 3 光栅信号处理电路

FX 3.0 具有可配置、并行和通用可编程接口 GPIF II, 能和任何处理器 ASIC 或 FPGA 连接, 也可以和异步 SRAM、异步和同步地址数据复用以及并行 ATA 无缝连接。它还集成了 USB3.0 和 USB2.0 的物理层 (PHYs) 并与 32 位 ARM926EJ-S 微处理器一同作用提供强大的数据处理能力以及能够开发客户应用程序。它为从 GPIF II 到 USB 接口之间的数据传输创造了一种灵活巧妙的方式, 使得速度达到 320 MBps 之多。EZ-USB FX 3.0 包含了 512 kB 片上 SRAM, 专为编写代码和存储数据而定制。同时它也提供了与 UART、SPI、I²C 以及 I²S 通信的接口。

4.2 USB3.0 的总体设计

USB 系统由主机、设备、物理连接三部分组成。其中主机可以是 PC 或者 OTG, 并且一个 USB 设备只能有一个主机。设备包括 HUB 和功能设备。物理连接是指的 USB 传输数据线, 在 USB3.0 系统中, 使用的是被屏蔽的双绞线。

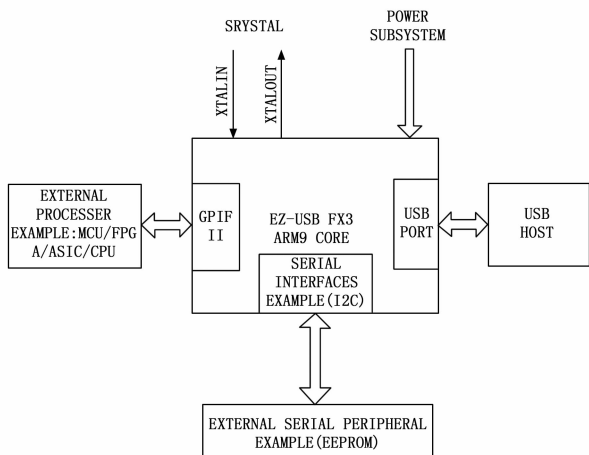


图 4 USB3.0 结构简图

USB3.0 的开发其实就是对 EZ-USB FX3 的固件进行设计。固件设计也就是对内部的 ARM 芯片各种寄存器进行配置的过程。虽然 FX3 芯片能够处理 USB3.0 通信中的大部分事务, 但上电复位后对整个芯片的初始化、对设备重新枚举、对中断的响应并作相应处理、对数据的接收与发送、外围电路的控制依然需要。Cypress 公司提供的固件程序是由 C 语言编写, 可以在 Eclipse 中进行编译和调试。FX3 的固件设计包括对 GPIF II 开发和 DMA 通道开发, 由于其开发不需要太关注

底层硬件设置, 而只需调用库函数, 使得开发难度降低。

4.2.1 GPIF II 开发

GPIFII 接口在 USB3.0 传输数据的过程中起着举足轻重的作用, FX3 与外设进行数据交换都是通过他进行实现的。该接口可以与任何处理器、ASIC、DSP 以及 FPGA 等实现无缝连接。他在 100 MHz 的工作频率下, 最高可达 400 Mbyte/s 的传输速度。该接口可配置为主机模式或从机模式, 数据总线可在 8 位、16 位、32 位之间选择^[10]。

设计所采用的是将 GPIF II 配置为 16 位 SLAVE FIFO 方式。如图 5 所示。

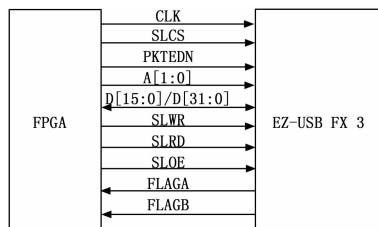


图 5 SLAVE FIFO 接口示意图

其中: SLCS、SLWR、SLRD、SLOE 分别为从设备 FIFO 接口芯片的选通信号、写入信号、读取信号、输出使能信号, 这些信号必须激活后才能执行操作。FLAGA/FLAGB 为 FX3 的标志输出, 用来判断 FIFO 是否满或空。A [1: 0] 为从设备 FIFO 接口的 2 位地址总线。D [15: 0] /D [31:] 为从设备 FIFO 的 16 位或 32 位数据总线。PKTEND 使能后将短数据包或零长度包写入设备 FIFO。PCLK 为从设备 FIFO 接口时钟, 接口上的地址信号 A0: A1 表示要访问的线程^[11]。

4.2.2 DMA 通道开发

处于芯片内部的 FX3 分布着一系列的 DMA 通道, 这些通道用于跟外设的接口进行数据传输。DMA 通道是一种软件结构, 该结构封装了套接字、缓冲区和描述符 3 种硬件元素。如图 6 所示。

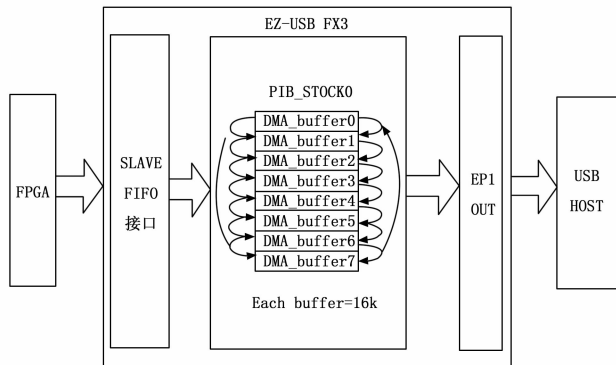


图 6 DMA 传输简图

DMA 通道模式分为两种: 一种是手动 DMA 模式, 另一种是自动 DMA 模式^[12]。手动 DMA 模式在数据传输时需要 CPU 的干预, 但可以通过该方式监视或修改数据流, 但这样会使数据传输速度降低, 达不到预期的高速采集的效果, 更甚者会造成数据丢失。而自动 DMA 模式在通道建立起来并且系统开始运行时, 数据流就不会受到固件干预, 传输数据将通过自动数据通道。所以设计中采用的是自动 DMA 模式传输数

据。通过上述方法的设置, USB3.0 模块已经可以实现高速传输数据, 速度为 147 M/S 左右。

5 FPGA 硬件电路设计

FPGA (field programmable gate array) 现场可编程门阵列是新一代可编程 ASIC 器件, 自 1985 年由 Xilinx 公司发明以来发展迅速^[11]。随着电子工艺不断完善, 低成本、低价格、高性能的 FPGA 器件将不断出现使得为改进该系统在技术层面提供了可能。

设计中数据预处理系统采用的是 ALTERA 公司的 Cyclone IV 系列的 EP4CE30F23C8 芯片。数据预处理模块是将低速端经过处理后的信号与高速端的信号进行运算, 合并成数据包, 然后通过 USB3.0 发送至上位机中进行后期处理。在预处理模块中, 将传动误差检测系统的低速端分频数设定和工作方式字, 通过该命令进行工作方式选择, 工作方式有传动比误差模式检测和单端转速误差检测模式两种。FLREDIV 为低速端分频后的频率, 采集后的数据按照该频率发送至上位机。

图 7 中 TG-IN 信号表示绝对式时栅位移传感器的位移量, TG 表示数据同步信号, H-IN 表示高速端位移信号。Lowsfrediv 和 MOD 分别为来自上位机的低速端分频数以及工作方式字, 通过该命令进行工作方式选择, 工作方式有传动比误差模式检测和单端转速误差检测模式两种。FLREDIV 为低速端分频后的频率, 采集后的数据按照该频率发送至上位机。

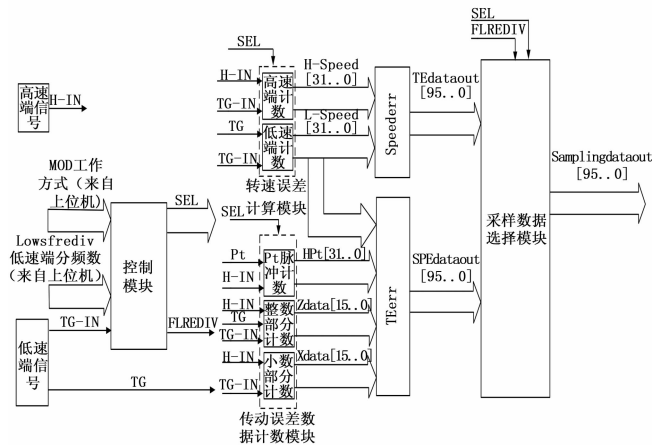


图 7 FPGA 中数据预处理模块

6 仿真与实验

6.1 传动误差仿真

设计了一个仿真实验来进行验证。通过一个 FPGA 模拟光栅和时栅信号作为信号发生器, 然后利用另一个 FPGA 所设计的传动误差检测系统进行验证。光栅输出信号为一方波, 设光栅刻线数为 3600 线、高速端频率为 6 kHz 恒定、理论传动比为 1: 50。低速端按照每 2.5 ms 发送一绝对位移量, 由于滚齿机在运行过程中传动误差的存在, 仿真中所引入的低速端信号是变化的。

假设在整周范围内采样点数为 12 000 点, 误差差值为 $\pm 0.005^\circ$, 从 0 到 3 999 点 (0° 到 119°) 误差为线性递增趋势, 从采样点 4 000 到 7 999 点 (120° 到 239°) 误差是一恒定值, 而从 8 000 到 12 000 点 (240° 到 360°) 处, 误差为线性

递减趋势, 且整周误差和为零, 误差曲线如图 8 所示。

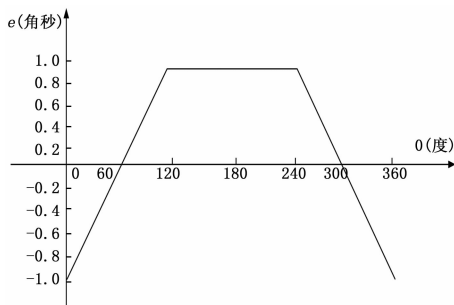


图 8 传动误差曲线

按照此设想, 将每点误差值换算后所得的角位移值作为实际角位移值, 通过 FPGA 每 2.5 ms 发送角位移数据作为低速端仿真数据。按照公式 (3) 所得误差曲线如图 9 所示。

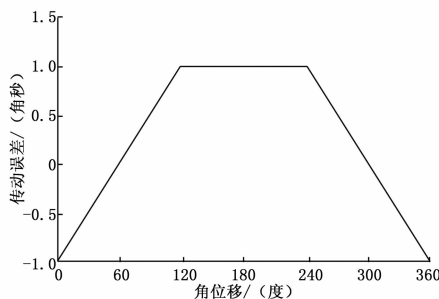


图 9 一周内仿真的传动误差曲线

6.2 单端转速误差仿真

按照仿真中误差曲线中的值, 可得到实际传动比 I 。通过计算可得到低速端各采样点的角位移值, 根据式 (11) 可得到低速端转速, 然后根据式 (12) 可得单端转速误差。低速端转速误差曲线如图 10 所示。通过图 9 得知误差曲线一周很好地回到零点, 成为一条封闭的曲线, 并且无需进行后期补偿校正等处理, 真正做到了实时高速采集数据。可以判断该系统稳定可靠, 能够用来进行传动误差以及转速误差检测。

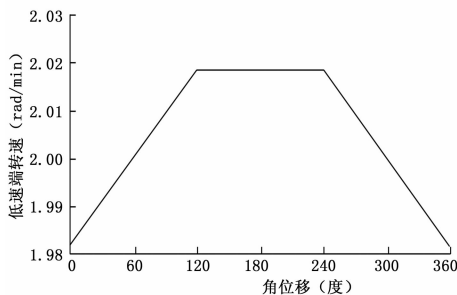


图 10 低速端仿真的速度误差曲线

7 结束语

通过对 FPGA 和 USB3.0 在传动误差检测系统上的应用的介绍与仿真实验, 可以得出如下结论:

- 1) 利用简化控制模块的手段, 使得一块 FPGA 就可以实现采集、控制功能。有效地降低了该传动误差检测系统的成本以及外围电路复杂程度、功耗、发热量和干扰, 提高了可靠性。

(下转第 327 页)