

## 一种可编程全数字锁相环的设计与实现

李风华, 刘丹丹, 单长虹

(南华大学 电气工程学院, 湖南 衡阳 421001)

**摘要:** 针对传统的全数字锁相环电路参数不可调、锁相速度慢及锁相范围窄的缺点, 提出了一种可编程全数字锁相环。采用电子设计自动化技术完成了该系统设计, 并对所设计的电路进行了计算机仿真与分析, 最后, 采用 FPGA 予以硬件电路的实现; 系统仿真与硬件实验证明, 该锁相环中数字滤波器和数控振荡器的参数可以自主设定, 改变数字滤波器的参数可加快锁相速度, 改变数控振荡器的参数可扩大锁相范围; 该锁相环具有锁相速度快、锁相范围宽、电路结构简单、参数设计灵活和易于集成等优点, 可适用于许多不同用途的领域。

**关键词:** 全数字锁相环; 电子设计自动化; 计算机仿真; 可编程

## Design and Implementation of a Programmable ADPLL

Li Fenghua, Liu Dandan, Shan Changhong

(College of Electrical Engineering, University of South China, Hengyang 421001, China)

**Abstract:** To avoid the shortcomings of traditional all digital phase-locked loop (ADPLL) on circuit parameters adjustment, low lock speed and narrow lock range, a programmable DPLL is proposed. The system design is completed by using electronic design automation (EDA) technology, while simulation and analysis of the DPLL circuit are carried through computer aided technology, and finally, the system is implemented on a FPGA hardware platform. System simulation and hardware test results verify that parameters of the digital filter and controlled oscillator of the system can be adjusted through programming, i. e. changing parameters of the digital filter leads to raising the lock speed, while changing that of the digital oscillator gives rise to broadening the lock range. The phase-locked loop is characteristic of its high lock-speed, wide lock range, simple circuit structure, flexible parameters design, and easy system integration, etc., and also it can be applied to many different areas.

**Keywords:** all digital phase-locked loop (ADPLL); electronic design automation (EDA); computer aided simulation; programmable

## 0 引言

锁相环路已在模拟和数字通信等各个方面得到了较为广泛的应用, 比如其同步特性就保证了通信中系统的稳定性<sup>[1]</sup>。随着集成电路的发展, 部分模拟锁相环也渐渐被数字锁相环取代<sup>[2]</sup>。与模拟锁相环相比, 数字锁相环易于集成、可靠性高、设计方便、价格低廉, 并且有很强的通用性, 克服了模拟锁相环中对温度敏感、直流零点漂移、抗干扰性能差和无法嵌入 SOC 构成片内锁相环系统等缺点<sup>[3-4]</sup>。但现有的一些全数字锁相环的锁相范围窄、用途单一、通用性不强。且设计方案复杂, 修改电路参数不易。对于用于不同用途的锁相环而言, 需要重新进行电路系统的设计, 若要满足锁相系统的锁相速度和锁相范围等方面的性能指标要求, 整个设计过程就比较复杂<sup>[5-6]</sup>。

本文提出了一种可编程的全数字锁相环,

介绍了它的系统结构、工作原理及各分模块的设计方案。利用 Quartus II 软件工具对电路系统进行了仿真验证, 并根据仿真结果对电路参数的变化对锁相系统的影响进行了分析。最后, 给出了基于 FPGA 芯片实现的系统硬件测试结果<sup>[7]</sup>。

## 1 可编程全数字锁相环的工作原理

可编程全数字锁相环主要由双 D 触发器型数字鉴相器、

收稿日期: 2015-07-20; 修回日期: 2015-08-25。

基金项目: 湖南省教育厅重点项目资助(14A119)。

作者简介: 李风华(1990-), 女, 河南商丘人, 硕士研究生, 主要从事电路集成与系统设计方向的研究。

单长虹(1957-), 男, 湖南衡阳人, 教授, 硕士研究生导师, 主要从事电路集成与系统设计方向的研究。

可变模可逆计数器、加扣脉冲控制电路和可调 N 分频器构成<sup>[8-10]</sup>。其结构框图如图 1 所示。

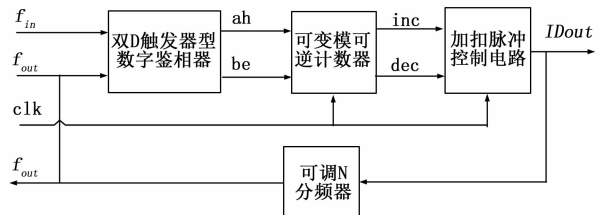


图 1 可编程全数字锁相环的结构框图

双 D 触发器型数字鉴相器通过检测输入信号  $f_{in}$  和输出信号  $f_{out}$  的上升沿, 输出检测到的相位超前信号 ah 或滞后信号 be 及相位误差信号。相位超前信号 ah 为高电平时, 可逆计数器进行加计数, 当加计数值达到可逆计数器预设的模值  $m$  后, 环路滤波器输出对应的加脉冲控制信号 inc; 相位滞后信号 be 为高电平时, 可逆计数器进行减计数, 当减计数值达到预设模值  $m$  后, 环路滤波器输出减脉冲控制信号 dec。加扣脉冲控制电路根据环路滤波器输出的脉冲加、减控制信号, 通过加上或减去一个系统时钟周期去调整输出信号的相位。可调 N 分频器对加扣脉冲控制电路调整后的输出信号 IDout 进行分频, 并将其输出信号  $f_{out}$  送入数字鉴相器进行下一周期的比较, 最终实现环路的锁定。

在该全数字锁相环系统中, 数字滤波器和分频器的参数是可编程的。调节可变模可逆计数器中的模值  $m$ , 可使输出加扣脉冲控制信号的频率升高, 进而加快相位的调整, 提高了锁相速度。改变分频系数  $N$ , 使得环路中心频率可调, 可实现对不同

频率的输入信号进行锁定。

## 2 各模块的设计与仿真

### 2.1 双 D 触发器型数字鉴相器

双 D 触发器型数字鉴相器采用 VHDL 语言进行编程设计，通过检测输入与输出信号的上升沿，判断出误差相位极性，并生成反映输入与输出信号之间相位超前或滞后的相差信号，其 RTL 级电路图如图 2 所示。图 3、图 4 为鉴相器的功能仿真波形图。

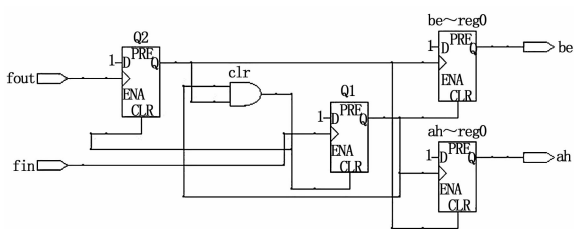


图 2 双 D 触发器数字鉴相器的 RTL 级电路图

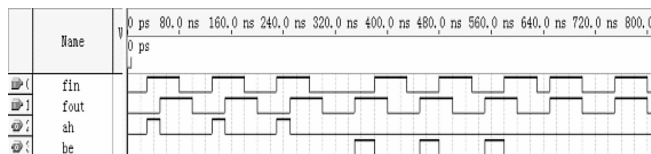


图 3 输入与输出信号频率相同、相位不同时的波形图

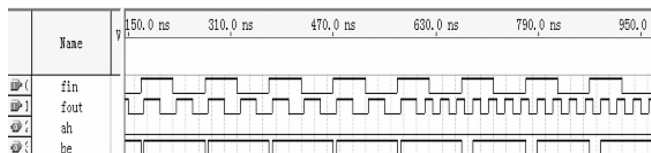


图 4 输入与输出信号频率不相同时的波形图

由图 4 可知，双 D 触发器型数字鉴相器不仅具有鉴相功能，而且也有鉴频功能。这是其它类型的数字鉴相器所没有的优点。

### 2.2 可变模数字滤波器

数字滤波器是由一个可变模可逆计数器构成，采用 VHDL 语言进行编程设计。其计数方向的控制信号来自鉴相器的输出信号。其 RTL 级电路图如图 5 所示。

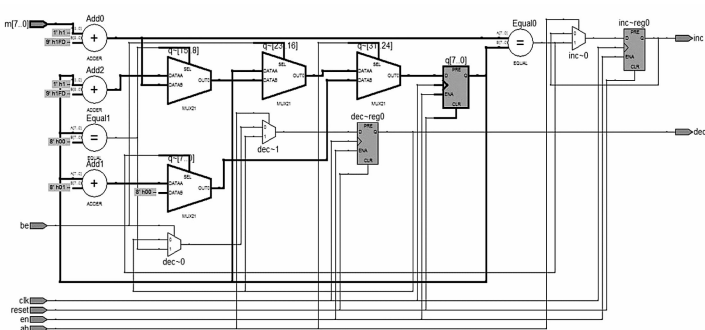


图 5 变模数字滤波器的 RTL 级电路图

数字滤波器的仿真波形如图 6 所示。不同的模值  $m$  表示数字滤波器中计数器的不同的计数深度， $m$  的取值影响着锁相环路的锁相速度。当输入信号与输出信号的相位误差较大时，如果  $m$  取较大值，可逆计数器的计数周期就较长，其输出加减脉冲信号的频率就较低，锁定速度就比较慢；相反，若  $m$

取值较小时，可逆计数器的计数周期就较短，输出加减脉冲的频率就会较高，锁相速度就会加快。因此，可逆计数器模值的选择对于改善锁相系统的性能至关重要。由数字滤波器仿真波形图可以看出，当可逆计数器的模值分别为 2、4、8、16、32 时，输出信号 inc 或 dec 的频率逐渐减小。由此可见，本设计方案可实现数字滤波器的参数可调，改变滤波器输出控制信号的频率。

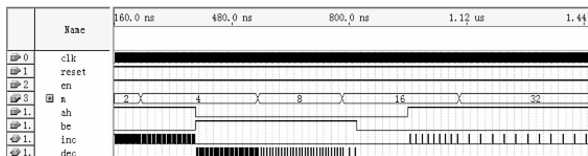


图 6 变模数字滤波器的波形仿真图

### 2.3 加扣脉冲控制电路

加扣脉冲控制电路也是采用 VHDL 语言进行编程设计。数字滤波器输出的进位和借位脉冲信号作为加扣脉冲电路的控制信号，IDout 为其输出信号。当进位信号 inc 为高电平时，系统会在加扣脉冲电路输出信号的下一个周期加上一个时钟脉冲，使得输出信号的相位提前；当借位信号 dec 为高电平时，系统会在加扣脉冲电路输出信号的下一个周期减去一个时钟脉冲，使得输出信号的相位延后；当 inc 与 dec 都为低电平时，该电路只对系统时钟信号进行二分频。其仿真波形如图 7 所示。

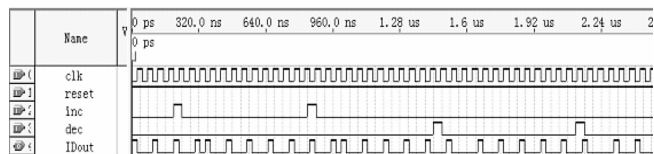


图 7 加扣脉冲控制振荡器的波形仿真图

### 2.4 可调 N 分频器

系统时钟的二分频信号经由加扣脉冲控制器调节之后的输出信号 IDout，作为可调  $N$  分频器的时钟输入信号。根据输入信号的频率变化，选择合适的分频值送入分频器，就可改变环路的中心频率，从而扩展系统的锁频范围。由于分频器的分频值  $N$  可调，设计者可以根据被锁信号频率的差异来选择相应的分频值，实现对不同频率信号的锁定。

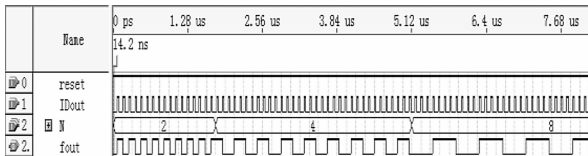


图 8 N 分频器的波形仿真图

## 3 整体设计与仿真

系统的整体设计采用自顶而下的设计方法，首先，用 VHDL 语言对各模块进行编程设计，在完成各模块的设计之后，再将各模块连接起来进行系统设计。该全数字锁相系统的顶层电路结构如图 9 所示。其中 PD 模块为数字鉴相器，bknjs 模块为可变模可逆计数器，ID 模块为加扣脉冲电路 ID，divN 模块为可调分频器。

系统时钟的频率取 20 MHz，输入信号分别取 2.5 MHz 和 100 kHz 时，对该锁相系统进行整体仿真。其中 clk 为系统

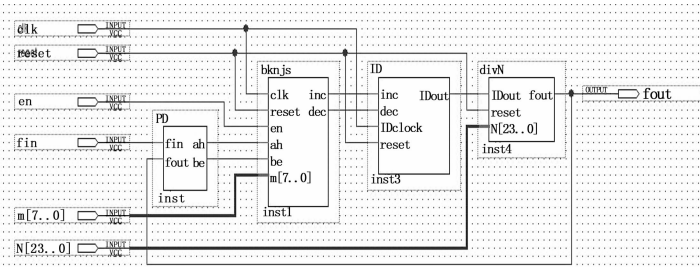


图 9 可编程全数字锁相环的顶层电路图

时钟信号, reset 为复位信号, en 为使能信号,  $f_{in}$  和  $f_{out}$  分别为系统的输入输出信号,  $m$  为环路滤波器中可逆计数器的模值,  $N$  为可调分频器的分频系数。

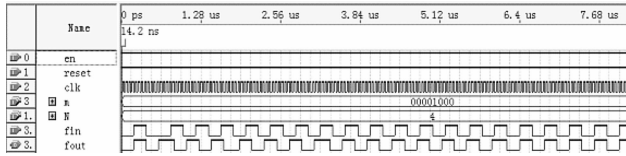


图 10  $f_{in} = 2.5 \text{ MHz}$ ,  $m = 2^3$ ,  $N = 4$  时的波形仿真图

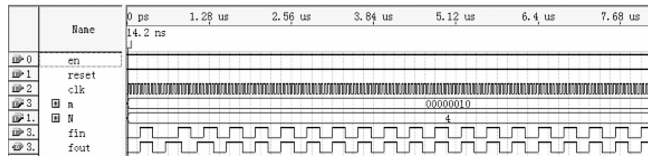


图 11  $f_{in} = 2.5 \text{ MHz}$ ,  $m = 2$ ,  $N = 4$  时的波形仿真图

图 10 和图 11 中输入信号频率为 2.5 MHz, 分频值  $N$  取 4, 数字滤波器的模值  $m$  分别取  $2^3$  和 2。由图 10 中可见, 当输入信号相位发生跳变时, 锁相环需要 14 个输入信号的周期实现锁定。由图 11 中可见, 当输入信号的相位发生跳变时, 锁相环只需 3 个周期就能锁定。比较图 10 和图 11 的仿真结果可知, 减小数字滤波器的模值可以加快锁相速度, 改善系统的性能。

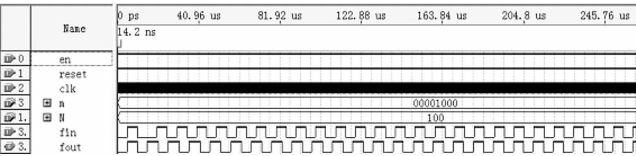


图 12  $f_{in} = 100 \text{ kHz}$ ,  $m = 2^3$ ,  $N = 100$  时的波形图

图 12 中输入信号频率为 100 kHz, 数字滤波器模值  $m$  取  $2^3$ , 分频值取 100。由该系统仿真结果可知, 调节分频器的分频系数, 能够改变系统的中心频率, 从而可扩展系统的锁频范围。

### 4 硬件测试结果

采用 EP1C6Q240C8 芯片对系统进行硬件电路的验证, 其中系统的时钟频率为 20 MHz。图 13 为输入信号频率为 2.5 MHz, 数字滤波器模值为  $2^3$ , 分频值为 4 时的硬件测试结果。图 14 为输入信号频率为 100 kHz, 数字滤波器模值为  $2^3$ , 分频值为 100 时的硬件测试结果。

以上硬件测试结果表明, 当被锁输入信号的频率不同时, 可选择不同的分频值  $N$  和合适的数字滤波器参数, 该环路系统都能实现相位和频率的跟踪锁定。该系统的硬件测试与系统

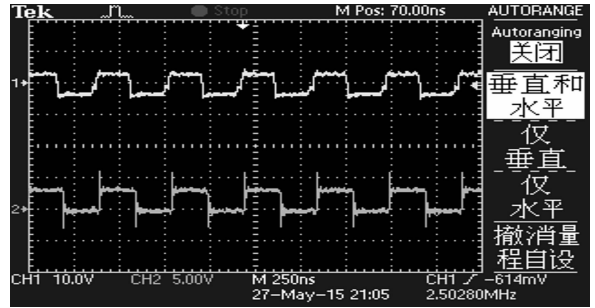


图 13  $f_{in} = 2.5 \text{ MHz}$  时的硬件测试波形图

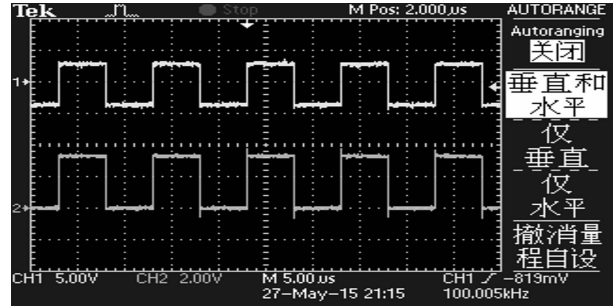


图 14  $f_{in} = 100 \text{ kHz}$  时的硬件测试波形图

仿真结果是一致的, 都证实了该设计方案是正确与可行的。

### 5 结束语

采用 EDA 技术完成了可编程全数字锁相环的系统设计。该锁相系统中数字滤波器的参数可调, 当输入信号频率为 2.5 MHz 时, 若选择  $m = 2^3, N = 4$ , 锁相环需要 14 个输入信号的周期实现锁定; 而若选择  $m = 2, N = 4$ , 锁相环可在输入信号的 3 个周期内就能锁定。同时, 数控振荡器中分频器的系数可调, 若分别选择分频系数  $N$  为 100 或 4 时, 锁相环的锁相频率分别为 100 kHz 和 2.5 MHz。该锁相环路具有锁相速度快、锁相范围宽、电路结构简单和易于集成等优点。同时, 系统参数设计灵活、方便, 可以根据不同的锁相范围和用途, 选择相应的设计参数, 以实现锁相环在不同的频率范围内快速锁定。

### 参考文献:

- [1] 王 辉, 宋昌统. 基于自适应状态聚集 Q 学习的移动机器人动态规划方法 [J]. 计算机测量与控制, 2014 (10): 3418-3422.
- [2] 彭咏龙, 路智斌, 李亚斌. 基于 FPGA 的改进型全数字锁相环的设计 [J]. 电源技术, 2015, 39 (2): 410-412.
- [3] 赵 玮, 齐向东. 基于 VHDL 的数字锁相环设计及 Modelsim 仿真 [J]. 机械工程与自动化, 2013 (2): 57-59.
- [4] 王文理, 张 霞. 基于 FPGA 的全数字锁相环的设计 [J]. 电子设计工程, 2009, 17 (1): 39-40.
- [5] Chen Y W, Hong H C. A fast-locking all-digital phase locked loop in 90nm CMOS for Gigascale systems [A]. Circuits and Systems (ISCAS) [C]. IEEE, 2014. 1134-1137.
- [6] Elkholy A, Anand T, Choi W S, Elshazly A, Hanumolu P K. A 3.7 mW low-noise wide-bandwidth 4.5 GHz digital fractional-N PLL using time amplifier-based TDC [J]. Solid-State Circuits, IEEE, 2015, 50 (4): 867-881.

(下转第 248 页)

### 2.2 阻带抑制指标设计

上述设计保留了高滚降率的设计指标，忽略寄生通带的影响，使得设计过程简洁高效。而本节设计在不影响滚降率的前提下，着重考虑阻带抑制性能，平滑寄生通带影响。降低寄生通带影响的方法很多，但都设计复杂或者对制造工艺要求较高。

巴特沃斯最大平滑滤波器理论上衰减极点在无穷远处，在通带和阻带内均具有最大限度平坦，没有起伏，因此其本身特性在阻带范围内能够有效抑制寄生通带的影响。但是巴特沃斯滤波器的滚降率偏低，在多数滤波场合中不能胜任。如果将上述二者的滚降率和寄生通带抑制级联，不仅能保留陡峭的衰减带，而且可以获得极宽的阻带抑制。

直接使用 ADS 软件提供的 LC 低通滤波器设计功能生成集总参数滤波器原型，设计指标不考虑滚降率，仅需保证阻带抑制以及插入损耗。

巴特沃斯滤波器集总参数原型转化为分布参数元件过程中，高特性阻抗仍使用 120 Ω，但是低特性阻抗取 15 Ω。这是因为选用相同阻抗的高阻抗线（宽度相同）作为级联结构的连接线，能够很大程度上降低两级间的耦合；同时降低低特性阻抗值，虽然微带线宽度增加，但是在滤波器结构长度上大大减小。

阻带抑制指标的设计过程与滚降率相似，所以利用上述讨论方法可以很容易得到满足设计指标的滤波器结构，如图 4 所示。

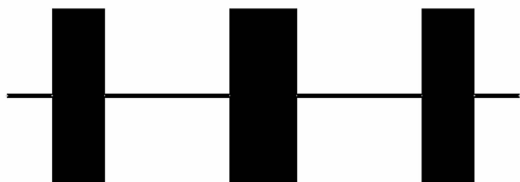


图 4 巴特沃斯微带低通滤波器版图

### 2.3 级联结构及结果分析

将上述基于不同设计指标的滤波器级联后，由于相邻结构间的耦合因素，滤波效果有一定的恶化，再次使用 ADS 原理图版图联合仿真优化功能进行结构优化后，最终的滤波器改进结构以及仿真结果如图 5 和图 6 所示。



图 5 级联结构滤波器版图

由最终的优化仿真结果可以得出，该级联结构微带低通滤波器在 0~3 GHz 通带内波纹小于 0.5 dB，插入损耗小于 0.5 dB，反射系数 S11 小于 -20 dB；在 4~12 GHz 阻带范围内，抑制大于 45 dB。虽然在 11 GHz 附近仍可以观察到寄生通带

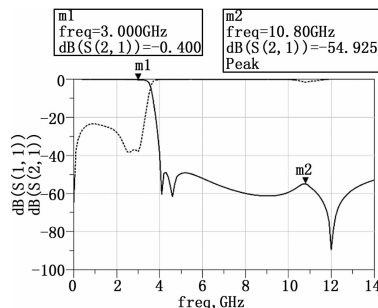


图 6 级联结构滤波器仿真结果

的影响痕迹，但是并未能影响到阻带抑制效果。可见，设计的微带低通滤波器满足设计要求，达到了设计指标。

### 3 结论

本文提出了一种分离指标的级联结构宽阻带低通滤波器的设计方法，在常见阶跃阻抗设计方法上和结构上进行优化。通过实验步骤可知，该设计方法充分利用计算机资源，极大简化了设计步骤，提高了设计效率。并以射频前端微带低通滤波器的设计为例，通过 ADS 的矩量仿真加以验证，实现了在通带 (0~3 GHz) 范围内插入损耗小于 0.5 dB 以及在阻带 (4~12 GHz) 范围内抑制大于 45 dB 的设计指标。实验结果表明分离指标的设计方法能够有效满足宽阻带的设计需求，消除了微带滤波器在 10 GHz 附近的寄生通带影响，同时其阻带抑制效果优于设计指标。基于分离指标的宽阻带微带低通滤波器设计方法提高了设计效率和质量，可广泛应用于射频前端等通信系统中。

#### 参考文献:

- [1] Kim T, Seo C. A novel photonic bandgap structure for low-pass filter of wide stopband [J]. IEEE Microw Guid Wave Lett, 2000, 10 (1): 13-15.
- [2] Ahn D, Park J-S, Kim C-S, Qian Y, Itoh T. A design of low-pass filter using the novel microstrip defected ground structure [J]. IEEE Trans Microw Theory Tech, 2001, 49 (1): 86-93.
- [3] Hsieh L-H, Chang K. Compact elliptic-function low-pass filters using microstrip stepped-impedance hairpin resonators [J]. IEEE Trans Microw Theory Tech, 2003, 51 (1): 193-199.
- [4] Gao J, Zhu L. Asymmetric parallel-coupled CPW stages for harmonic suppressed /4 bandpass filters [J]. Electron Lett, 2004, 40 (18): 1122-1123.
- [5] Karimi G, Yazdani M, Siahkamari H, Lalbakhsh A. Design of microstrip LPF with sharp cut-off frequency and wide stopband [J]. Frequenz, 2014, 68 (7-8): 313-319.
- [6] 甘本被, 吴万春. 现代微波滤波器结构与与设计 [M]. 北京: 科学出版社, 1974.
- [7] 郭湘荣, 武岳山. 微波低通滤波器电路设计 [J]. 计算机仿真, 2010, 27 (8): 338-341.
- [8] 宁俊松, 罗正祥, 等. 宽阻带平面低通滤波器的设计 [J]. 电子学报, 2008, 36 (2): 342-345.

—locked loop applied to grid-connected power converters [J]. Industrial Electronics, IEEE, 2011, 58 (5): 1737-1745.

- [10] Singhal A, Madhu C, Kumar V. Designs of all digital phase locked loop [A]. Engineering and Computational Sciences (RAECS) [C]. IEEE, 2014. 1-5.

(上接第 245 页)

- [7] 高建明. 自适应模糊控制的自平衡机器人设计 [J]. 计算机测量与控制, 2015 (3): 773-776.
- [8] 黄保瑞, 杨世平. 基于 FPGA 的全数字锁相环设计 [J]. 电子测试, 2014 (8X): 33-34.
- [9] Geng H, Xu D, Wu B. A novel hardware-based all-digital phase