

基于 FPGA 的 PLC 并行执行定时器/计数器的设计

徐晓宇¹, 李克俭¹, 蔡启仲¹, 潘绍明¹, 余玲²

(1. 广西科技大学 电气与信息工程学院, 广西 柳州 545006;

2. 广西科技大学鹿山学院 电气与计算机工程系, 广西 柳州 545616)

摘要: 针对 ARM+FPGA 构建的 PLC 系统, 分析 PLC 对定时器/计数器的功能需求, 设计了可以并行执行的定时器/计数器, 构建的定时器/计数器共用一个端口读写控制器与 FPGA 中央控制器进行数据通信, 定时器/计数器内部工作是相互独立的, 能够并行的工作, 并通过使用地址映射存储器使得定时器/计数器的指令执行更加高效; 对中央控制器与定时器/计数器的通信时序和通信格式进行了设计, 方便了中央控制器对定时器/计数器的控制与测试; 通过仿真测试, 该定时器/计数器能够满足 PLC 定时器/计数器的基本功能, 并且达到了稳定的定时/计数的设计要求。

关键词: PLC 系统; 定时器/计数器; 并行执行; FPGA; 通信格式

Design of Parallel Operated Timer /Counter in PLC Based on FPGA

Xu Xiaoyu¹, Li Kejian¹, Cai Qizhong¹, Pan Shaoming¹, Yu Ling²

(1. Guangxi University of Technology, Liuzhou 545006, China;

2. Lushan College, Guangxi University of Science and Technology, Liuzhou 545616, China)

Abstract: PLC system based on ARM and FPGA construction, analysis the functional requirements of the PLC to the timer / counter, design can be executed in parallel timer / counter, construct the timer / counter. And shared with a single port read write data communication controller and FPGA as the central controller, timer / counter for internal work is independent of each other, parallel work. And through the timer / counter instruction operation more efficient by the use of memory address mapping. The communication between the central controller and timer / counter is designed, and the control and testing of the timer / counter is convenient. Through the simulation test, the timer / counter can satisfy the basic function of PLC timer / counter, and achieve the design requirements of the stability of timing / counting.

Keywords: PLC system; timer / counter; parallel operated; FPGA; communication format

0 引言

PLC 的内部资源包括内部继电器、专用继电器、数据存储区、定时器/计数器、保持继电器等, 其中, 定时器与计数器是 PLC 中最重要的资源之一^[1]。

设计的 ARM 与 FPGA 协同工作的 PLC 中, 将使用高速低功耗的 ARM 作为 PLC 的主控制器。双口 RAM 与 ARM 的快速 GPIO 端口相连接, 作为 ARM 与 FPGA 之间的通信接口^[2]。中央控制器主要用以完成对双口 RAM 内部 ARM 写入的数据进行读出、处理、整理和写入操作。多操作位逻辑运算

控制模块主要用以实现逻辑运算指令^[3]。输入存储与读取控制模块主要用以读取外部开关量的状态信息^[4]。数据输出控制模块主要用以将程序执行结果处理后驱动外部负载^[5]。

1 PLC 定时器/计数器功能需求和可重构设计

1.1 定时器功能需求分析

定时器作为 PLC 重要的软元件, 根据 PLC 的实际使用情况, 定时器的数量设计为 256 个,

编号为 T0~T255, 其中 T0~T199 为通用型 100 ms 定时单位定时器、T200~T247 为通用型 10 ms 定时单位定时器、T248~T251 为积算型 1 ms 定时单位定时器、T252~T255 为积算型 100 ms 定时单位定时器。

1.2 计数器功能需求分析

根据 PLC 的实际使用情况, 计数器的数量设计为 235 个, 编号为 C0~C234, 其中 C0~C100 为断电复位型加计数器、C101~C200 为断电保持型加计数器、C201~C220 为断电复位型加减计数器、C221~C234 为断电保持型加减计数器。

1.3 定时器/计数器的可重构设计

基于 FPGA 的可重构技术, 就是利用 FPGA 可以多次重复编程配置的特点, 通过分时复用的方式利用 FPGA 内部的逻辑资源, 使在时间上离散的逻辑电路功能模块能在同一 FPGA 中顺序实现的技术^[6]。

设计的定时器/计数器为可重构的设计, 最多可设计有 256 个定时器, 235 个内部计数器。可以根据具体工程应用来设计其内部定时器/计数器的数量, 以达到对 FPGA 资源的灵

收稿日期: 2015-09-22; 修回日期: 2015-11-09。

基金项目: 广西科学基金项目(桂科自 2014GXNSFA118392); 广西教育厅科研项目(2013LX092)。

作者简介: 徐晓宇(1988-), 男, 河北唐山人, 硕士研究生, 主要从事嵌入式系统与自动化装置方向的研究。

李克俭(1962-), 女, 湖北武汉人, 教授, 高级工程师, 主要从事电力电子技术与自动化装置方向的研究。

活配置。

2 FPGA 与定时器/计数器的通信端口和时序设计

2.1 FPGA 与定时器/计数器的通信端口设计

定时器、计数器通过总线的形式与 FPGA 中央控制器进行数据的交互，它们的工作是相互独立的，能并行地工作，相互之间不影响。它们使用相同结构和功能的端口读写控制器与中央控制器进行数据交互，在相同的时刻只能有一个模块占用总线与中央控制器进行通信。FPGA 与定时器/计数器通信框图如图 1 所示。

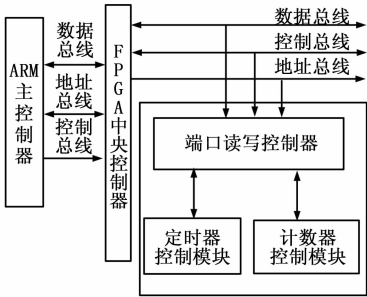


图 1 FPGA 与定时器/计数器通信框图

端口读写控制器主要实现与中央控制器的接口，定时器/计数器根据读写时序，通过端口读写控制器实现与中央控制器的数据交换。端口读写控制器结构图如图 2 所示。RST 复位线使用低电平复位；ADDRC 是模块地址线；RDC 和 WRC 为低电平使能；ASK (1/2) 与 ANS (1/2) 线均为低电平有效。读写控制模块通过判断 RDC 和 WRC 以及 ADDRRC 的状态，控制组合逻辑三态门构成的 32 位双向 I/O 口 DATAC 进行数据的输入或输出。端口读写控制器的 32 位指令缓存可以存储一条指令，由 29 位 data_in 线输出对 D28~D0 即指令数据，由 3 位 code_in 线输出 D31~D29 即指令类型。CE 指令执行标志线。当存储有指令时，置 BUSY (1/2) 线和 CE 线为低电平。

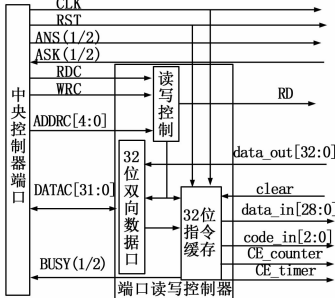


图 2 端口读写控制器结构图

2.2 定时器/计数器的读写时序设计

BUSY (1/2) 线为忙信号输出线，当中央控制器检测到 BUSY (1/2) 线为高电平时才可以对定时和计数器进行写操作。当定时和计数器需要中央控制器对其进行读操作时，先通过定时和计数器读请求信号线 ASK (1/2) 发送一个时钟周期即 20ns 的请求脉冲，然后等待中央控制器读应答信号线 ANS (1/2) 上的应答脉冲，通过置低读信号线 RDC 同时选中定时和计数器地址即可从 DATAC 读取 3 个时钟周期即 60 ns 的数据。中央控制器同定时和计数控制模块的写时序、读时序如图 3、图 4 所示。

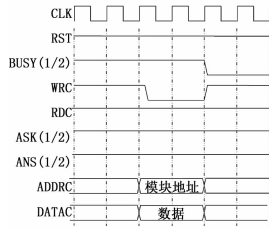


图 3 定时器/计数器写时序图

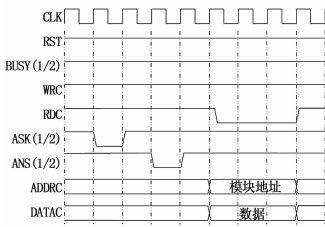


图 4 定时器和计数器读时序图

3 定时器/计数器模块设计

由 ARM 与 FPGA 协同构建的 PLC 控制系统，ARM 作为 PLC 主控制器通过数据总线、地址总线、控制总线向 FPGA 发送指令命令，FPGA 接收到 ARM 的指令命令之后，通过 FPGA 中央控制器与计数器进行通信。

3.1 定时器设计

定时器总体结构图设计如图 5 所示，其中主要包含以下模块：端口读写控制器，定时器地址映射存储器，定时器存储器，定时器指令执行器，定时器控制器，1 kHz 脉冲生成器。

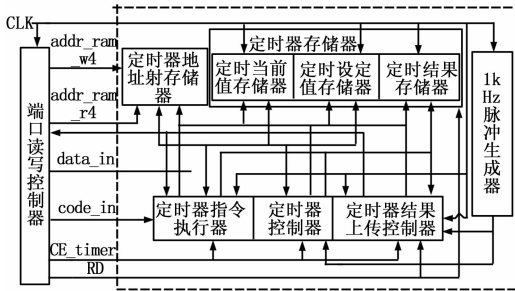


图 5 定时器总体结构图

3.1.1 定时器地址映射存储器

定时器当前值和设定值在相应存储器中的存储位置与定时器本身的编号对应。当进行定时器操作或者进行定时器结果上传操作时，只需要从定时器地址映射存储器中的第一个地址开始顺序读取被使用的定时器的编号，以此编号为地址，便可以迅速地在定时存储器中找到使用了的定时器的相关数据进行操作，达到了提高系统执行效率的目的。

定时器地址映射存储器的封装如图 6 所示。RWCLK 为读写时钟输入端口，读与写共用一个时钟；RESET 为复位信号输入端口；WEN 为写使能信号输入端口；REN 为读使能信号输入端口；WADDR 为写入地址输入端口；RADDR 为读出地址输入端口；WD 为写入数据输入端口；RD 为读出数据输出端口。定时器地址映射存储器使用 Libero8.3IDE 提供的双端口存储器 IP 核生成。

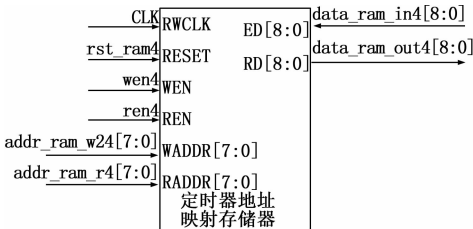


图 6 定时器地址映射存储器封装图

3.1.2 定时器控制器

当 1 kHz 脉冲上升沿到来时定时控制器将会启动, 当指令写入标志 CE 为高电平即定时器内没有指令且定时操作结束标志寄存器 K1 为 0 时, 定时控制器将会执行定时操作。先通过从地址映射存储器中读取被使用的定时器的编号; 两个时钟周期后, 从定时存储器中读取出的定时器的信息; 第 3 个时钟周期后, 对定时器的定时数据进行判断。操作完毕后将相关信息写入定时存储器。定时器控制器程序流程图如图 7 所示。

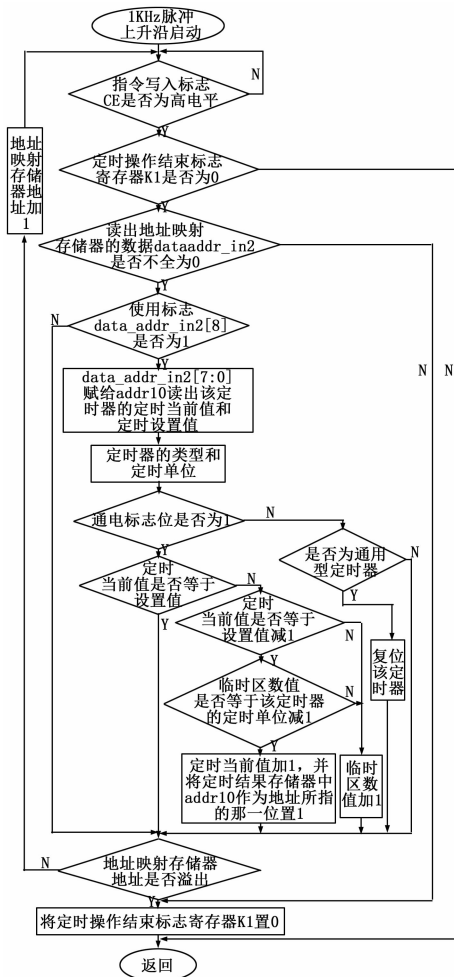


图 7 定时器控制器程序流程图

3.2 计数器设计

根据功能需求分析所确定的计数器控制模块的功能设计计数器控制模块的功能模块, 计数器结构设计如图 8 所示, 其中包含以下功能模块: 端口读写控制器, 计数器地址映射存储器, 计数器指令执行器, 计数当前值存储器。

3.2.1 计数器地址映射存储器

计数器地址映射存储器与定时器设计原理相同，使用 Libero8.3 IDE 提供的双端口存储器 IP 核生成。

3.2.2 计数器指令执行器

当中央控制器对定时器控制器发送指令之后,指令通过端口读写控制器被送至指令执行器。指令类型通过端口读写控制器的输出线 `code_in` 线输入指令执行器,指令数据通过端口读写控制器的输出 `data_in` 线输入指令执行器,同时端口读写控制器置低 `CE` 线,启动计数器指令执行器。指令执行结束

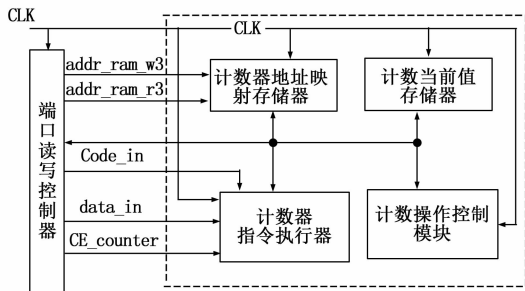


图 8 计数器总体结构图

后,使端口读写控制器置高 BUSY 线和 CE 线。计数器指令执行器的结构如图 9 所示。

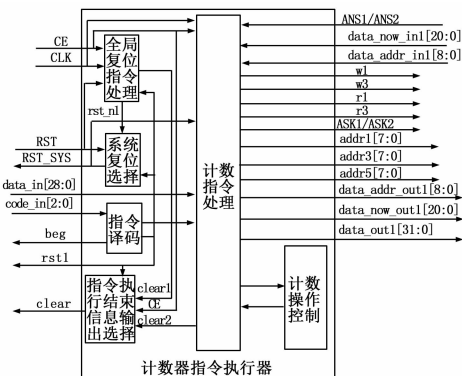


图 9 计数器指令执行器结构图

4 中央控制器与定时器/计数器通信数据格式

设计的中央控制器与定时器/计数器通信的数据格式以指令及信息的形式, 设计有 5 种指令, 3 种信息。

4.1 中央控制器发送的指令数据格式

4.1.1 复位指令

中央控制器发送给定时器或者计数器，当 D31~D29 为 001 时，对所有定时器/计数器进行复位；当 D31~D29 为 010 时，该复位命令对积算型的定时器、计数器和地址映射存储器不进行操作，复位指令数据格式表如表 1 所示。

表 1 复位指令数据格式表

D31~D29	D28~D0
标志位	保留

4.1.2 初始化指令

该指令由中央控制器发送,是 PLC 用户应用程序执行复位指令后发送给定定时器/计数器的指令。定时器初始化指令数据格式如表 2 所示。

表 2 定时器初始化指令数据格式表

D7~D0	D31~D29	D28~D26	D25~D8
011	保留	定时设置值	定时器编号

计数器初始化指令数据格式如表 3 所示。

表3 计数器初始化指令数据格式表

D7~D0	D31~D29	D28~D8
011	保留	计数器编号

4.1.3 断电保存指令

该指令由中央控制器发送，用于当 PLC 断电时中央控制器告知定时器、计数器进入断电保存阶段。指令数据格式如表 4 所示。

表 4 断电保存指令数据格式表

D28~D0	D31~D29
101	保留

4.1.4 状态传送指令

该指令由中央控制器发送，将状态信息发送到相应的定时器计数器。定时器状态传送指令数据格式如表 5 所示。

表 5 定时器状态传送指令数据格式表

D31~D29	D28	D27	D26	D25~D8	D7~D0
100	D 传送标志	通断电标志	复位标志	定时设定值	定时器编号

计数器状态传送指令数据格式如表 6 所示。

表 6 计数器状态传送指令数据格式表

D31~D29	D28	D27	D26	D25~D8	D7~D0
100	通断电标志	复位标志	加减标志	计数设定值	计数器编号

4.1.5 读取当前值指令

该指令由中央控制器发送，用来读取定时器/计数器的当前值。指令数据格式如表 7 所示。

表 7 读取当前值指令数据格式表

D31~D29	D28~D8	D7~D0
111	保留	定时器/计数器编号

4.2 定时器/计数器发送的信息数据格式

4.2.1 定时结束/计数到信息

该信息由定时器、计数器发送，告知中央控制器该定时器/计数器编号的定时器定时结束信息或计数器计数到信息。

表 8 定时结束/计数到信息数据格式表

D31~D30	D29	D28~D8	D7~D0
01	加/减到计数设置值标志	保留	定时器/计数器编号

4.2.2 定时/计数当前值信息

该信息由定时器、计数器发送，在接收到中央控制器读取当前值指令后发送给中央控制器。定时/计数当前值信息数据格式如表 9 所示。

表 9 定时/计数当前值信息数据格式表

D31~D30	D29~D26	D25~D8	D7~D0
10	保留	定时或计数当前值	定时器/计数器编号

4.2.3 断电保存信息

该信息由定时器、计数器发送，在接收到中央控制器断电保存指令后发送此信息给中央控制器，用以保存正在使用的积算型定时器、积算型计数器的当前值及其对应的定时器/计数器编号。数据格式如表 10 所示。

表 10 断电保存信息数据格式表

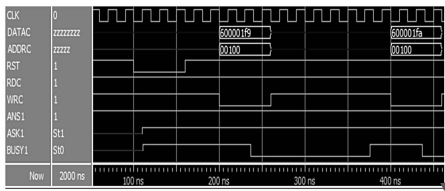
D31~D30	D29~D26	D26~D8	D7~D0
11	保留	定时或计数当前值	定时器/计数器编号

5 仿真测试

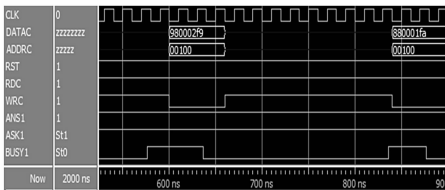
在使用 Verilog HDL 语言完成硬件描述方面的设计后，使用 ModelSim 软件配合编写的 testbench.v 文件模拟中央控制器对定时器/计数器的输入，然后观察定时器/计数器的输出情况^[7-8]。

5.1 定时器功能的仿真测试

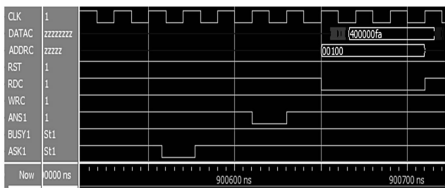
设计的定时器模块地址为 00100，先根据之前设计的中央控制器同定时和计数控制模块的通信协议初始化指令的数据格式，模拟中央控制器写入定时器初始化指令 0x600001f9 和 0x600001fa 初始化两个定时器。模拟中央控制器写入状态传送指令 0x980002f9 修改定时器 F9H 从断电至通电并将其设定值改为 2 ms，模拟中央控制器写入状态传送指令 0x880001fa 修改定时器 FAH 从断电至通电。分别在 0.9 ms 时和 1.9 ms 时观察定时器的输出情况。时序仿真的结果如图 10 所示。



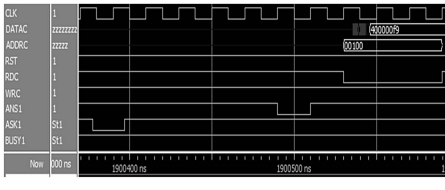
(a) 定时器初始化仿真图



(b) 定时器状态传送仿真图



(c) 0.9ms处输出仿真图



(d) 1.9ms处输出仿真图

图 10 定时器时序仿真结果

5.2 计数器功能的仿真测试

设计的计数器模块地址为 00010，模拟中央控制器写入计数器初始化指令 0x6000000f 和 0x600000fa 初始化两个编号为 0FH (16) 和 FAH (250) 的计数器。其中编号为 0FH 的计数器为通用型单增计数器，编号为 FAH 的计数器为积算型加

