

基于 Camera Link 的高速图像传输模块及时序优化设计

汝兴海, 任勇峰, 李辉景, 王淑琴

(中北大学 仪器科学与动态测试教育部重点实验室; 电子测试技术重点实验室, 太原 030051)

摘要: 为了解决图像信号源卡与高速图像记录器实际测试过程中出现的误码较多、图像显示效果不佳等问题, 给出了系统组成及原理, 并在对发送与接收时序及误码出现原因加以细致分析后, 提出了时钟相移与降频等方法对发送端的时序进行优化设计; 通过实验对比优化前与优化后发送端的波形图以及数据校验结果, 证明了优化后的数据传输更加稳定可靠, 大大减少了误码的出现, 提高了图像数据的准确率与可靠性; 因此该优化方法切实有效, 并且对其他高速同步数据的发送与接收具有一定的参考价值。

关键词: Camera Link; 高速图像传输; 时序优化

A High-speed Image Transmission Module Based on Camera Link and Timing Optimization Design

Ru Xinghai, Ren Yongfeng, Li Huijing, Wang Shuqin

(The Ministry of Education Key Laboratory for Instrument Science and Dynamic Test; National Key Laboratory for Electronic Measurement Technology, North University of China, Taiyuan 030051, China)

Abstract: In order to solve the problems of some errors and the unbeautiful picture which appeared in the actual test of the image source card and the high-speed image recorder, the composition and principle of the system is introduced. After analyses the timing of sending and receiving and the error causes, proposed clock phase shift and frequency reduction to optimize the timing of the sender. Contrasting the waveform graphs of the sender before the optimization and after the optimization and data verify result, shows the data transmission is more stable and reliable after the optimization, greatly reduces the occurrence of the error, and improves the accuracy and reliability of the image data. Therefore the method of optimization is effective and has certain reference value for other high-speed synchronous data sending and receiving.

Keywords: Camera Link; high-speed image transmission; timing optimization

0 引言

图像的采集与存储设备已经广泛应用于工业生产、医疗卫生、航空航天等领域, 因此图像数据的准确性与可靠性对设备有着重大的意义。图像数据的位数多、速率快, 数据量较大, 且数据变化时建立时间较长。同时, 在传输通道中, 各位信号延迟难以完全相同, 变化后不会同时达到稳定, 则数据传输就可能出现较多的误码。本文针对实际传输中出现的问题, 优化了图像发送时序, 从而将数据中出现的误码加以解决。

1 系统组成及原理

1.1 系统组成

高速图像记录器用于对某飞行器在飞行过程中采集的图像数据加以存储并实时显示。为了对高速图像记录器进行测试, 研制了图像信号源卡, 模拟飞行器上搭载的高速相机。整个测试系统主要包含图像信号源卡、高速图像记录器以及显示器等部分, 系统组成框图如图 1 所示。该系统以 FPGA 为主控模块, 通过 Camera Link 接口^[1]实现图像数据的高速传输。

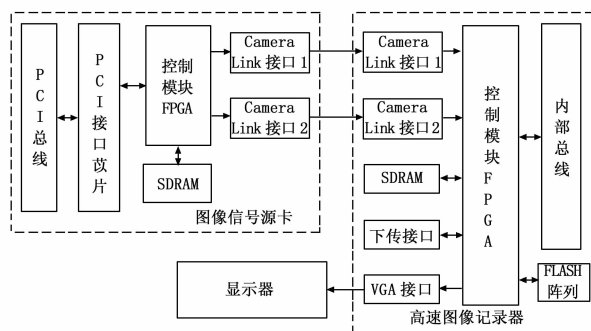


图 1 系统组成框图

1.2 系统工作原理

图像信号源卡接收上位机下传的图像数据, 将图像数据缓存在 SDRAM 中。当收到发送图像命令时从 SDRAM 中读取图像数据通过 Camera Link 接口与高速图像记录器之间进行通信。Camera Link 接口采用 NS 公司的 DS90CR285、DS90CR286 为 Camera Link 接口芯片, 其原理是通过 5 对 LVDS 信号通道分别传输 4 组 LVDS 数据流和 1 组 LVDS 时钟信号^[2]。Camera Link 传输原理图如图 2 所示。高速图像记录器将收到的图像数据高速写入到 Flash 存储阵列, 同时也将数据缓存到 SDRAM 中, 经过图像压缩、拉伸以及数/模转换后发送至 VGA 接口将图像在显示器中实时显示。

收稿日期: 2015-01-26; 修回日期: 2015-03-20。

作者简介: 汝兴海(1990-), 男, 黑龙江鹤岗人, 硕士研究生, 主要从事动态测试、数据采集与存储方向的研究。

任勇峰(1968-), 男, 山西中阳人, 教授, 博士生导师, 主要从事研微电路系统、电路系统检测与诊断技术方向的研究。

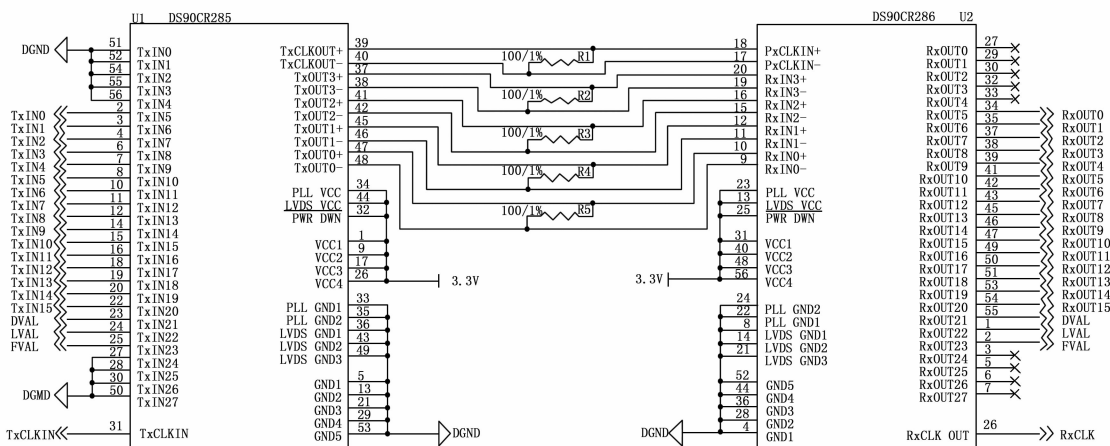


图 2 Camera Link 传输原理图

过示波器测量接收端输出的时钟与数据波形如图 5 所示。时钟的上升沿与数据的稳定期对齐, 符合接收端时序, 证明在时钟的上升沿接收数据可以保证数据可靠, 不会产生误码。Camera Link 接口芯片最大传输距离为 10 m^[3], 测试中采用 1.5 m 的超五类双绞线, 传输距离较短, 出现误码的可能性很

2 接口时序分析

2.1 时序分析

Camera Link 接口驱动器芯片 DS90CR285 对输入到端口的数据在输入像素时钟的上升沿进行采样, 并将采样后得到的数据转换成 LVDS 数据流发送, 一对差分信号每个时钟发送 7 位数据。因此芯片对输入的数据时序要求较高, 要求数据变化的时间到采样的时间间隔 (即建立时间) 不小于 2.5 ns。否则采样的数据可能不可靠, 采样后发送的数据存在错误。发送端的时序如图 3 所示。

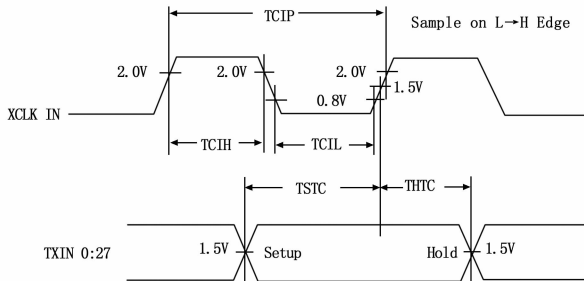


图 3 发送端时序

接收器 DS90CR286 的并行输出数据在像素时钟的下降沿开始建立, 在时钟上升沿来临前建立完成并保持稳定, 在上升沿过后依然可以保持 6 ns。因此接收端在时钟的上升沿进行读取数据, 可以保证数据的准确可靠。接收端的时序如图 4 所示。

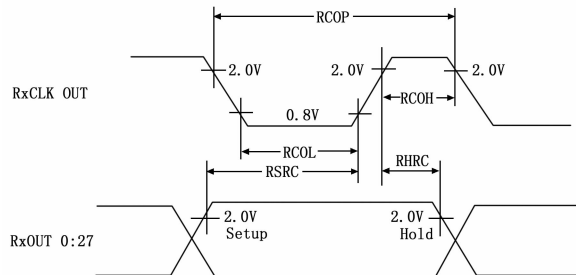


图 4 接收端时序

2.2 误码原因分析

传输中能够产生的误码位置主要有 3 处: 发送端、传输电缆及接收端。接收端输出的数据与时钟的时序为芯片特性, 通

小。因此, 对于测试过程中出现的较多误码, 原因可能为发送端的时序问题。当发送端像素时钟上升沿到来时图像数据的某些位尚未建立完成, 数据没有达到稳定, 而芯片已经进行采样, 将错误的输出。

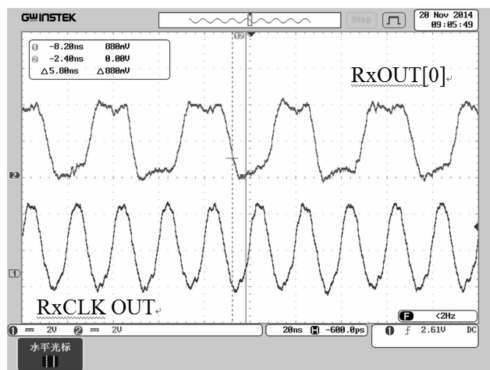


图 5 接收端波形图

3 时序优化

针对传输过程中出现的误码现象, 可以通过修改图像信号源卡的控制程序, 优化发送时序, 以满足器件的时间参数要求。

3.1 锁相环建立

Camera Link 接口芯片在上电后锁相环建立时间为 10 ms, 为方便两边时钟同步, 发送端上电复位后发送无效的自加数据或者伪随机数, 便于接收端根据变化的数据流解码时钟并完成锁相环的建立。

3.2 时钟降频

程序最初编写时发送模块采用状态机方式, 数据有效信号与数据在同一状态机内发送。为保证数据有效信号时序准确, 数据可靠发送, 不得不采用 100 M 时钟控制。但当 FPGA 时钟速率较高, 而又不添加任何时序约束时, 布局布线后各信号延时不同, 可能会产生意想不到错误。因此程序改写为多进程控制, 各个信号按照各自时序在不同的进程内赋值, 互不影响。从而将时钟频率由 100 M 降低为 50 M, 时钟周期变长 2 倍, 减小因布线产生的延时影响, 程序更可靠。

3.3 时钟相移

驱动器芯片只要求数据的建立时间不小于 2.5 ns, 但是对

于采样后数据的保持时间不做要求。因此采用时钟相移的方法对发送端时序进行优化^[4-5]，利用 FPGA 中的 DCM 模块将系统时钟相移，产生新的像素时钟。数据在 50 M 系统时钟的下降沿变化并输出，但 Camera Link 端口输入的像素时钟为相移 90 度后的系统时钟，相当于将系统时钟延时四分之一周期（即 5 ns）。这样数据的变化与像素时钟的上升沿之间延时增加 5 ns，数据的建立到像素时钟的输入时间将远大于芯片要求时间 2.5 ns，保证发送芯片在数据的稳定期进行采样。相移前、相移后的时序如图 6 所示。

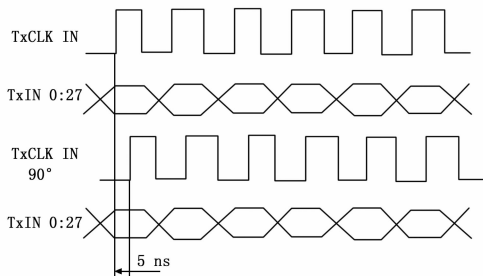


图 6 相移前、相移后数据与时序对比

4 实验对比验证

对发送端时序优化前与优化后进行测试，图像信号源卡按照表 1 中的格式发送增数据，高速图像记录器采集并存储于 Flash 中。

表 1 递增数据格式(256 字节)

0~249 字节	250~253 字节	254~255 字节
00~F9	4 字节帧计数	帧标志

时钟降频减小了 FPGA 内部的传输延时影响，对于 Camera Link 接口的时序作用效果较小。虽然对于测试中出现的误码有一定的改善，但并没有完全消除。实验主要对比了时钟相移对接口时序的影响。由于数据的最低位 TxIN [0] 速度变化最快，每个时钟下降沿均变化一次。因此在测试过程中，利用示波器测量了发送端的像素时钟与数据最低位的波形，如图 7~8 所示。

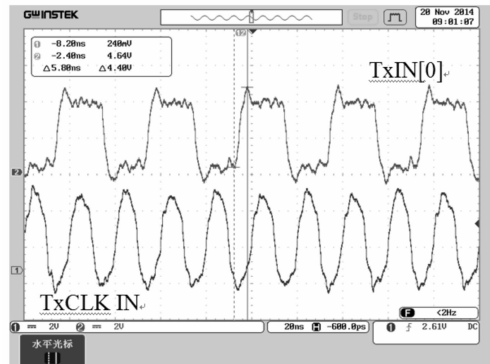


图 7 相移前 TxCLK IN 与 TxIN [0] 的波形图

时钟相移前，像素时钟与系统时钟同相。控制数据变化的进程在系统时钟下降沿触发，进程内数据自加变化，但从波形上可以看出数据要相对于系统时钟延迟大约 5 ns 才开始变化。当数据还未稳定时，像素时钟已经到达上升沿，芯片对数据进行采样，因此采样数据存在错误的可能性。

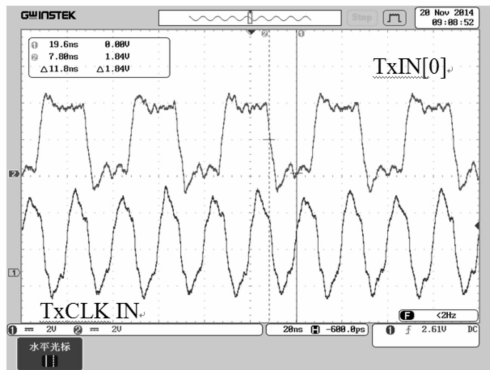


图 8 相移后 TxCLK IN 与 TxIN [0] 的波形图

时钟相移后，像素时钟相对于系统时钟延时了 5 ns，数据依然在系统时钟的下降沿变化并输出。从波形上可以看出数据与时钟的波形更符合图 3 中时序要求，数据的变化与像素时钟的下降沿几乎同时进行。像素时钟上升沿到来时，数据已经完全稳定，芯片采样的数据可靠，避免了数据未建立完成而已经被发送的情况，保证了发送数据的准确性。

最后读取高速图像记录器存储的测试数据，利用专用软件进行校验，在优化后，发现出错帧为零，没有再出现误码。校验结果如图 9 所示。

```

=====
测试数据 数据及帧计数校验
-----
F:\test.dat

2014年11月20日星期四21:19:43 开始数据校验过程：
出错帧共计：0帧

首帧计数[H]: 0
末帧计数[H]: 7FFFFFFF
共有数据帧个数[D]: 8388608

2014年11月20日星期四21:19:43 数据校验过程结束。

```

图 9 数据校验结果

5 结语

本文设计了基于 Camera Link 的高速图像传输模块，针对图像传输过程中出现的误码问题，提出了时序的优化方法。通过将像素时钟相对系统时钟相移 90 度，增大数据变化与采样的时间间隔，确保发送数据的可靠性。经过实际的测试，优化后的时序更加准确，数据发送与传输更加可靠，极大地降低了误码率。同时文中提到的优化方法对于其他高速同步数据的传输设计具有一定的参考价值。

参考文献：

- [1] 崔丽杰, 张彦军, 刘文怡. 基于 FPGA 和 DSP 的图像压缩系统设计 [J]. 计算机测量与控制, 2014, 22 (10): 3423-3425.
- [2] 朱齐丹, 刘进业, 康岭. Camera Link 硬件接口电路设计 [J]. 应用科技, 2008, 35 (10): 57-60.
- [3] 徐志跃, 张田甜. 基于 Camera Link 的串行图像采集系统设计 [J]. 计算机应用, 2010, 30 (6): 1701-1707.
- [4] 陈云, 徐晨. FPGA 中的 I/O 时序优化设计 [J]. 信息技术, 2006, 30 (10): 108-110.
- [5] 林昌辉, 樊晓樨. FPGA 设计中优化时序的原则与方法 [J]. 微处理机, 2007, 28 (3): 6-9.