

双通道高速数据采集处理平台的设计与实现

郝绍杰, 何 鹏, 朱伟峰

(中国电子科技集团公司第四十一研究所, 山东 青岛 266555)

摘要: 为满足数字式测向接收机对高速数据采集和处理的需求, 研制了高速数据采集处理平台, 该平台基于 ADC12D1800RF 模数转换器实现了两路 1.35 GHz 中频信号的带通采样, 以 Xilinx 公司 V7 系列 FPGA 为数据处理器, 采用高速 DDR3 作为存储设备解决了海量数据存储问题, 并通过高速串行接口 (GTX/SRIO) 实现了大容量数据的实时传输; 该平台的测试结果为: 1.8 GHz 采样率时有效位数大于 8bit, DDR3 存储器的工作主频可达 1333MHz, GTX 接口在 10Gbps 速率下工作时, 其误码率小于 10^{-9} , 上述测试结果表明该平台可以高速、准确地实现信号采集、数据传输、存储和处理, 达到了预期设计目标。

关键词: 数据处理; 模数转换器; 带通采样; 高速串行接口

Design and Implementation of Dual-channel High-speed Data Acquisition and Processing Platform

Hao Shaojie, He Peng, Zhu Weifeng

(41st Institute of China Electronic Technology Group Corporation, Qingdao 266555, China)

Abstract: To meet the needs of the digital direction finding receiver for high-speed data acquisition and processing, developed a high-speed data acquisition and processing platform. The platform based ADC12D1800RF implemented two-channel band-pass IF signal sampling. Xilinx's V7 series FPGA as data processor, high-speed DDR3 memory device solves the problem of mass data storage, and high-speed serial interface (GTX / SRIO) enables real-time transmission of large volumes of data. The test results indicated the ENOB of this platform is greater than 8bits when at 1.8 GHz sampling rate, DDR3 operating frequency up to 1333MHz, GTX interface when working at 10Gbps rates, the bit error rate of less than 10^{-9} . The above test results show that the platform can implement high-speed, accurate signal acquisition, data transmission, storage and processing, to achieve the desired design goals.

Keywords: data processing; ADC; band-pass sampling; high speed serial interface

0 引言

随着现代电子技术的高速发展, 新体制雷达不断出现, 雷达发射信号的调制方式和参数都日趋复杂, 典型的有线性调频信号、非线性调频信号、相位编码信号、频率步进信号、频率捷变信号、重频捷变/抖动信号等等, 这些具有大时宽一带宽积的扩谱信号具有低截获概率 (LPI: Low Probability of Intercept) 的特征, 由于此类辐射信号的增多, 加上各类干扰源, 使得现代信号侦察需要面对的环境日趋密集和复杂, 主要表现在辐射源的数量多、密度大、范围宽, 信号混叠严重, 信噪比低、信号调制复杂, 信号综合威胁程度高等方面。为适应如此复杂的信号环境, 侦察测向接收机需要具备更高的性能, 为使接收机具备模块化、功能升级灵活性以及易维护性等特点, 现代接收机中都采用了软件无线电的设计思想, 即把射频信号或者宽带的中频信号直接采样, 然后进行 DDC、数字滤波等处理。要实现上述功能, 设计高速数据采集处理平台就非常关键。针对这些要求, 本文研究了双通道高速数据采集处理平台的设计技术, 搭建了一种以 FPGA 为核心, DDR3 为外部存储器, 基于双通道高速 ADC 的高速数据采集处理平台。

1 数据采集处理平台设计

本文介绍的双通道高速数据采集处理平台的方案框图如图 1 所示, 采用高速 ADC+高性能 FPGA+DDR3 存储器的架构, 主要由模拟信号调理电路、采样时钟发生电路、ADC 采样电路、采样数据接收、缓存与处理电路和高速数据传输接口等组成。

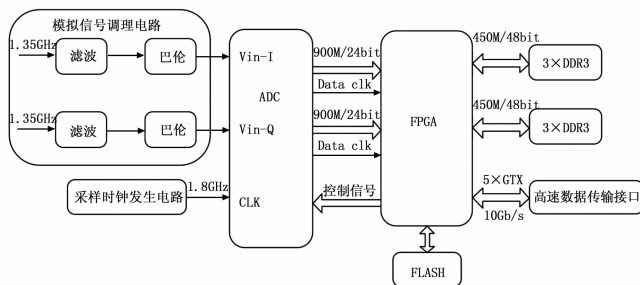


图1 双通道高速数据采集处理平台的方案框图

2 模拟信号调理电路设计与实现

模拟信号调理电路的主要作用是将两路中心频率为 1.35 GHz、带宽 800 MHz 的射频信号变换为差分信号。为保证整个系统具有优良的动态范围性能, 两路射频信号经信号调理电路后, 不能出现信号失真现象; 为使系统具有平坦的幅相特性, 就需要两路信号调理电路在 800 MHz 带宽内具有平坦

收稿日期:2015-01-12; 修回日期:2015-03-20。

作者简介: 郝绍杰(1977-), 男, 山西省平遥县人, 高级工程师, 主要从事微波测量仪器方向的研究。

的幅度响应和相位响应。

虽然差分信号可抑制共模的信号噪声，也能降低偶次谐波，可提升 ADC 的动态性能^[1]，但不经仔细设计的差分变换电路会给整个系统带来影响。为了提高两路差分信号之间的幅度平衡度和相位平衡度，在模拟信号调理电路中，使用双巴伦来完成射频单端信号到差分信号的变换，其电路图如图 2 所示。

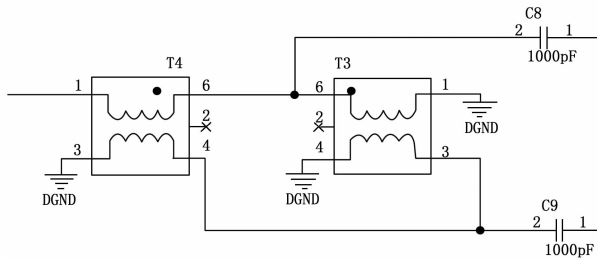


图 2 双巴伦结构图

3 采样时钟发生电路设计与实现

在高速数据采集系统中，采样时钟的设计非常关键，因为采样时钟的信号质量是决定 ADC 有效位数并影响 ADC 动态范围的关键因素。采样时钟的信号质量一般用相位抖动或者单边带相位噪声这两个指标来描述。相位抖动是从时域中来描述采样时钟的信号质量，定义为在波形零点处的抖动；对于高质量的采样时钟信号，相位抖动在时域中通常是无法辨别的^[2]。单边带相位噪声是从频域中来描述采样时钟的信号质量，表现为载波的边带。

从频域看，采样时钟影响 ADC 的机理是：ADC 是一个采样系统，在采样时钟上叠加的噪声（主要是相位噪声）经过采样过程后，会折叠到 Nyquist 频带内并累积，这些在 Nyquist 频带内累积的噪声信号会明显降低 ADC 的信噪比（SNR）性能；从时域看，采样时钟的微小抖动将降低 ADC 的 SNR，使其有效位数减少。因此采样时钟发生电路的设计就显得非常关键。

单边带相位噪声和相位抖动是描述信号质量的两种不同方式，它们之间有直接的关系，可以相互转换，转换公式为：

$$phase_jitter_{rms} = \sqrt{2 \times 10^{phase_noise_{integrated}/10}} \quad (1)$$

其中： $phase_jitter_{rms}$ 为相位抖动，单位为 radians。对于 ADC 来说， $phase_noise_{integrated}$ 为输入信号带宽内采样时钟信号噪声之和，单位为 dBc。

采样时钟的相位抖动又可以通过公式（2）转换为采样时钟的抖动：

$$t_{jitter_{rms}} = \frac{phase_jitter_{rms}}{2\pi f_o} \quad (2)$$

其中： f_o 为采样时钟的频率； $t_{jitter_{rms}}$ 为采样时钟的抖动。在实际的 ADC 电路中，采样时钟的抖动会导致孔径晃动，结果造成模拟输入信号在幅度上的误采样，从而恶化 ADC 的信噪比，SNR 与采样时钟抖动的关系可以用下面的公式（3）来表示：

$$SNR = -20\log(2\pi f_o t_{jitter_{rms}}) \text{ dB} \quad (3)$$

同理，如果确定了 ADC 采样的模拟信号频率和所要求 ADC 达到的 SNR 指标，通过公式（4）就可以得到对 ADC 采

样时钟抖动的要求。

$$t_{jitter_{rms}} = \frac{10^{-\frac{SNR}{20}}}{2\pi f_o} \quad (4)$$

在进行采样时钟电路设计时，先确定 ADC 所需达到的 SNR 指标，然后从公式（4）计算出对 ADC 采样时钟抖动的要求，再从公式（1）得出对 ADC 采样时钟单边带相位噪声的指标要求，依照该技术指标要求，确定采样时钟信号发生应采用的具体电路。

依据上述设计思路，本文确定了用高性能频率合成器 LMX2531 产生采样时钟信号的电路设计方案。LMX2531 内部集成了模拟锁相环（PLL）、压控振荡器（VCO）和可调的环路滤波器，通过配置内部寄存器，产生了高质量的频率为 1.8 GHz 的采样时钟信号，该采样时钟信号经放大后进行低通滤波，这主要是为了抑制时钟信号的宽带白噪声，再经巴伦将射频单端信号变换为差分信号后送入 ADC。

为了减小采样时钟的抖动和采样时钟偏移，在 PCB 设计时，需对采样时钟的差分信号对进行阻抗控制，并对其进行等长设计，以提高采样时钟的信号质量。

4 采样数据缓存和高速数据传输电路设计与实现

根据高速数据采集系统的设计要求，ADC 芯片选用了 TI 公司的 ADC12D1800RF，该芯片为 TI 公司量产的一款高速射频采样 ADC 器件，可以工作在 1.8 GHz 双通道，或者 3.6 GHz 单通道模式，单个芯片即可实现两通道同步采样。本设计中将 ADC12D1800RF 配置为双通道工作模式，每个通路通过 1:2 复用器将采样后的数据分为 2 路并行数据，每路数据位宽 12bit 数据率 900 MHz，时钟频率 450 MHz，以 DDR 方式传输给 FPGA。FPGA 利用 IDDR 模块将接收到的 2 路 DDR 数据转换为 4 路 SDR 数据，数据率和时钟频率都为 450 MHz，随后采用数字信道化处理技术，将降速后的数据直接进行信道化处理，并检测出有效信号所在的信道，将有效信道的数据送给外部存储器。外部存储器由 6 片 DDR3 芯片组成存储阵列，每 3 片为一组，位宽为 48bit，两组 DDR3 存储器以乒乓方式进行读写操作，保证实时连续的数据存储。

本设计中，采用了高速串行接口 Rocket IO 来满足大容量数据的实时传输。RocketIO 是 Xilinx FPGA 内嵌的可编程高速串行收发器，在使用时不占用 FPGA 其他逻辑与片上存储资源，在 Virtex-7 系列 FPGA 中称作 GTX，其内建的 CDR 电路、8B/10B 编解码电路以及 CML 信号模式使其线速率最高可达 10 Gb/s 以上。本方案设计了 x4 模式的 GTX 接口，其总线带宽可达 12.5 Gb/s，可以满足高速采样数据的实时传输。

高速串行接口（GTX/SRIO）的协议较一般 IO 复杂，但硬件设计上却简化了许多，其硬件设计上只要求在高速总线的接收端使用 0.1 μF 电容进行串联交流耦合。

高速串行接口的原理设计简单，但在 PCB 设计时，对信号线的布线要求却很严格，需从信号线的阻抗、走线长度、扇出方法、线间距、过孔数目等方面进行约束。在 GTX 接口的设计方面，由于 GTX 接口为直插式压接器件，对于 FPGA 的 TX 信号，可以直接将 BGA 扇出过孔与 GTX 扩展接头的引脚相连。对于 RX 信号，在印制板顶层将 GTX 扩展接头引脚与耦合电容相连，在电容的另一端将差分线引入内层，通过内层走线直接与 RX 信号的扇出过孔相连。

