

双通道高速数据采集处理平台的设计与实现

郝绍杰, 何 鹏, 朱伟峰

(中国电子科技集团公司第四十一研究所, 山东 青岛 266555)

摘要: 为满足数字式测向接收机对高速数据采集和处理的需求, 研制了高速数据采集处理平台, 该平台基于 ADC12D1800RF 模数转换器实现了两路 1.35 GHz 中频信号的带通采样, 以 Xilinx 公司 V7 系列 FPGA 为数据处理器, 采用高速 DDR3 作为存储设备解决了海量数据存储问题, 并通过高速串行接口 (GTX/SRIO) 实现了大容量数据的实时传输; 该平台的测试结果为: 1.8 GHz 采样率时有效位数大于 8bit, DDR3 存储器的工作主频可达 1333MHz, GTX 接口在 10Gbps 速率下工作时, 其误码率小于 10^{-9} , 上述测试结果表明该平台可以高速、准确地实现信号采集、数据传输、存储和处理, 达到了预期设计目标。

关键词: 数据处理; 模数转换器; 带通采样; 高速串行接口

Design and Implementation of Dual-channel High-speed Data Acquisition and Processing Platform

Hao Shaojie, He Peng, Zhu Weifeng

(41st Institute of China Electronic Technology Group Corporation, Qingdao 266555, China)

Abstract: To meet the needs of the digital direction finding receiver for high-speed data acquisition and processing, developed a high-speed data acquisition and processing platform. The platform based ADC12D1800RF implemented two-channel band-pass IF signal sampling. Xilinx's V7 series FPGA as data processor, high-speed DDR3 memory device solves the problem of mass data storage, and high-speed serial interface (GTX / SRIO) enables real-time transmission of large volumes of data. The test results indicated the ENOB of this platform is greater than 8bits when at 1.8 GHz sampling rate, DDR3 operating frequency up to 1333MHz, GTX interface when working at 10Gbps rates, the bit error rate of less than 10^{-9} . The above test results show that the platform can implement high-speed, accurate signal acquisition, data transmission, storage and processing, to achieve the desired design goals.

Keywords: data processing; ADC; band-pass sampling; high speed serial interface

0 引言

随着现代电子技术的高速发展, 新体制雷达不断出现, 雷达发射信号的调制方式和参数都日趋复杂, 典型的有线性调频信号、非线性调频信号、相位编码信号、频率步进信号、频率捷变信号、重频捷变/抖动信号等等, 这些具有大时宽一带宽积的扩谱信号具有低截获概率 (LPI: Low Probability of Intercept) 的特征, 由于此类辐射信号的增多, 加上各类干扰源, 使得现代信号侦察需要面对的环境日趋密集和复杂, 主要表现在辐射源的数量多、密度大、范围宽, 信号混叠严重, 信噪比低、信号调制复杂, 信号综合威胁程度高等方面。为适应如此复杂的信号环境, 侦察测向接收机需要具备更高的性能, 为使接收机具备模块化、功能升级灵活性以及易维护性等特点, 现代接收机中都采用了软件无线电的设计思想, 即把射频信号或者宽带的中频信号直接采样, 然后进行 DDC、数字滤波等处理。要实现上述功能, 设计高速数据采集处理平台就非常关键。针对这些要求, 本文研究了双通道高速数据采集处理平台的设计技术, 搭建了一种以 FPGA 为核心, DDR3 为外部存储器, 基于双通道高速 ADC 的高速数据采集处理平台。

1 数据采集处理平台设计

本文介绍的双通道高速数据采集处理平台的方案框图如图 1 所示, 采用高速 ADC+高性能 FPGA+DDR3 存储器的架构, 主要由模拟信号调理电路、采样时钟发生电路、ADC 采样电路、采样数据接收、缓存与处理电路和高速数据传输接口等组成。

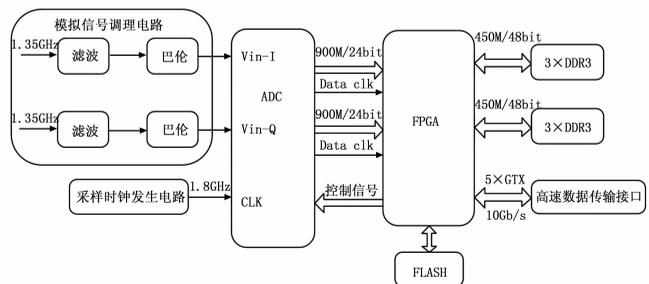


图 1 双通道高速数据采集处理平台的方案框图

2 模拟信号调理电路设计与实现

模拟信号调理电路的主要作用是将两路中心频率为 1.35 GHz、带宽 800 MHz 的射频信号变换为差分信号。为保证整个系统具有优良的动态范围性能, 两路射频信号经信号调理电路后, 不能出现信号失真现象; 为使系统具有平坦的幅相特性, 就需要两路信号调理电路在 800 MHz 带宽内具有平坦

收稿日期: 2015-01-12; 修回日期: 2015-03-20。

作者简介: 郝绍杰 (1977-), 男, 山西省平遥县人, 高级工程师, 主要从事微波测量仪器方向的研究。

的幅度响应和相位响应。

虽然差分信号可抑制共模的信号噪声，也能降低偶次谐波，可提升 ADC 的动态性能^[1]，但不经仔细设计的差分变换电路会给整个系统带来影响。为了提高两路差分信号之间的幅度平衡度和相位平衡度，在模拟信号调理电路中，使用双巴伦来完成射频单端信号到差分信号的变换，其电路图如图 2 所示。

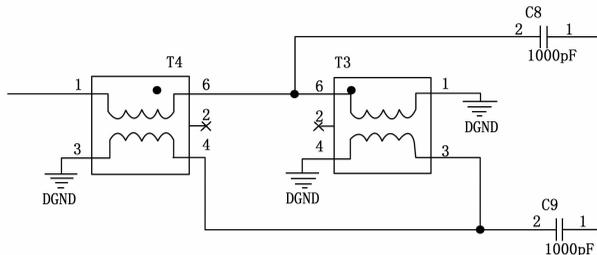


图 2 双巴伦结构图

3 采样时钟发生电路设计与实现

在高速数据采集系统中，采样时钟的设计非常关键，因为采样时钟的信号质量是决定 ADC 有效位数并影响 ADC 动态范围的关键因素。采样时钟的信号质量一般用相位抖动或者单边带相位噪声这两个指标来描述。相位抖动是从时域中来描述采样时钟的信号质量，定义为在波形零点处的抖动；对于高质量的采样时钟信号，相位抖动在时域中通常是无法辨别的^[2]。单边带相位噪声是从频域中来描述采样时钟的信号质量，表现为载波的边带。

从频域看，采样时钟影响 ADC 的机理是：ADC 是一个采样系统，在采样时钟上叠加的噪声（主要是相位噪声）经过采样过程后，会折叠到 Nyquist 频带内并累积，这些在 Nyquist 频带内累积的噪声信号会明显降低 ADC 的信噪比（SNR）性能；从时域看，采样时钟的微小抖动将降低 ADC 的 SNR，使其有效位数减少。因此采样时钟发生电路的设计就显得非常关键。

单边带相位噪声和相位抖动是描述信号质量的两种不同方式，它们之间有直接的关系，可以相互转换，转换公式为：

$$phase_jitter_{rms} = \sqrt{2 \times 10^{phase_noise_{integrated}/10}} \quad (1)$$

其中： $phase_jitter_{rms}$ 为相位抖动，单位为 radians。对于 ADC 来说， $phase_noise_{integrated}$ 为输入信号带宽内采样时钟信号噪声之和，单位为 dBc。

采样时钟的相位抖动又可以通过公式（2）转换为采样时钟的抖动：

$$t_{jitter_{rms}} = \frac{phase_jitter_{rms}}{2\pi f_o} \quad (2)$$

其中： f_o 为采样时钟的频率； $t_{jitter_{rms}}$ 为采样时钟的抖动。在实际的 ADC 电路中，采样时钟的抖动会导致孔径晃动，结果造成模拟输入信号在幅度上的误采样，从而恶化 ADC 的信噪比，SNR 与采样时钟抖动的关系可以用下面的公式（3）来表示：

$$SNR = -20\log(2\pi f_o t_{jitter_{rms}}) \text{ dB} \quad (3)$$

同理，如果确定了 ADC 采样的模拟信号频率和所要求 ADC 达到的 SNR 指标，通过公式（4）就可以得到对 ADC 采

样时钟抖动的要求。

$$t_{jitter_{rms}} = \frac{10^{-\frac{SNR}{20}}}{2\pi f_o} \quad (4)$$

在进行采样时钟电路设计时，先确定 ADC 所需达到的 SNR 指标，然后从公式（4）计算出对 ADC 采样时钟抖动的要求，再从公式（1）得出对 ADC 采样时钟单边带相位噪声的指标要求，依照该技术指标要求，确定采样时钟信号发生应采用的具体电路。

依据上述设计思路，本文确定了用高性能频率合成器 LMX2531 产生采样时钟信号的电路设计方案。LMX2531 内部集成了模拟锁相环（PLL）、压控振荡器（VCO）和可调的环路滤波器，通过配置内部寄存器，产生了高质量的频率为 1.8 GHz 的采样时钟信号，该采样时钟信号经放大后进行低通滤波，这主要是为了抑制时钟信号的宽带白噪声，再经巴伦将射频单端信号变换为差分信号后送入 ADC。

为了减小采样时钟的抖动和采样时钟偏移，在 PCB 设计时，需对采样时钟的差分信号对进行阻抗控制，并对其进行等长设计，以提高采样时钟的信号质量。

4 采样数据缓存和高速数据传输电路设计与实现

根据高速数据采集系统的设计要求，ADC 芯片选用了 TI 公司的 ADC12D1800RF，该芯片为 TI 公司量产的一款高速射频采样 ADC 器件，可以工作在 1.8 GHz 双通道，或者 3.6 GHz 单通道模式，单个芯片即可实现两通道同步采样。本设计中将 ADC12D1800RF 配置为双通道工作模式，每个通路通过 1:2 复用器将采样后的数据分为 2 路并行数据，每路数据位宽 12bit 数据率 900 MHz，时钟频率 450 MHz，以 DDR 方式传输给 FPGA。FPGA 利用 IDDR 模块将接收到的 2 路 DDR 数据转换为 4 路 SDR 数据，数据率和时钟频率都为 450 MHz，随后采用数字信道化处理技术，将降速后的数据直接进行信道化处理，并检测出有效信号所在的信道，将有效信道的数据送给外部存储器。外部存储器由 6 片 DDR3 芯片组成存储阵列，每 3 片为一组，位宽为 48bit，两组 DDR3 存储器以乒乓方式进行读写操作，保证实时连续的数据存储。

本设计中，采用了高速串行接口 Rocket IO 来满足大容量数据的实时传输。RocketIO 是 Xilinx FPGA 内嵌的可编程高速串行收发器，在使用时不占用 FPGA 其他逻辑与片上存储资源，在 Virtex-7 系列 FPGA 中称作 GTX，其内建的 CDR 电路、8B/10B 编解码电路以及 CML 信号模式使其线速率最高可达 10 Gb/s 以上。本方案设计了 x4 模式的 GTX 接口，其总线带宽可达 12.5Gb，可以满足高速采样数据的实时传输。

高速串行接口（GTX/SRIO）的协议较一般 IO 复杂，但硬件设计上却简化了许多，其硬件设计上只要求在高速总线的接收端使用 0.1 μF 电容进行串联交流耦合。

高速串行接口的原理设计简单，但在 PCB 设计时，对信号线的布线要求却很严格，需从信号线的阻抗、走线长度、扇出方法、线间距、过孔数目等方面进行约束。在 GTX 接口的设计方面，由于 GTX 接口为直插式压接器件，对于 FPGA 的 TX 信号，可以直接将 BGA 扇出过孔与 GTX 扩展接头的引脚相连。对于 RX 信号，在印制板顶层将 GTX 扩展接头引脚与耦合电容相连，在电容的另一端将差分线引入内层，通过内层走线直接与 RX 信号的扇出过孔相连。

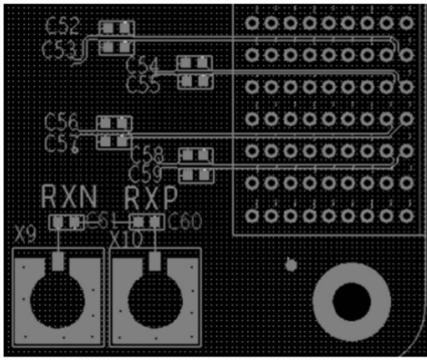


图 3 高速接口 PCB 布线

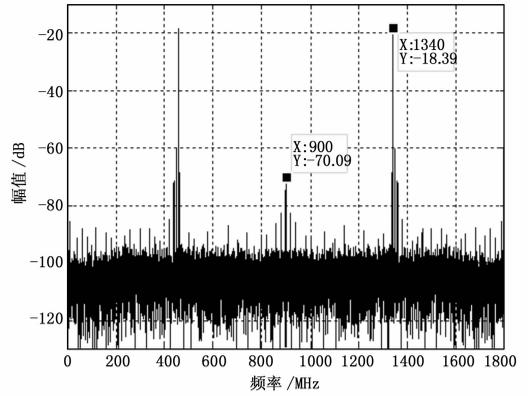


图 5 采样数据的频谱

5 数据采集处理平台的性能测试

5.1 数据采集部分的性能测试

ADC 是数字处理系统的前端, 其性能直接决定着整个系统的性能, 在对数据采集部分进行性能测试时, ADC 以 1.8 GS/s 的采样速率对 950~1 750 MHz 带宽内的信号进行带通采样, FPGA 接收 ADC 的输出数据, 然后利用 ChipScope 工具通过 JTAG 接口将数据传输到 PC 机中, 使用 matlab 工具进行数据分析, 以获取数据采集电路的性能参数。图 4 为输入 1.34 GHz 连续单频正弦信号时, ChipScope 采集到的 4 路降速后数据的时域波形, 图 5 为将 4 路降速数据拼接为单路信号的频域特性。

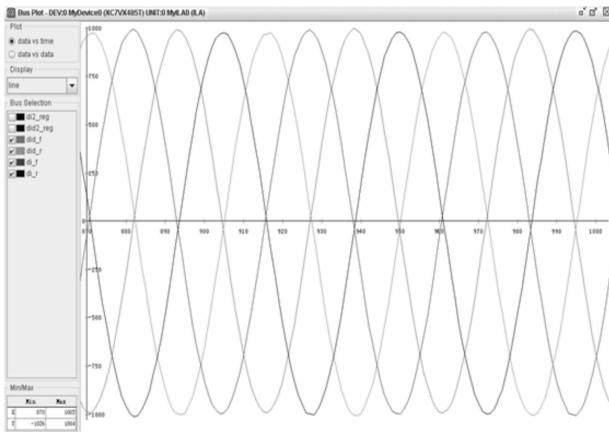


图 4 Chipscope 软件捕获的采样数据

反映数据采集部分综合性能的主要性能指标是有效位数 (ENOB), 有效位数的计算公式为:

$$ENOB = (SINAD - 1.76) / 6.02 \quad (5)$$

要计算有效位数, 先需要计算 SINAD 信号失真比, 计算方法是: 在第一奈奎斯特频带内, 取基波和两旁适当数目采样值的均方根作为信号的有效值, 其余采样值的均方根作为噪声的有效值, 它包括量化噪声、ADC 的谐波噪声等; 信号的有效值与噪声的有效值的比值即为信号失真比。通过计算可得到 SINAD=51.7 dB, 由公式 (5) 可以计算出有效位数 ENOB=8.3 bit。

5.2 采样数据缓存部分的性能测试

采样数据缓存由 FPGA 控制外部 DDR3 存储器组实现, DDR3 控制器的设计采用了 Xilinx 公司 IP 核 mig_v1.7+ 用户

接口模块的设计方法, DDR3 读写带宽和稳定性由硬件电路设计和读写调度程序共同决定。在测试数据缓存电路性能时, 通过 IP 核控制 DDR3 接口工作在 1 333 MHz 的主频下, 通过用户调度程序循环向 DDR3 存储器组所有地址空间写入已知数据, 然后再回读数据进行校验, 如图 6 所示, 在测试过程中, 校验错误指示信号 tg_compare_error 信号一直保持低电平, 表明 DDR3 存储器可以在 1 333 MHz 的主频下稳定工作。

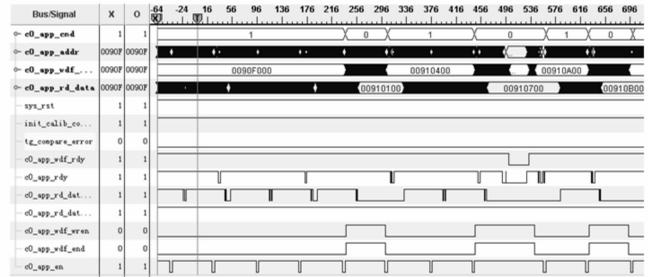


图 6 DDR3 读写测试

5.3 数据传输接口电路的性能测试

对数据传输接口的测试主要包括回环测试和误码测试, 高速串行 RocketIO 收发器自身提供了 4 种不同的环回模式, 分别是近端 PCS 环回、近端 PMA 环回、远端 PCS 环回、远端 PMA 环回, 当出现问题时, 采用不同的回环测试, 可用于定位问题出现在 GTX 的哪个部分。测试时, 将 GTX 端口的 TX/RX 信号进行外部短接, 通过调用 Xilinx IBERT ip 核将 GTX 接口配置为 10.0 Gbps 的工作频率, 设置不同的回环测试模式, 观察 GTX 端口 PLL 时钟锁定信号, 判断回环测试是否通过。用 IBERT 提供的比特流误码率测试 (即 PRBS, 伪随机二进制序列误码率测试) 进行误码率测试。设置参数为: GTX 发送差分电压摆幅 800 mV, GTX 的发送预加重为 1.67 dB, 不使用接收均衡, 采用 8B/10B 编码, 内部测试数据的位宽为 40 bit, 4 通道模式。图 7 (a) 为进行远端 PMA 环回测试的结果。图 7 (b) 为误码率测试结果, 图 8 为眼图测试结果。通过以上测试可以看出在, 在 10 Gbps 速率下, GTX 接口可以稳定工作, 误码率在 10^{-9} 以下。

6 结论

本文详细双通道高速数据采集平台的设计方案, 该方案以 (下转第 2541 页)

(x_{mn}) 和 $H(x_{mx})$, 则知此时极大值在 x_1 和 x_{mx} 之间。然后取图 (1) 示中区间作为 $[x_{mn}, x_{mx}]$, 同理所得极大值在图 8 (2) 示中 x_1 和 x_{mx} 之间。经过多次迭代后, 建立一个新的更窄的区间, 利用数值搜索方法逼近函数的极值, 在一定误差内找到函数极值的近似值。

因此采取上述的黄金分割搜索优化法, 可以更好地判断真实模孔的定位信息, 保证环模修复的准确性。

3 模孔定位及修复系统应用及创新点

本文介绍的饲料环模模孔定位装置通过基于硬件优化兼软件滤波技术来降低干扰, 可以有效地提高模孔探测部分的抗干扰性能, 确保系统准确性^[6]。适用于从较强噪声环境中检测所需微弱信号。

3.1 应用

- 设计的环模修复机在实验室和饲料厂均进行了长期生产测试, 很好地验证了系统的可操作性、可靠性和稳定性。
- 为模孔修复质量提供了定量和定性参考, 避免当今技术缺陷存在的人工修复效率及质量依赖人工操作经验等问题。

3.2 创新点

- 搭建的数控修复平台不仅具备环模修复加工工艺所需所有功能, 并具有较好的兼容性和扩展能力, 在不改变主体结构的前提下, 通过外围模块和应用软件的优化与扩展, 以最小开发成本, 组成满足其他生产需求、具有全新功能的数控系统。
- 实现精确找孔并修复。处理器准确捕获模孔的信号特征, 能保证孔心定位误差不超过 0.2 mm。
- 以内径 $\varphi 320$ mm、外径 $\varphi 350$ mm、孔数为 3 591 个的环模为例, 人工修复须 2 个工作日, 利用修复机修复只需 2 个小时。
- 修复机疏通模孔时环模孔的刮伤比率为 1.12%, 相对

(上接第 2537 页)

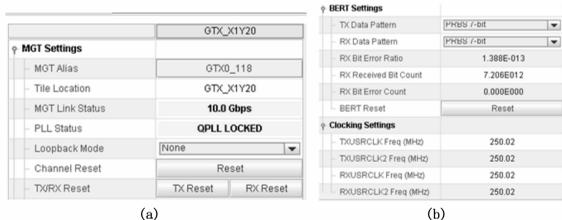


图 7 GTX 测试参数设置图

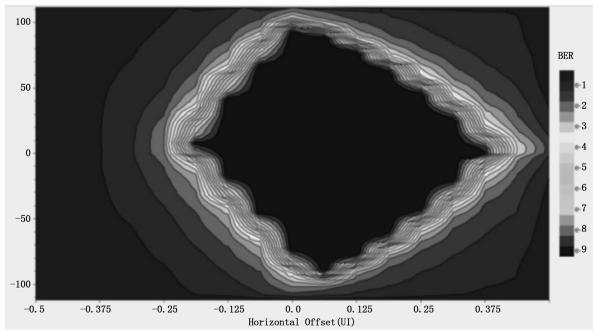


图 8 ChipScope 软件捕获的测试数据比特流误码率测试图

人工修复损伤模孔数量大大减少, 从而可延长环模使用寿命, 提高颗粒生产的质量和产量。

4 结论

论文介绍的数控智能环模修复机已经申请获得 3 项国家发明专利, 第一代样品机在第九届“华为杯”全国研究生电子设计竞赛中荣获团体一等奖和个人二等奖殊荣。

论文结合现有饲料环模模孔疏通修复关键技术及发展, 侧重分析论述了根据环模模孔自身的物理特征提出的模孔探测技术、模孔探测探头抗干扰设计技术、根据模孔探测到的信号特征提出的模孔中心定位技术。论文不仅从模孔探测机理上分析了模孔定位实施方案的可行性, 而且结合了相关算法与理论模型得出的结果表明模孔定位的有效性。再者, 制作的专用模孔探测探头经专业仪器测试, 其检测探头达到良好以上级的电磁屏蔽效果。并且实际定位结果表明修复机模孔定位精度达到 mm 级以下, 有效地减少模孔修复时对孔壁的刮伤。使用的方法简便、实用、易于推广应用。

参考文献:

- [1] 张兴德. 一种模孔清理装置: 中国, CN201120306419. 1 [P]. 2012-05-23.
- [2] 唐 莺, 潘孟春, 罗飞路, 等. 管道腐蚀检测中的脉冲漏磁检测技术 [J]. 计算机测量与控制, 2010, 18 (1): 38-39.
- [3] 张丽芳, 李文明, 等. 磁控溅射 Cu/Ni 薄膜的电磁屏蔽作用 [J]. 塑料工业, 1995 (3): 95-97.
- [4] 江铭波, 阎旭东, 徐国旺. 霍尔效应及霍尔元件在物理量测量中的应用 [J]. 湖北工业大学学报, 2011 (2): 143-144.
- [5] 金培源, 高波涌, 陆慧娟. 一种黄金分割优化的极限学习机算法 [J]. 中国计量学院学报, 2014 (2): 210-212.
- [6] 徐晓栋. 深削钻孔过程中的智能控制 [J]. 甘肃兰州: 兰州理工大学, 2007 (12): 97-98.

ADC12D1800RF, 并采用高速 DDR3 作为存储设备, 解决海量数据存储问题, 最终实现了两路 1.35 GHz 信号的带通采样、数据传输存储、数据处理功能, 在已完成的硬件设计进行了性能指标的测试, 测试结果验证了方案的可行性。

参考文献:

- [1] 王 军. 基于 ADC083000 的高速数据采集系统设计 [J]. 实验科学与技术, 2010 (2): 8-11.
- [2] Brad Brannon. Sampled Systems and the Effects of Clock Phase Noise and Jitter [EB/OL]. Analog Devices.
- [3] 陈 兵, 马小兵, 雷 宏. 2 GHz 的超高速数据采集系统设计与实现 [J]. 计算机测量与控制, 2008, 16 (12): 1978-1981.
- [4] 步 麟, 司伟建. 一种双通道中频数字接收机的硬件设计实现 [J]. 应用科技, 2009, 36 (3): 26-30.
- [5] 杨小牛, 陆安南, 金 飏, 等. 宽带数字接收机 [M]. 北京: 电子工业出版社, 2002.
- [6] 杨胜华. 1.5 GHz 高精度数据采集与信号处理平台设计 [J]. 电视技术, 2009, 49 (6): 74-76.
- [7] 张 焱, 余海龙, 罗进川. 超高速数据采集系统设计与实现 [J]. 安徽大学学报 (自然科学版), 2006, 30 (4): 44-47.