

基于 GPS 授时的多通道数据同步采集系统

周文渊, 李宏云, 万可友, 李白平

(西北核技术研究所, 西安 710024)

摘要: 针对异地多通道同步数据采集需要, 设计并实现了一种基于 GPS 授时的多路数据采集系统; 利用 EP4CE10F17C8+UBLOX-6T+ADS8568+CYPRESS68013A 的组合实现 8 路数据的同步采样及上传; 系统内建两个高精度时钟, 通过 GPS 秒脉冲校准, 从而获得每个采样点的准确时间; 以 FPGA 为核心, 完成 AD 转换控制、数据组织和缓存、USB 数据传输控制; 基于 VS2010 应用程序完成数据的接收和处理; 测试结果表明, 该系统各模块设计合理, 运行稳定, 实时性高, 具有较好推广价值。

关键词: 数据采集; ADS8568; FPGA; GPS 授时

A Multi-channel Synchronous Acquisition System with GPS Timing

Zhou Wen yuan, Li Hongyun, Wan Keyou, Li Baiping

(Northwest Institute of Nuclear Technology, Xi'an 710024, China)

Abstract: A multi-channel data acquisition system based on GPS timing was designed for long-distance multi-channel synchronized data acquisition. The system combined EP4CE10F17C8, UBLOX-6T, ADS8568 and CYPRESS 68013A to implement 8-channel synchronized and update. The exact time of each sample was obtained with two build-in high precision clock synchronized with GPS timing plus. The FPGA functioned as the core, controlling AD conversion, data organization, caching, and USB transmission. A PC program based on VS2010 was written for data receiving and processing. An experiment shows that the system is stable, features high real-time performance, have a good application value.

Keywords: data sampling; ADS8568; FPGA; GPS timing

0 引言

异地数据采集是工程中常用的数据采集方法, 而数据的时间统一对测量具有重要意义。当采集点距离较近时, 可以通过网络对数据进行时统^[1]。当采集点距离较远时, 网络时统易受传输环境、传输路径等因素影响, 系统复杂, 可靠性降低。为解决异地数据采集的时统问题, 使用 GPS 授时进行数据时统是较为简单可靠的方法^[2-4]。为克服 GPS 信号易受干扰的问题, 本系统采用内建高精度时钟+GPS 授时的方法对异地数据采集进行时统^[5]。

1 系统总体设计

在相距较远的两地或多地分别放置本数据采集系统和 GPS 天线, 采用 USB 与计算机连接。采用 UTC 时间和 GPS 秒脉冲对采集系统内建时钟授时并校准, 并将时间信息附加在采集数据上, 通过 USB 上传计算机, 保证了 8 路异地数据的同步采集。

系统总体设计如图 1 所示。内部时钟由 2 个计数器和晶振构成。晶振信号经过锁频后频率为 100M。当获得稳定 GPS 信号后, 解析 UART 数据获得当前 UTC 时间, 并用秒脉冲对内部时钟校准。8 路信号进行前处理后, 送至 AD 转换器进行 8 路同步采样。采样数据与对应时间信息按帧进行组织后保存在数据缓存区, 并通过 USB 接口上传到计算机。

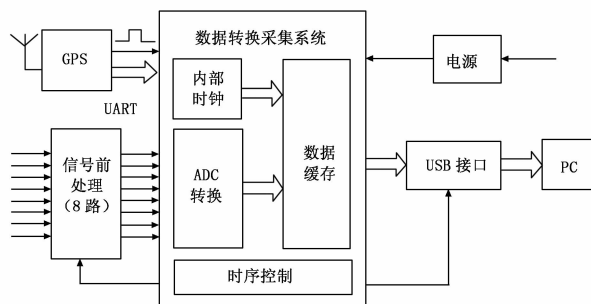


图 1 系统总体设计结构框图

2 GPS 接收机及秒脉冲简介

GPS 全球定位系统是一种以卫星为基础的无线电导航系统, 由 18~24 颗分布于高度 20 200 km 的 6 个轨道面的卫星组成。每颗卫星发射两种频率的载波信号。接收机接收来自不卫星的载波信号, 而计算出自身位置和时间信息。授时型接收机还能每秒给出一个脉冲信号 (1 pps), 用于指示整秒时间, 无积累误差。本系统采用 UBLOX LEA-6T 接收机, 其秒脉冲精度可达 30 ns, UTC 时间通过 UART 接口按 NMEA 协议输出, 通讯速率 9600bps。秒脉冲先于 NMEA 数据给出。图 2 为秒脉冲和 NMEA 数据时间关系, 表 1 为 LEA-6T 参数。

收稿日期: 2014-12-30; 修回日期: 2015-03-20。

作者简介: 周文渊 (1983-), 男, 重庆人, 工程师, 主要从事自动化、处理和控制等方向的研究。

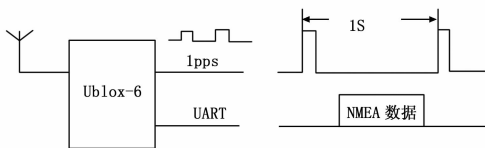


图 2 秒脉冲与 NMEA 数据时间关系

表 1 LEA-6T 参数^[6]

接收类型	50 通道, L1 频段, C/A 码	
启动时间	冷启动	29 s
	温启动	29 s
	热启动	1 s
灵敏度	-160 db	
最大导航数据更新率	5 Hz	
水平位置精度	5 m	
第二时钟信号频率	0.25 Hz~10 MHz	
秒脉冲时钟精度	RMS	30 ns
	99%	<60 ns
	补偿	15 ns

3 系统硬件设计

3.1 原理及芯片选型

系统硬件设计如图 3 所示。

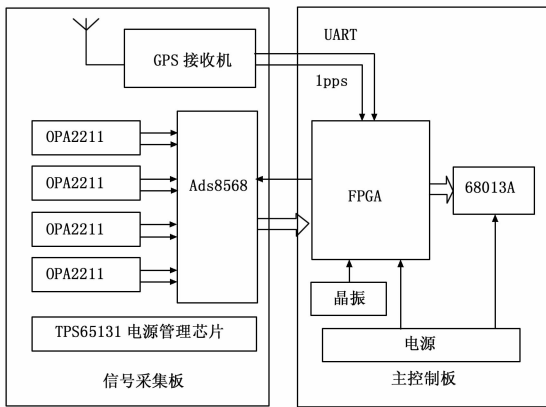


图 3 硬件设计结构图

系统主要采用采集板加控制板的设计方案。采集板完成模拟信号的采集以及 GPS 信号产生。控制板完成数据的组织及上传。控制板 FPGA 主控芯片采用 Altera 公司的 EP4CE10F17C8, 结合 Altera 公司的 Quartus II 10.0sp1 工具软件, 用 Verilog 硬件描述语言描述硬件实现。USB 接口芯片采用 Cypress 公司 68013A 芯片。该芯片支持 USB2.0, 传输率达到 56Mbytes/s, 驱动及调试使用 CySuiteUSB 开发包。68013A 工作在 Slave FIFO 模式。信号放大器选用 Ti 公司的 OPA2211, 工作电压 ±10 V。电源芯片采用 TPS65131, 输出电压 ±10 V, 提供给信号放大器和数据转换器。数据转换选用 ADS8568。该芯片是 16 bit, 8 通道同步采样, 基于逐次求近寄存器 (SAR) 模数转换器 (ADC) 芯片。同步采样时每通道数据采样率可达 510 kS/s, 输入电压范围可达 ±12 V。通过 16 bit 并口输出数据。

3.2 信号采集及放大

信号的输入及放大由 OPA2211 完成。采用负反馈放大电路, 放大后信号最大幅值 $\lt; \pm 10\text{ V}$, 满足 ADC 采用范围。模数转换由 ADS8568 完成。图 4 为硬件连接图。该芯片采用硬件工作模式 (H/S 脚接地), 采样时钟为内部时钟, 片选有效 (CS 接地), 采用内部参考电压 (Refen 接高, 电平 $V_{ref} = 2.5\text{ V}</math>), 采样范围由 FPGA 给出, 当 RANG 为高时, 采样范围为 $\pm 2 V_{ref}</math>, 当 RANG 为低时, 采样范围为 $\pm 4 V_{ref}</math>。本系统中采样范围为 $\pm 10\text{ V}</math>。8 路信号同时转换, CONVST_A, CONVST_B, CONVST_C, CONVST_D 连通。$$$$

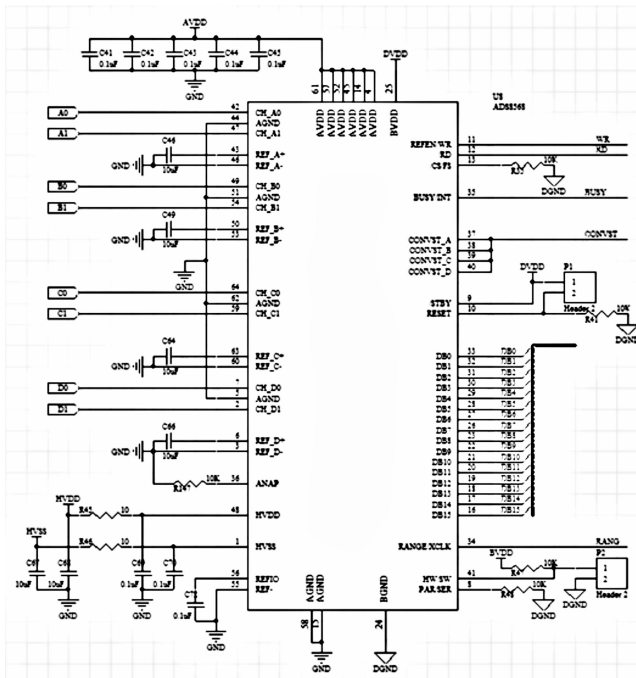


图 4 ADS8568 硬件连接图

4 系统软件设计

4.1 内部时钟设计

系统内建两个基于计数器的时钟。时钟 1 为 32 位计数器, 对内部时钟信号计数。通过对晶振产生的外部信号进行 PLL 后, 可获得 100 M 的系统时钟。初始计数器预装载值为 1×10^8 , 递减计数, 当计数为 0 后产生溢出, 给出内部秒信号脉冲。通过比对内部秒脉冲和 GPS 秒脉冲的时间差, 调整计数器的装载值。这样通过算法多次校准, 可有效抵消温度等其他因素对系统时钟的影响, 获得准确的内部秒信号。某采样时刻在该秒内的准确时间为: (重装载值 - 计数值) / 重装载值 $\times 1\text{ s}$ 。图 5 为内部秒信号产生及校准示意图。

时钟 2 为 16 位计数器, 对内部秒信号进行计数, 产生秒信息及具体时刻。GPS 接收机在给出秒脉冲后某个时间会给出该秒脉冲的 UTC 时间信息。FPGA 提取该时间信息后, 将转变成成为 16 位的数字, 并设置秒计数器当前值为该值。规定以 2010 年 1 月 1 日 0 时 0 分 0 秒时刻计数器值为 0, 可计 136 年, 能满足基本应用。图 6 为秒计数器意图。

4.2 数据组织与存储

FPGA 是本系统的控制核心, 负责控制 ADC 转换逻辑、

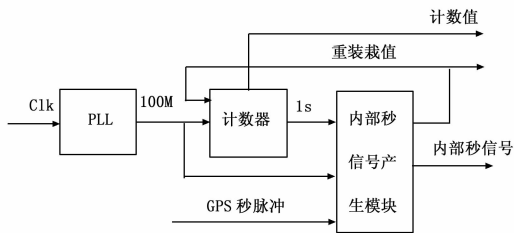


图 5 内部秒信号产生及校准原理图

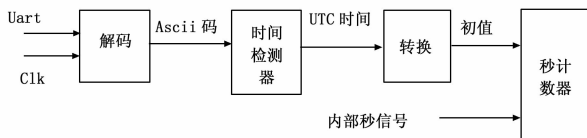


图 6 秒计数器

数据的储存以及 ADC 转换时刻的时间记录。本系统采用 FIFO 对数据进行储存，位宽 16bit，深度 1024。ADC 最高采样率 500 kS/s，8 通道数据速率 8Mbyte/s，附加时间信息后约为 16Mbyte/s，而 68013A 传输速度为 56 Mbytes/s，所以不会出现传输瓶颈。

数据按帧进行保持，格式如图 7 所示。由于时钟 1 计数值为 32 位，分为高 16 位和低 16 位，每帧中计数高位的值为第一个数据的时间计数值高 16 位。每个数据后的 16 位数为时钟计数低 16 位。每帧长度 512 字节。

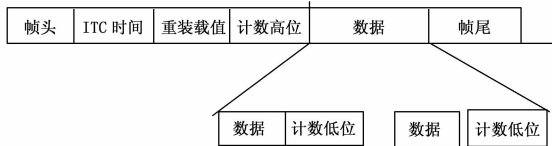


图 7 数据帧格式

4.3 数据上传

本系统中 68013A 做为一个 USB 2.0 接口实现与主机的高速通讯，配置为 Slave FIFO 工作模式，4 缓冲，每缓冲区大小 512 字节，FPGA 控制数据给出，以及 Slave FIFO 要求的传输时序。

4.4 PC 程序

系统采用 CySuiteUSB 开发包默认驱动，界面程序采用 VS2010 进行开发，绘图采用 GDI+。由于 USB 通讯总是以 PC 为发起询问，当 68013A 缓冲满后，PC 询问得到该信息，应立即读取数据，否则会造成 68013A 缓冲区溢出。系统缓冲区设计为双缓冲，PC 获得数据后，先将数据保存在缓冲区中，再对数据进行处理，以避免缓冲区溢出。图 8 为 PC 端数据采集界面图。

5 实验结果与分析

采用声信号作为实验信号。LM293 前置放大，两采样点相距 100 m，声源位于两采样点连线上，距离两采样点分别为 25 m 和 75 m，采样信号时间为各系统给出内部时钟。图 9 为两采样信号数据图。取各信号最大幅值所在时刻分析，两信号

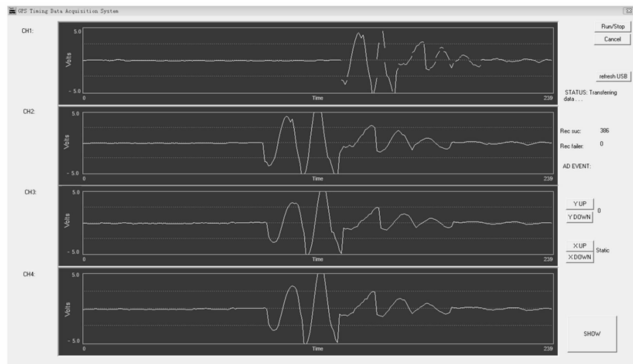


图 8 PC 端数据采集界面

相差时间为 0.1445 s，25 ℃ 时声速为 346.45 m/s，计算两采样点接收到音频信号时间差为：

$$\frac{75 - 25}{346.45} = 0.1443 \text{ s}$$

与实际情况符合较好。

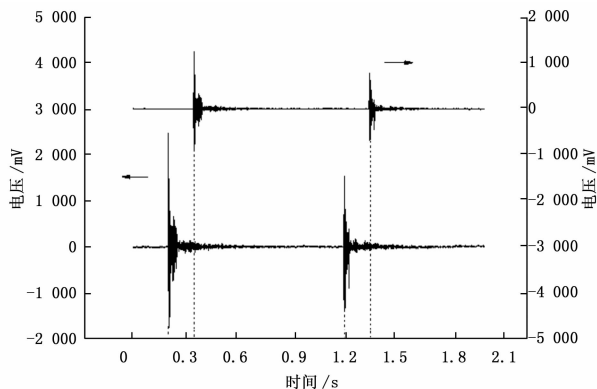


图 9 不同地点数据波形图

6 结束语

本系统是基于 USB 的多通道数据采集系统，内建高精度时钟信号，并利用 GPS 秒脉冲校准内部时钟，实现异地数据 8 路 16 bit 同步采集的功能。采用 FPGA 控制采集和 USB 传输，反应速度快。实验表明，该系统各模块设计合理，运行稳定可靠，为相关领域实时数据采集提供了一种实现途径。

参考文献：

- [1] 王海涛, 段哲民. 多路数据采集与网络远程传输系统实现 [J]. 计算机测量与控制, 2008, 16 (3): 421-423.
- [2] 杨俊强, 毛征. 多通道数据实时采集标时系统设计 [J]. 研究与开发, 2011, 30 (3): 29-32.
- [3] 孙改臣, 赵曙光. 一种基于 GPS 的异地数据采集的改进同步方法及其实现 [J]. 微型机与应用, 2009, (23): 63-64.
- [4] 燕斌, 赵飞. 基于 GPS 授时的异地同步数据采集系统 [J]. 电子科技, 2008, 21 (12): 46-49.
- [5] 李炜, 王彪. 基于 GPS 授时的异地同步数据采集系统 [J]. 测控技术, 2006, 25 (3): 40-42.
- [6] <http://www.u-blox.com> [Z/OL].