

一种金融双界面卡可测试性设计研究

安艳伟, 戴 澜, 郑晓亮

(北方工业大学 理学院, 北京 100144)

摘要: 由于安全性好, 存储容量大等方面的优点, 金融 IC 卡代替传统的磁条卡已经成为一种必然趋势; 由于电路的复杂性, 在金融卡的设计过程中必需注意可测试性设计; 文章对一种金融双界面卡进行可测试性设计, 主要关注嵌入式存储器、振荡器电路和非接触模拟前端电路的可测试性设计, 在进行理论分析的基础上提出测试结构, 并对电路进行设计; 最终基于 V777 系统对流片以后的金融双界面卡进行测试, 测试结果表明本设计具有很好的功能。

关键词: 金融卡; 可测试性设计; 振荡器

Testability Design for Dual Interface Financial IC Card

An Yanwei, Dai Lan, Zheng Xiaoliang

(College of Science, North China University of Technology, Beijing 100144, China)

Abstract: Duo to the merits of security and large memory capacity it is an inexorable trend that the financial IC card takes the palace of magnetic stripe card. For the complicated circuits testability design must be considered during the design of financial IC card. In this paper it introduces the testability design for a financial IC card, it presents the testability design of embed memory, OSC and analog front end circuits, after analyzing relative theory it proposes the test structure and design the circuits. Finally, it measures the chip of financial IC card with the equipment of V777, the test results shows the testability design is suitable for this IC card.

Keywords: financial card; testability design; OSC

0 引言

传统金融卡一直采用磁条识别的办法, 在安全性和使用时长上具有劣势, 近年来, 由于安全性、防静电, 存储容量大等方面的优势, IC 卡逐步取代传统磁条卡成为金融卡的首选^[1]。

IC 卡按照信息读取方式分为接触式、非接触式^[2]和双界面(接触式+非接触式)等 3 种形式, 双界面 IC 卡抗干扰能力强, 适用于交易量大, 交易时间短的环境, 在金融卡中使用较多; 双界面金融 IC 卡一般由主要由 CPU、存储器(RAM/ROM/EEROM)、加解密模块、安全探测模块等组成。这些功能模块集成在一起, 对单个模块或者芯片内部节点进行传统的直接测试变得不可行, 在芯片设计时进行可测试性设计来提高可控和可观测性变得很有必要^[3-5]。

论文主要对自行设计的金融双界面卡进行可测试性设计, 论文分为以下几个部分: 第一部分主要介绍双界面卡内部结构; 第二部分主要介绍各个主要部分的可测试性设计; 第三部分主要为最终测试结果。

1 金融双界面卡架构

金融双界面卡的主要架构如图 1 所示: 主要由处理器单元(CPU)、各种存储器单元、加解密模块、7816 接口、14443 接口和安全探测模块等组成。

双界面卡的 3 种接口电路分别完成以下功能: 其中 7816 接口为接触接口, 实现异步半双工数据传输; 14443 为射频模拟前端接口: 主要包括连接天线两端的 ANTEN1 和 ANTEN2 引脚, 用于接收射频读卡器发送的能量以及数据的接收和发

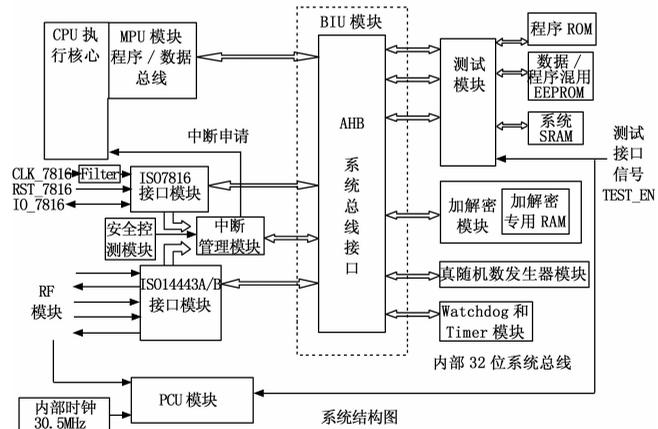


图 1 金融双界面 IC 卡架构

送; 电路测试接口: 在芯片测试时用于测试芯片内部关于存储器、振荡器等可测试性电路。

2 主要单元的可测试性设计

2.1 存储器可测试性设计

随着集成电路规模的增大, 存储器所占芯片面积呈增大趋势, 在系统芯片中甚至达到 70% 的比例。存储器的电路比较复杂, 内部存储单元连接紧密, 单元与单元之间存在相互影响, 产生故障的类型较多, 而且产生故障的机会很多, 在测试中需要注意测试时间与测试成本之间做好折中, 论文在双界面金融 IC 卡测试中采用 March 算法进行, 进行一次完整的测试一共有 16 个完整的状态, 每一个地址需要进行两次操作, 两个始终周期完成。测试结构主要由图 2 模块组成。

控制器: 在测试中起到控制作用, 产生被测存储器的

收稿日期: 2015-03-27; 修回日期: 2015-05-14。

作者简介: 安艳伟(1969-), 女, 河北省人, 实验师, 主要从事电路测试与可测试性方向研究。

CE 和 OE 信号，产生测试完成信号 DONE，对状态寄存器的标志位进行写入。

地址产生单元：产生被测存储器的地址。

测试图案产生单元：根据测试所选取的算法产生测试向量。

数据比较器：判断 RAM 读出的测试图案与之前写入的测试图案是否相同。如果不一致，把 FAIL 信号置为 1，代表 RAM 中有错误发生。

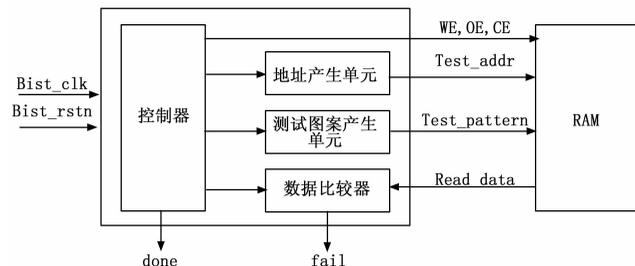


图 2 存储器可测试性设计结构图

2.2 高频振荡器可测试性设计

芯片攻击者可以通过外部时钟信号来攻击芯片的内容，因此，金融 IC 卡都在内部电路中设计一个高频振荡器 (OSC)，在深亚微米集成电路工艺中，工艺参数的偏差变得难以把握，OSC 本身的振荡频率会随着工艺偏差而发生偏离，而 OSC 的频率必须限定在一定的范围中，才能使得芯片正常工作，因此在芯片内部必须对 OSC 进行可测试性设计，并且根据测试的结果对频率进行调整，本 OSC 振荡频率在一定的范围内波动，论文对于这种宽频率范围变化的 OSC 可测试性设计采用如下可测试性设计方法：门限信号在测试控制信号为“1”时，并且被测信号上升沿时开始置为“1”，此时，两个计数器分别对被测试信号与标准信号的脉冲进行计数，门限信号在测试信号为“0”并且被测信号的下降沿时置为“0”，此时两个计数器停止工作，假设被测信号的计数器为 N_0 ，标准信号计数器为 N_1 ，标准信号频率为 f ，则被测信号频率为： $f_x = (N_0/N_1) f$ 。

本设计是对一款采用 SMIC 0.13 μm 标准 CMOS 工艺实现的 30 MHz 的 OSC 进行可测试性设计。OSC 的引脚说明如图 3 所示。

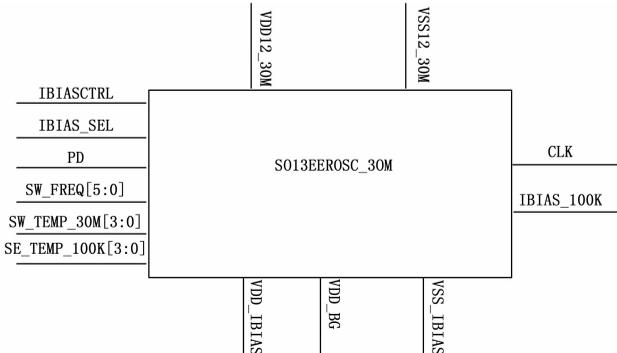


图 3 OSC 引脚图

CLK 引脚在 PD=0 时使输出 OSC 产生的频率。该频率可以通过 SW_FREQ [5: 0] 的控制值进行改变，当 SW_FREQ [5: 0] 的控制值增加时 OSC 产生的频率增加，反之，

随着控制值的减小，OSC 产生的频率减小。SW_FREQ 的大小通过上述频率测试的结果产生。

2.3 非接触模拟前端电路测试性设计

模拟前端部分主要包含射频和电源管理两部分电路，射频部分主要功能有：通过射频耦合从读卡机中发出的电磁波中获取能量；其次是将双界面卡芯片处理后的数据通过负载调制的方式从空间发射出去，使读卡机接收。电源管理模块主要是通过 LDO 模块产生内部电路使用的电源。在这部分模拟前端电路的可测试性设计中主要是通过增设多路选择器和模拟总线，使得内部电路观测点可以通过外部增设的测试引脚进行观测，具体如下：增加两个模拟测试输出引脚，ANALOGtest1 和 ANALOGtest2。(1) ANALOGtest1 为模拟低压测试引脚为，通过 4-16 译码器选择其中一个测试点进行输出；(2) ANALOGtest2 为模拟高压输出引脚，测试点通过译码器进行选择。具体测试电路结构如图 4。

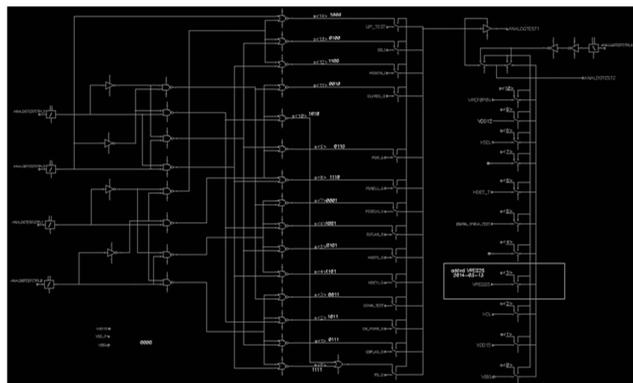


图 4 RF-PMU 测试电路结构图

3 基于 V777 系统的测试验证

对最终流片的芯片采用 V777 测试系统进行测试验证，对芯片采用 5 V 电源供电，测试频率为 4 MHz，test_en 管脚显示有效，对存储器的测试性进行验证，存储器读写功能正确；芯片正确响应 OSC 分频输出功能验证，进入测试态后输入 OSC 的 8 分频输出命令字，监测 IO 管脚输出，IO 口有时钟输出，测得 IO 时钟在 3.8~4.3 MHz 之间，OSC 的 8 分频输出功能正确。发送 OSC Trimming 测试命令，在设计等待 CLK 时钟内收到 IO 管脚返回的测试结束低信号，发送 OSC 的 8 分频输出命令，测试 IO 口输出的时钟，测得时钟为 3.61~3.68 MHz。重新上电测试 OSC 的 8 分频输出仍为 3.61~3.68 MHz。OSC trimming 功能正确。对 5 片样品的 OSC 进行测试，具体数据如下表：

表 1 OSC 样品测试结果

	样品(1)	样品(2)	样品(3)	样品(4)	样品(5)
OSC 分频输出/MHz	4.15	3.89	4.24	4.31	4.10
Trmning 后分频输出/MHz	3.68	3.62	3.64	3.61	3.64
OSC 工作电流/mA	1.43	1.52	1.49	1.48	1.43
OSC 关闭后电流/mA	1.05	1.04	1.02	0.99	0.97

对模拟前端部分可测试部分进行验证，模拟前段观测点都可以通过内部电路进行选择输出，证明可测试性设计正确。

(下转第 2336 页)

50、25 和 20。 Ta 取 20, Tb 取 0.8, K 取 10; 经过参数优化, 模糊自适应 PID 调整得到的 PID 控制参数: $Kp=0.28$, $Ki=0.021$ 和 $Kd=0.01$ 。将模糊自适应 PID 调速系统与没加入智能算法的变频调速系统进行比较^[9], 响应对比结果如图 6 所示。

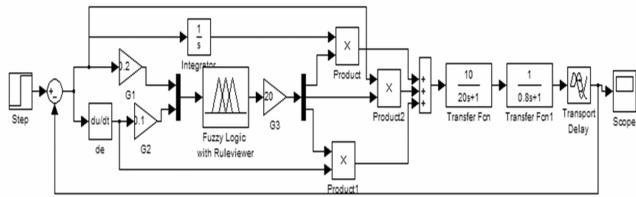


图 5 模糊自适应 PID 控制系统仿真模型图

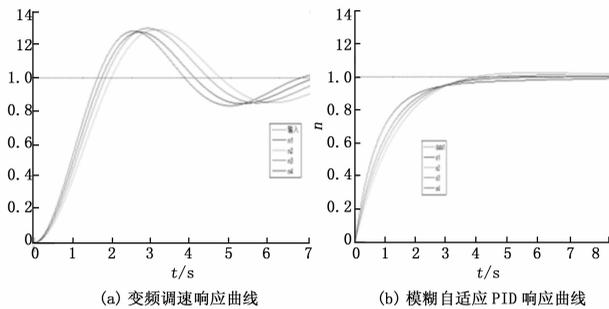


图 6 变频调速系统响应对比曲线

仿真结果表明, 加入模糊自适应 PID 智能算法的变频调速系统比传统的变频调速系统具有更好的适应性和控制效果, 超调量低于 2%, 稳定时间在 0.03 s, 控制平稳速度快, 显然加入智能算法至门座式起重机变频调速控制系统中具有良好的控制效果。

传统只采用继电器-接触器控制的起重机整机功率为 390 kW, 且有功率低下, 只有 0.7 左右^[2]; 采用模糊自适应 PID 变频调速方案, 起重机整机功率约为 310.3 kW, 减少了近 20%, 且有功率也提高至 0.89, 节能效果明显。

(上接第 2328 页)

4 结论

论文对一种金融双界面 IC 卡进行研究, 提出了设计结构, 然后对主要的电路单元, 如存储器, 振荡器和模拟前端电路进行可测试性设计, 最终采用 V777 测试系统对多个样片进行测试, 测试结果表明了可测试性设计的正确性。但是, 在本项目在可测试性设计中对硬件代码采用全人工设计, 在一定程度上提高了保密性和测试效率, 但随着芯片复杂程度增加, 这将造成工作量增大, 对设计造成一定的困难, 因此, 采用 EDA 工具与人工参与相结合的设计方法是将来的发展趋势。其次, 在本金融 IC 卡的可测试设计中, 对测试电路进行低功耗设计还有需要改进的地方, 这也是论文需要改进的另外一个方面。因此, 以上这两个方面都需要进一步研究。

5 结束语

在门座式起重机的运行过程中, 在 PLC 变频调速系统加入模糊自适应 PID 智能算法, 代替传统的接触器-继电器控制方式, 实现对起重机变频调速系统的精确控制。同时, 系统设计出 PLC 运行函数的方式代替常规的查表模式, 加快了对调速系统的控制速度。从实验仿真结果可以看出, 基于 PLC 模糊自适应 PID 起重机变频调速系统超调量低于 2%, 稳定时间在 0.03 s, 相较于传统的变频调速系统具有调速平稳快速、抗干扰且动态适应能力强等优势, 能精确控制起重机的运行机构。并且, 采用 PLC 自适应 PID 模糊控制, 可延长起重机的使用寿命, 有效减少起重机的用电量, 节能近 20%, 因此具有一定的推广应用价值。

参考文献:

- [1] 熊学成. 基于 PLC 的门式起重机的变频调速控制系统 [J]. 中国水运, 2008, 8 (12): 135-136.
- [2] 刘 普. 基于 PLC 和变频器的港口门座式起重机控制系统的研究 [D]. 南京: 南京理工大学, 2014.
- [3] 洪 炎, 郑晓亮, 苏静明, 等. 模糊 PID 在嵌入式冻结站变频节能中的应用研究 [J]. 计算机工程与应用, 2011, 47 (35): 224-227, 248.
- [4] 强明辉, 何 晓. 基于 PLC 模糊自适应 PID 伺服控制系统 [J]. 自动化与仪器仪表, 2013, (4): 180-183.
- [5] 许其义, 李 坤. 一种基于 PLC 的模糊自适应 PID 控制器设计 [J]. 电子技术, 2009, 36 (12): 32-33.
- [6] 王志凯, 郭宗仁, 李 琰. 用 PLC 实现模糊控制的两种程序设计方法 [J]. 工业控制计算机, 2002, 15 (2): 61-62.
- [7] 秦 帅, 张 斌, 李彬郎. 模糊自抗扰控制在永磁同步电机调速系统的应用 [J]. 计算机测量与控制, 2014, 22 (10): 3199-3202.
- [8] Huang Y, Yasunobu S. A General practical Design Method for Fuzzy PID control from conventional PID control [J]. Fuzzy systems, 2005 (2): 969-972.
- [9] Tanaka K, M sugeno. Stability analysis and design of fuzzy control systems [J]. Fuzzy sets and systems, 1992, 45 (2): 135-156.

参考文献:

- [1] 赵本阳. 商业银行发展金融 IC 卡行业应用探究 [J]. 上海金融, 2011, 45 (9): 94-98.
- [2] 曾孝平, 任家峪, 熊 东. 基于 RFID 的非接触式 IC 卡读写器设计 [J]. 计算机测量与控制, 2010, 18 (10): 2357-2359.
- [3] 陈圣俭, 李广进, 高 华. 基于外壳架构与测试访问机制的数字芯核可测试性设计 [J]. 微电子学与计算机, 2012, 29 (6): 42-45.
- [4] 胡明明, 王小力. SoC 芯片可测试性设计策略的实现研究 [J]. 电路与系统学报, 16 (2): 56-61.
- [5] 曲 伟. 基于 IEEE1149 标准的电子装备可测试性设计技术研究 [J]. 计算机测量与控制, 2010, 18 (10): 2710-2712.