

基于 FPGA 的快速脉冲数据采集及处理系统设计

张 瑶, 娄小平, 张文昌, 李伟仙

(北京信息科技大学 光电测试技术北京市重点实验室, 北京 100192)

摘要: 为了提高脉冲信号多参数提取的准确性, 从而更精确地表征细胞多种物理和生化特性, 设计了基于 FPGA 的快速脉冲数据采集与处理系统; 首先, 采用对时间窗口和幅值同时设定阈值的方法, 有效避免了噪声对有效脉冲识别的影响; 其次, 采用 FPGA 实现数据采集、快速数字滤波、以及脉冲峰值、面积和脉宽 3 个参数的提取, 并利用 FPGA 作为外部主控制器实现对 USB 芯片 CY7C68013A 内部 FIFO 的控制, 实现脉冲数据的高速处理、传输; 最后, 对系统的可行性及准确性进行了实验; 实验结果表明, 本系统能够对脉冲信号进行有效实时识别和高准确度的参数提取, 同时 USB 的数据传输速度可达 29.8 Mb/s, 满足系统数据传输的实时性要求。

关键词: 参数提取; 数字滤波; FPGA; 高速数据传输

Design of Fast Pulse Acquisition and Processing System Based on FPGA

Zhang Yao, Lou Xiaoping, Zhang Wenchang, Li Weixian

(Beijing Information Science and Technology University, Beijing Key Laboratory for Optoelectronic Measurement Technology, Beijing 100192, China)

Abstract: To improve accuracy of parameters extraction of pulse signal, and accurately characterize a variety of physical and biochemical characteristics of cells, a data acquisition and processing system of fast pulse based on FPGA is designed. Firstly, the method of setting threshold value for both time window and amplitude is adopted to effectively avoid the noise influence during effective pulse recognition. Then, data collection, fast digital filter are realized, as well as pulse peak, area and width are extracted in parallel. An external host controller is constructed by using FPGA modules to control the internal FIFO of the USB chip CY7C68013A for achieving high speed data transmission. Finally, related experiments are implemented to verify the feasibility and system accuracy. Experimental results illustrate that real-time processing of pulse signal can be finished effectively and the data transmission speed of USB can be up to 29.8 Mb/s.

Keywords: parameter extraction; digital filtering; FPGA; high-speed data transmission

0 引言

流式细胞仪是一种集流体动力聚焦技术、激光技术、电子物理技术、光电测量技术、细胞荧光化学技术等多种技术于一体的新型高速检测仪器, 主要由液流、光学、电子电路和显示分析软件四部分组成。液流部分形成高速稳定的单细胞流; 光学部分利用激光对标记有荧光染料的细胞进行照射, 并对激发出的荧光进行传输接收; 电子电路部分实现光电转化并对表征细胞特性的电信号参数进行提取, 之后将参数传输至上位机进行显示分析^[1]。

本文对电子电路部分中的荧光脉冲信号处理及传输进行了研究, 数据处理的准确性及数据传输的实时性将直接影响上位机数据显示分析的准确度。细胞经过激光检测区时所产生的荧光信号被 PMT 接收, 形成电脉冲信号。用于表征细胞特性的电信号参数主要有脉冲峰值、面积和脉宽。脉冲峰值与荧光信号强度成正比例关系, 代表了所测定细胞膜表面抗原数量。脉冲面积表征荧光的光通量, 常用于 DNA 含量的测定。脉冲宽度

度常用于区分双连体或多连体细胞。在对脉冲信号参数提取之前需要对数据进行高速滤波处理, 减小毛刺等噪声对计算结果的影响, 本文采用滑动平均数字滤波算法实现对脉冲信号的平滑处理。同时采用 USB2.0 接口实现 FPGA 与上位机之间的数据传输, 实现每秒上万个细胞的多参数信息传输。

1 总体结构

荧光脉冲信号采集处理系统的总体结构如图 1 所示。光电倍增管 (PMT) 将接收到的荧光信号转换成电脉冲信号, 电脉冲信号经过调理放大电路处理后传送至 ADC 芯片, ADC 芯片将模拟信号转换为数字信号并传送给 FPGA, FPGA 进行滑动平均滤波并判别有效脉冲信号, 进而实现峰值、脉宽和面积 3 个参数的提取, 再将参数依次存入下一级的 FIFO 中缓存, 最后将数据经 USB2.0 接口传送到上位机进行显示和分析。

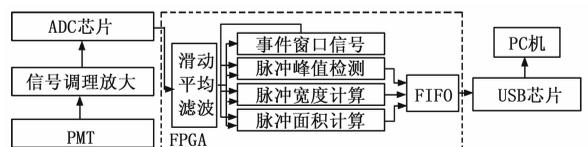


图 1 信号采集与处理系统总体结构图

收稿日期: 2014-09-02; 修回日期: 2014-10-17。

基金项目: 北京市属高等学校创新团队建设与教师职业发展计划项目 (IDHT20130518); 长江学者和创新团队发展计划资助 (IRT1212)。

作者简介: 张 瑶 (1990-), 女, 湖北荆州人, 硕士研究生, 主要从事光电检测技术及仪器方向的研究。

娄小平 (1970-), 女, 北京人, 教授, 硕士生导师, 主要从事光电检测技术及仪器方向的研究。

FPGA 芯片采用 Xilinx 公司 Spartan6 系列中的 XC6SLX25, ADC 芯片选用的是美国 Analog Device 公司的 AD9203, USB 芯片采用 Cypress 公司 EZ-USB FX2 系列中的 CY7C68013A。

2 滑动平均数字滤波

由于细胞碎片以及光电转化过程中电子噪声的存在，FPGA 接收到的数字曲线中包含高频波动与毛刺。本文采用的滑动平均数字滤波算法具有低通特性，并且能够满足数据高速处理的需求。根据信号的采样频率，为避免数据点产生较大的偏移，在 FPGA 中实现滑动平均滤波的具体方案为：选取 5 个采样点，初始值置零，求和后，除以 5，得到中间采样点的滤波值 y_n ，然后去除这一组数中左端一个点的数据，往前移动一位，在右端加上下一个采样点的数据，重复上述过程，得到平滑曲线的第二个值^[2]。如此反复进行，就可获得整个曲线的数据。其数学表达式为：

$$\begin{cases} y_n = x_n (n = 1, 2) \\ y_n = \frac{1}{5} \sum_{i=n-2}^{n+2} x_i (n \geq 3) \end{cases} \quad (1)$$

该滤波模块采用 5 级移位寄存器 Fd 和 4 个加法器 Adder 实现对输入数据的滑动求和，5 级移位寄存器组成一个数据队列，在每个时钟上升沿的推动下移动一次，形成新旧数据的移入移出，接着用一个固定数值为 5 的除法器 Divider 实现对滑动求和平均的运算，最后将计算完成的数值赋值给 Filter_out 寄存器，作为滤波值。滤波器的时钟 Clk 与 ADC 芯片的采样时钟同步，为 40 MHz，输入信号源为 ADC 芯片的输出信号 ADataOut，其结构图如图 2 所示。

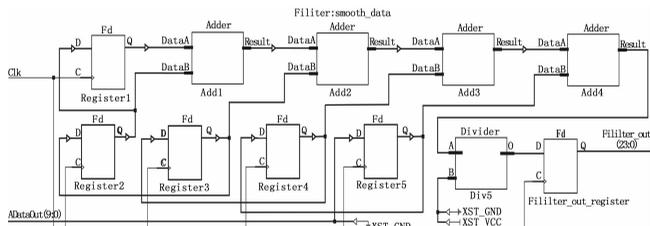


图 2 滤波模块结构图

将未滤波的采样数据与滤波后的采样数据均传输至上位机，经 Matlab 拟合后的曲线如图 3 所示。

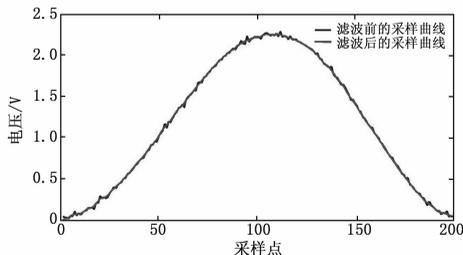


图 3 滤波前与滤波后的拟合曲线

通过比较可知，滤波后的曲线较滤波前的曲线平滑，对脉冲信号的幅值、宽度等信息没有造成损害。

3 脉冲的多参数提取

3.1 阈值设定和参数提取

脉冲参数提取的整体过程如图 4 所示，包括阈值设定、峰值、脉宽、面积计算、参数选取以及 FIFO 缓冲模块。

首先，阈值设定模块 (Set_threshold) 通过在 FPGA 中设定合理的窗口门阈值，产生事件窗口门信号，接着峰值计算 (Pulse_peak)、脉宽计算 (Pulse_width)、面积计算 (Pulse_area) 这 3 个模块并行地计算脉冲的 3 个参数，当窗口门信

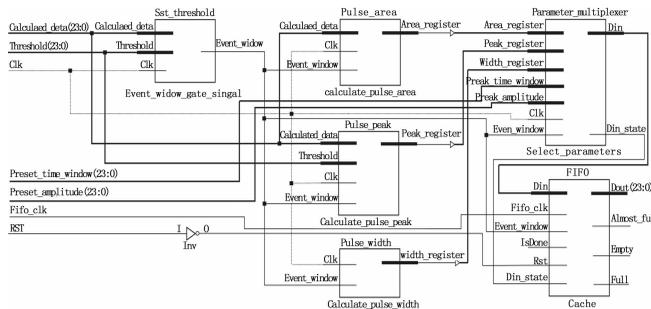


图 4 脉冲信号多参数提取整体结构图

号为高电平时，这 3 个模块被同时触发，进行参数计算。一个脉冲计算结束后，参数选取模块 (Parameter_mux) 将脉冲幅值和时间窗口值与预设值进行比较，筛选出有效脉冲的峰值、面积及脉宽并将这些参数顺序写入到 FIFO 的输入端口，FIFO 模块用来进行缓存^[3]。脉冲参数提取的时钟 Clk 与滤波器的时钟相同，为 40 MHz，该时钟用于 Set_threshold、Pulse_peak、Pulse_area、Pulse_width、Parameter_mux 等模块中，而 FIFO 的读写时钟 Fifo_clk 与 USB 的时钟同步，为 20 MHz。

设置阈值的目的是避免尘粒、碎片和电子噪声的干扰，并保证样品信号被完全检测、不丢失。本文提出在 FPGA 进行参数提取之前对脉冲幅值及时间窗口同时设置阈值，时间窗口对应于脉宽，即高于或等于这两个阈值的信号才能被记录下来。脉冲信号的实时记录原理如图 5 所示，从图中的数据波形显示可知，首先根据采样得到的数据合理设置窗口门的阈值，将该阈值设置为稍微大于脉冲信号的最小值，从而能在一个窗口门内采集到一个比较完整的有效脉冲信号，使计算的参数比较准确。

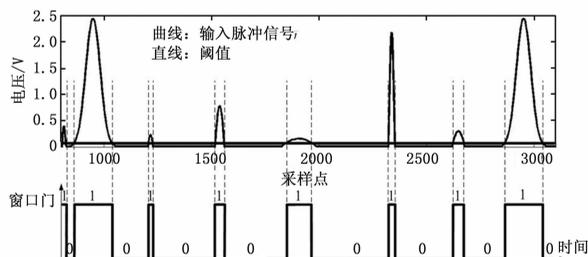


图 5 脉冲信号实时记录原理示意图

细胞持续的时间为 1~5 s 左右，则每个脉冲采样 40~200 个左右的数据点。如图 5 所示，若脉冲信号的脉宽低于 40 个采样点，或是脉冲的峰值太低，将这类脉冲信号作为噪声处理。只有当脉冲的峰值和脉宽均达到要求时，该脉冲为有效脉冲。如图中的第二个脉冲和最后一个脉冲为有效脉冲，所计算的参数会写入 FIFO 中，而其他脉冲作为噪声处理。

阈值设定模块 (Set_threshold) 采用数字比较器生成窗口门信号，并通过实验测试设定一个合理的窗口门阈值常量，该常量作为比较器的触发电平，当采样点的数据高于或等于触发电平时，比较器输出高电平，否则输出为低电平，将比较器输出的电平信号存储在 Event_window 寄存器中，作为事件窗口门信号。当窗口门信号为高电平时，对输入的脉冲信号进行计算。系统将会连续不断检测所输入的数据，输出事件窗口门信号。

脉冲峰值为窗口门内所有数据点的最大值。峰值计算模块

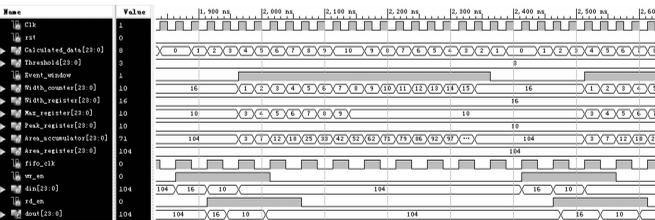
(Pulse_peak) 采用数字比较器来计算脉冲峰值^[4]。设计中, 将最大值寄存器先置初值为与窗口门阈值相等的值, 当窗口门信号为高电平时, 比较器将采集的数据 Calculated_data 与最大值寄存器中的值进行比较, 比较过程中, 所获得的最大值再存入最大值寄存器中^[5]。当窗口门信号为高电平时选择比较器输出的最大值存入最大值寄存器中, 低电平时将最大值寄存器中的值存储到峰值寄存器 Peak_register 中并选择窗口门阈值为最大值寄存器的初值。

脉冲宽度为窗口门内所有数据点的数量, 即在一个脉冲信号中, 高于或等于窗口门阈值的数据点的数量。脉宽计算模块 (Pulse_width) 采用数字计数器来计算脉冲宽度。设计中, 将计数器先置初值为 0, 当窗口门信号为高电平时, 在每个时钟的上升沿, 计数器加 1, 低电平时, 停止计数, 并将计数器中的值存储到 Width_register 中, 计数器清零。

脉冲面积为窗口门内所有数据点的总和。面积计算模块 (Pulse_area) 采用数字累加器来计算脉冲的面积, 设计中, 将累加器先置初值为 0, 当窗口门信号为高电平时, 在每个时钟的上升沿, 累加器将当前值与采样值 Calculated_data 相加, 累加后的数据存储在累加器寄存器中, 低电平时, 停止累加, 并将累加器中的值存储到 Area_register 中, 累加器清零。

一个有效脉冲计算结束时, 控制电路将发出一个写 FIFO 脉冲, 将 FIFO 写使能置高电平, 将峰值寄存器、宽度寄存器以及面积寄存器中的值依次写入到下一级的 FIFO 中进行缓存, 直到这 3 个数全部被写入 FIFO 后, 将 FIFO 写使能置低电平, 停止写入数据。当检测到一个新的有效脉冲时, 在 FPGA 中对 3 个参数进行计算, 不断重复上述过程。

本文通过调用 FPGA 的 IP 核生成 FIFO, 大小为 64 × 24 bit。AD9203 的采样位数为 10 bit, 采样频率为 40 MHz, 而每个细胞持续的时间为 5 μs 左右, 则每个脉冲采样 200 个左右的数据点, 这些数据点相加后所获得的面积值的位数在 16 bit 至 24 bit 之间, 故本文设计的 FIFO 的位数为 24 bit。参数提取的时序仿真图如图 6 所示。



3.2 测试结果分析

采用脉冲生成器产生一个模拟的高斯脉冲信号, 利用 AD9203 对该信号进行采样, 首先在 FPGA 中设置窗口门阈值, 数字量设为 7, 转换成模拟量为 0.02 V, 再对脉冲的峰值、脉宽以及面积进行计算, 对采样得到的脉冲信号进行计算后, 随机取 1 组计算值与原始信号的参数值进行比较。并对同一幅值的脉冲信号不断地进行采样, 采集 100 组实验数据, 计算这 100 组数据的平均值与标准差, 分析系统的随机误差。原始信号如图 7 示波器所示, FPGA 根据采样数据所计算出的参数值、平均值以及误差值如表 1 所示。

由表 1 可知, 参数的计算值分别为: 峰值的数字值为 661, AD9203 为 10 bit, 输入电压范围为 0~3 V, 所以转换的

模拟电压值为 $(661/1023) \times 3$, 即 1.938 V, 脉冲宽度的采

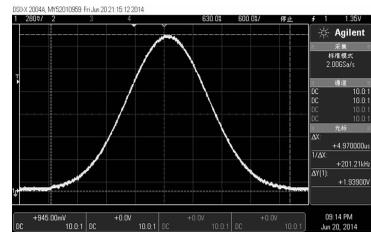


图 7 原始脉冲信号

表 1 参数计算值与误差分析

参数	FPGA 计算值	平均值	标准差
峰值	661	661.652	0.6331
脉宽	198	197.696	0.4601
面积	55027	54978.915	59.2915

样点数为 198 个点, 而采样频率为 40 MHz, 即脉宽的增量为 25 ns, 所以脉宽时间为 $198 \times 25 \text{ ns}$, 即 4.95 μs。根据表 1 将 100 组数的平均值的数字值转换为模拟值, 分别为: 峰值电压值为 1.94 V, 脉宽时间为 4.942 μs。

由图 7 可知, 原始脉冲信号的脉宽时间为 4.97 μs, 脉冲的峰值电压为 1.939 V。通过比较分析, FPGA 的计算值与平均计算值均与原始脉冲信号的参数非常接近, 所以系统计算准确度较好。并由表 1 中 3 个参数的标准差可知, 系统的随机误差小, 系统稳定性较好。

4 USB 接口设计

为满足数据采集系统传输速度的需要, 系统选择内置 USB 接口的微控制芯片 EZ-USB FX2 系列 CY7C68013A。芯片集成了 USB2.0 收发器、串行接口引擎 SIE、增强型 8051 微控制器以及通用可编程外部接口, 支持高速传输 (480 Mbps)^[6]。

4.1 FPGA 程序设计

本文采用 Slave FIFO 模式, 利用 FPGA 作为外部主控制器实现对 USB 芯片内部 FIFO 的控制。FPGA 向 USB 写入数据的流程如图 8 所示。

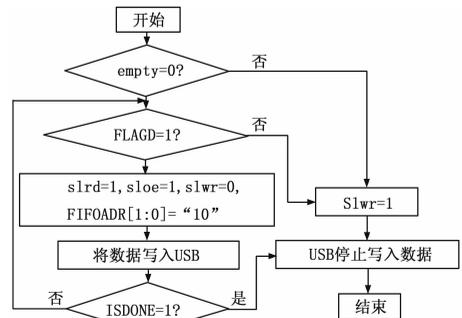


图 8 FPGA 向 USB 写入数据流程图

其中, slloe 用于使能数据总线 FD 的输出, slwr 与 s1rd 分别为 FIFO 的读写控制信号, FIFOADR [1: 0] 作为地址线用来选择与 FD 连接的端点缓冲区, 本文选择输入端点 EP6, 将其设置为 "10", 配置标志引脚 FLAGD 可以反映端点 6 的 FIFO 的使用情况^[7]。

在 FPGA 的 FIFO 非空的状态下, 判断端点 6 的 FIFO 是

否为满，如果不满且 FPGA 的 FIFO 内有数据，则往 USB 的 FIFO 内写入数据，即 slwr=0（写控制信号低电平有效），当一个脉冲的三个参数全部被读出到 USB 的 FIFO 中而下一个脉冲还未计算完成（IsDone=1），FPGA 的 FIFO 为空，或者 USB 的 FIFO 满，此时，USB 停止写数（slwr=1），等到第二个脉冲的参数写入 FIFO 中后，FPGA 的 FIFO 非空，不断地重复上述过程。

4.2 数据传输速度测试

完成系统的硬件连接以及 USB 的固件程序下载之后，启动程序，将程序下载到 FPGA 内，FPGA 中的数据经端点 6 输入给 USB 传输给上位机。传输速度为传输数据量和时间的比值^[8]，通过测试可知，数据写入 USB 的传输速度可达 29.8 MB/s。本设计所采用的 USB 的同步时钟为 20 MB/s，所以该速度完全可以满足流式细胞仪数据采集系统数据传输速度的要求。

5 结论

本文针对流式细胞仪数据采集系统提出了总体设计方案，并据此对系统功能和模块设计进行了详细介绍和分析，经实验测试，该系统能准确地对数据进行滤波并在 FPGA 内进行参数计算与传输，将提取的参数与原始曲线进行对比，提取的 3

（上接第 1694 页）

系统的参数测试要求。

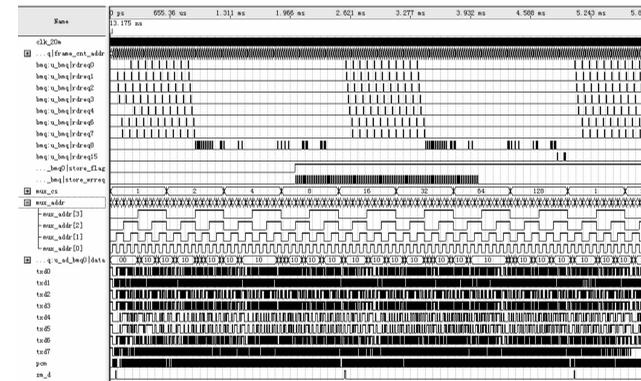


图 3 基于现场可编程门阵列的通用化 PCM 编码器仿真图

基于现场可编程门阵列的通用化 PCM 编码器样机的测试能力为模拟量 1~128 路、数字总线（CAN、RS422、RS232、RS485）1~8 路、记忆重发时间 1~200 ms、码速率 2 m 范围内可设置，适用于 φ50 mm 以上口径弹箭的动态验证。

为了验证该编码器样机的可靠性，将其安装在多个弹箭遥测系统中进行了应用，通过 FPGA 内部软件功能模块的积木式组合和参数配置，在上位机软件支持下通过计算机和串行 AS 接口对编码器进行在线调试，满足了不同弹箭遥测系统的应用需求。例如根据制导火箭遥测系统测试要求，通过在线配置将该编码器模拟通道数设置为 20 路，码速率设置为 819.2 kbps，通过遥测地面站接收数据。图 4 为基于现场可编程门阵列的通用化 PCM 编码器应用在制导火箭上的时间—幅度测试曲线，飞行试验结果表明该编码器在全弹道飞行过程中工作稳定可靠。

4 结论

本文提出了一种基于现场可编程门阵列的通用化 PCM 编

码器。该方法以软件为主的信号处理方式代替硬件处理，采用 Verilog HDL 语言和模块化的设计思想将编码器的各功能模块集成在单片 FPGA 中，通过功能模块的积木式组合和参数配置实现了对被测弹箭系统的采集编码。仿真测试结果表明该编码器满足绝大多数弹箭遥测系统的参数测试要求，在弹箭遥测系统中飞行试验结果表明该编码器在全弹道飞行过程中工作稳定可靠，该编码器实现了通用化的要求。

参考文献：

- [1] 吴后男. 流式细胞术原理及应用教程 [M]. 北京: 北京大学医学出版社, 2008.
- [2] 陈世海, 裴东兴, 张琦. FPGA 实现滑动平均滤波算法和 LZW 压缩算法 [J]. 电子设计工程, 2010, 18 (2): 67-69.
- [3] 夏宇闻. Verilog 数字系统设计教程 [M]. 北京: 北京航空航天大学出版社, 2008.
- [4] 郑宝华, 修连存. 基于 FPGA 的多道脉冲幅度分析器设计 [J]. 核电子学与探测技术, 2013, 33 (2): 230-233.
- [5] 廖祖禹, 黄建国, 戴志坚. FPGA 在峰值检测中的应用 [J]. 测控技术, 2010, 29 (1): 10-12.
- [6] 钱峰. EZ-USB FX2 单片机原理、编程及应用 [M]. 北京: 北京航空航天大学出版社, 2006.
- [7] 吴磊, 郭超平, 申世涛. 基于 CY7C68013 与 FPGA 的便携式数据采集系统 [J]. 计算机应用, 2012, 32 (S1): 164-166.
- [8] 向文芳, 邢涛, 曹红兵, 等. 高速数据采集系统的 USB 接口设计 [J]. 计算机测量与控制, 2011, 19 (10): 2567-2570.

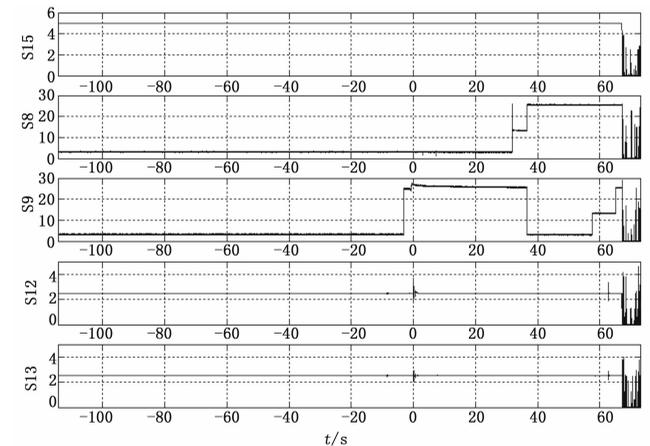


图 4 通用化 PCM 编码器在制导火箭上的测试曲线

码器。该方法以软件为主的信号处理方式代替硬件处理，采用 Verilog HDL 语言和模块化的设计思想将编码器的各功能模块集成在单片 FPGA 中，通过功能模块的积木式组合和参数配置实现了对被测弹箭系统的采集编码。仿真测试结果表明该编码器满足绝大多数弹箭遥测系统的参数测试要求，在弹箭遥测系统中飞行试验结果表明该编码器在全弹道飞行过程中工作稳定可靠，该编码器实现了通用化的要求。

参考文献：

- [1] 闫鑫. PCM 记忆重发编码器的设计 [J]. 电子测试, 2012 (3): 73-76.
- [2] 车继海, 王琪. 基于 FPGA 的可编程 PCM 采编器的实现 [J]. 计算机与现代化, 2006 (1): 24-27.
- [3] 樊昌信等编著. 通信原理 (第五版) [M]. 北京: 国防工业出版社, 2001.
- [4] 王诚, 吴继华, 范丽珍, 等. Altera FPGA/CPLD 设计 (基础篇) [M]. 北京: 人民邮电出版社, 2005.