

新一代运载火箭时序仿真系统信号完整性分析

马雪松¹, 姚静波², 邢茂林¹, 乐天¹

(1. 装备学院 研究生院, 北京 101416; 2. 装备学院 航天装备系, 北京 101416)

摘要: 新一代运载火箭时序仿真系统具有数字电路速度快、集成度高的特点, 系统要求发出多路高精度时序、时串信号以满足新一代运载火箭地面测试设备的检查与校准需求, 因此信号完整性问题在系统设计中不容忽视; 针对仿真系统的典型模块 (USB 3.0 Super-speed 差分线、FPGA 外设数据走线、时钟走线) 进行建模分析仿真得出 PCB 硬件电路设计参数, 给出时序仿真系统设计信号完整性问题的抑制和解决方法, 优化了板级信号质量, 改善系统可靠性、工作连续性和输出精度, 可有效提高新一代运载火箭测试效率和测试可靠性。

关键词: 运载火箭; 测试; 信号完整性; USB 3.0; FPGA

Analysis on Signal Integrity of New Generation Launch Vehicle Timing Simulation System

Ma Xuesong¹, Yao Jingbo², Deng Maoling¹, Le Tian¹

(1. Company of Postgraduate Management, Equipment Academy, Beijing 101416;
2. Department of Space Equipment, Equipment Academy, Beijing 101416)

Abstract: The new generation Launch vehicle has the features of high-speed and high-density like any other digital circuit. Multi-channel, high-precision timing sequence and timing bunchs are required to meet the new generation launch vehicle ground test equipment demands of test and calibration, so the problem of signal intergrity can not be ignored during its designing. Parameters of PCB circuit can be obtained to restrain and solve the problem of signal intergrity by modeling and analysing the typical models (USB 3.0 Super-speed Differential pairs, routing of digital and clock of the FPGA peripherals). Design system with these parameters can optimize the quality of signals on the PCB board. Reliability, work continuity and outputing precision of the system can be enhanced, it also improve the test efficiency and test reliability of the new generation launch vehicle.

Keywords: launch vehicles; test; signal integrity; USB 3.0; FPGA

0 引言

新一代运载火箭对火箭发射的测试流程、测试周期、测试精度、可靠性及工作连续性提出了新的要求。传统的校准仪器和等效器对地面测试设备进行校准与测试时, 测试效率、人力、可靠性等方面无法满足未来测试工作的需求。因此设计一种输出精度高, 系统可靠性和工作连续性好的时序仿真系统模拟箭上系统对地面设备进行校准测试, 可有效提高测试效率, 增加测得数据可靠性。

时序仿真系统整体框图如图 1 所示, 系统包括 USB 3.0 接口控制器 (CYUSB3014)、FPGA (EP3C16Q240C8) 及其外设电路、SDRAM、D/A 转换器、噪声叠加模块。为保证信号精度和可靠性, 对系统关键模块电路 USB 3.0 接口和 FPGA 及其外设电路进行信号完整性分析, 通过对其进行理论分析和建模仿真给出信号完整性问题的抑制和解决方法, 为 USB 3.0 相关系统设计和运载火箭硬件测试系统的信号完整性分析提供理论依据和具体分析实例。

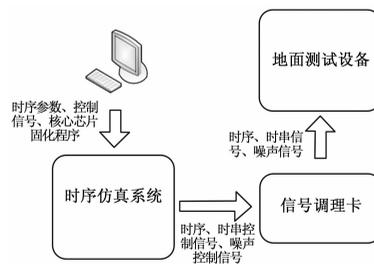


图 1 时序仿真系统框图

1 研究必要性

随着数字电路朝着高速、高集成度发展, IC 器件的工作频率越来越高, 数字电路的信号完整性成为一个突出的问题。信号反射、延迟、过冲、振铃、地弹、串扰等问题严重影响信号质量和完整性, 导致电路系统工作不正常或不能工作。采用信号完整性理论对电路系统进行设计可以有效解决信号完整性的突出问题。文献 [1] 采用矢量拟合法分析了过孔的信号完整性, 通过模型建立为电路大规模信号完整性的分析提供依据; 文献 [2]、[3] 对差分线完整性展开了研究, 文献 [2] 阐明了差分线不对称对电路的噪声影响, 文献 [3] 以 USB 2.0 为模型对差分线对进行理论分析; 文献 [4]、[5]、[6]、[7] 对实际运用中不同系统的信号完整性展开分析并分别给出了相应的解决方法。

收稿日期: 2014-06-04; 修回日期: 2014-07-17;

作者简介: 马雪松 (1989-), 四川冕宁人, 硕士研究生, 主要从事飞行器测试的研究。

姚静波 (1969-), 甘肃甘谷人, 副教授, 主要测试技术方向的研究。

时序仿真信号传输速率快, 系统工作频率高, 时序信号、时串信号精度等级高, 系统设计忽视信号完整性问题可能会导致系统无法工作, 具体表现如: USB 差分线信号完整性缺失导致芯片无法固化程序; 时序参数配置出现错误等; 串扰、延迟影响数据传输, FPGA 内部逻辑电路无法正常工作; 系统存在电磁辐射干扰其他系统、部件正常工作; 时序输出端信号反射引起的过冲、振铃都会导致时序信息错乱等问题。因此, 对系统进行信号完整性分析, 对于保证系统可靠性与工作连续性, 以及时序、时串信号精度有着重要意义。

2 USB 3.0 差分线建模分析与解决方法

差分线具有抗干扰能力强、时序定位精确、EMI 抑制能力强的特点, 被广泛运用于高速电路设计。USB 2.0 规范采用 D+、D- 差分线和半双工协同工作, 工作速率可达 480Mbit/s, USB 3.0 规范增加了发送端差分对 USB3_ TX+, USB3_ TX- 和接收端差分对 USB3_ RX+, USB3_ RX- 以及 GND, 可协同工作于全双工模式, 数据传输速率可达 5Gbps。USB 3.0 的高速率传输, 对信号完整性有着更高的要求。

USB 3.0 Super-speed (超速模式) 传输线不同于 USB 2.0 信号线材质, 采用 SDP (STP, Twinax) 信号线, 该信号线差分阻抗为 $90 \pm \Omega$ ^[8], Super-speed 差分信号线信号传输速率快, 进行布线时应考虑其传输线损耗、阻抗匹配、静电保护等问题。时序仿真系统以接收端差分线 USB3_ RX+ 和 USB3_ RX- 为例进行信号完整性分析。

PCB 板上走线分为微带线和带状线, 微带线是位于顶层底层或其他外层上的印制线条, 带状线是两个实体平面层中间的信号线层上的印制线条。微带线由于平面实体间耦合电容小, 信号传输速率快, 但对 PCB 上产生的 RF 能量抑制能力最小; 带状信号传输慢, 但加强了抗 RF 辐射发射噪声的特性。

时序仿真系统采用 USB 3.0 Micro Type B 贴片式接插件, 差分线对建模按微带线进行分析研究。USB 3.0 的差分线的拓扑结构如图 2 所示。

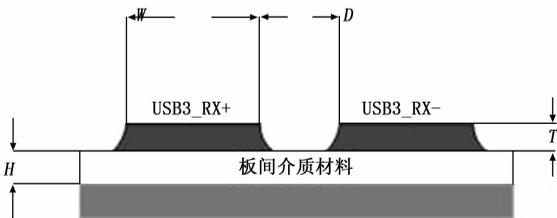


图 2 USB3.0 差分线拓扑结构

对差分线对进行建模, 假设 RX+ 电压、电流、阻抗分别为 V_1 、 I_1 、 Z_1 , RX- 对应的电压、电流、阻抗为 V_2 、 I_2 、 Z_2 , 则有:

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} I_1 & I_2 \\ I_1 & I_2 \end{bmatrix} \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{22} & Z_{21} \end{bmatrix} \quad (1)$$

Z_{12} 、 Z_{21} 表示 RX+ 与 RX- 差分对线间耦合阻抗 $Z_{12} = k \times Z_{11}$, $Z_{21} = k \times Z_{22}$, PCB 布线使差分线长、宽、厚度一致, 阻抗相等, 则有差分线特征阻抗 $Z_{11} = Z_{12} = Z_{线}$, 线间耦合阻抗 $Z_{12} = Z_{21} = Z_{耦合}$ 。差模阻抗^[9]的计算公式

$$Z_{差模} = 2(Z_{线} - Z_{耦合}) = 2Z_{线}(1 - k) \quad (2)$$

由此可得, 差分线对在特征阻抗恒定的情况下, 其奇模阻抗、差模阻抗、共模阻抗主要由耦合系数 L 决定。National

Semiconductor 公司在文献 [10] 发表了一些差分走线阻抗计算公式供用户进行电路板设计时计算使用, 其中微带线差分线 R+ 与 R- 间差模阻抗为:

$$Z_{差模} \approx 2Z_{线} (1 - 0.48e^{-0.096 \frac{D}{H}}) \quad (3)$$

一个微波传送带的阻抗^[9]为:

$$Z_{线} = \left(\frac{87}{(\epsilon_r + 1.41)^{0.5}} \right) \ln \left(\frac{5.98H}{0.8W + T} \right) \quad (4)$$

由 (3) (4) 可得:

$$Z_{差模} \approx \left(\frac{154}{(\epsilon_r + 1.41)^{0.5}} \right) (1 - 0.48e^{-0.096 \frac{DH}{ln 5.98H \cdot 0.8W + T}}) \quad (5)$$

若 PCB 制板铜箔厚度采用 0.5 盎司 ($T = 0.709 \text{ mil}$), 介电常数 $\epsilon_r = 4.3$, 要将走线阻抗 $Z_{线}$ 匹配 USB 3.0 Super-speed 传输线差分阻抗 90Ω , 将参数带入通过式 (5) 得到 W 、 H 、 D 的关系:

$$1.3953 \approx (1 - 0.48e^{-0.096 \frac{D}{H}}) \ln \left(\frac{5.98H}{0.8W + T} \right) \quad (6)$$

由式 (6) 即可分析在不同层叠高 H 下线宽 W 和线间距 D 的关系, 其对应曲线图如图 3 所示。

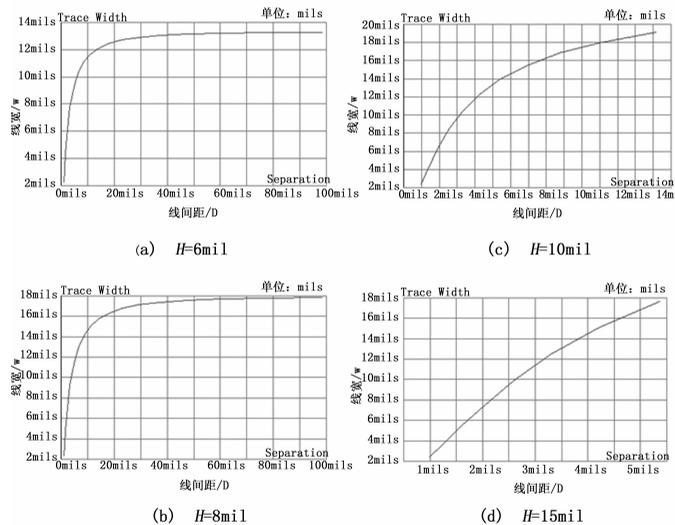


图 3 USB3.0 差分线 W、D 曲线图

由上图可知, 要将阻抗匹配到 90Ω , 介电常数和走线高度 T 恒定, 当板层厚度增加, 线宽 W 和线间距 D 趋向于线性关系, 为了便于调节线宽和线间距, 匹配板卡其余部分阻抗线, 选择 $H = 10 \text{ mil}$ 厚度的 W 、 D 曲线进行分析。

表 1 差分线 W、D 参数表 ($H = 10 \text{ mil}$)

	1	2	3	4	5
线宽 W/mil	14.584	16.3	17.5	18.40	19.3
线间距 D/mil	6.0	8.0	10.0	12.0	15.0

结合 Micro Type B 贴片接插件与 CYUSB3014 硬件封装图的管脚间距、引脚宽度, 最后选择 $W = 18.4 \text{ mil}$, $D = 12.0 \text{ mil}$ 作为系统差分线的线宽和线间距。

USB 3.0 差分线 PCB 走线时还应当注意尽可能减小差分线的走线以降低介质损耗和信号 EMI 辐射, 为防止静电对信号传输和系统造成影响, 采用 Semtech 公司的 RCLAMP0524J 器件作为接口的 ESD 静电保护。

3 FPGA 接口信号完整性分析

时序仿真系统 PCB 电路信号传输线包括 EZ-FX3 (USB 3.0 控制器) 和 FPGA 芯片间数据通信, FPGA 与其外设 SDRAM、Flash、数模转换器等数据通信, 时钟和电源线, 对其进行信号完整性分析对保证数据传输速率和可靠性具有重要意义。为保证数据传输速率, EZ-FX3 与 FPGA 间通信为 GPIF II 接口通信模块, 该接口模块采用 32 位同步数据传输的方式进行通信, 时钟频率高达 100 MHz, SDRAM 存储器接口工作频率达到 50 MHz, 具有 16 并行数据传输通道, 将二者作为系统传输线典型进行信号完整性分析与仿真, 仿真平台用 Mentor 公司的 Hyperlynx 软件来进行。

贴片式 IC 封装比 DIP 封装少 30% 的地弹^[11], 故系统 IC 尽量采用贴片封装, 布局时在 IC 供电电源最近位置放置去耦电容以减小地弹。

3.1 反射

传输线在传输过程中, 由于走线不均匀导致传输线阻抗突变或负载阻抗不匹配时, 均会发生反射, 反射导致的过冲、振铃均会影响信号质量。信号反射模型文献 [8] 中已经做了推导, 反射的大小用电压发射系数来表示。

$$\rho = \frac{Z_x - Z_0}{Z_x + Z_0} \quad (7)$$

其中: Z_x 为突变阻抗或者负载阻抗, Z_0 为传输线特征阻抗。当 $Z_0 = Z_x$ 时, 反射系数为 0, 则不存在反射; Z_x 无限大时, $\rho = 1$, 此时信号全部反射。因此对信号线和时钟线进行阻抗分析, 通过阻抗匹配避免信号反射可有效提高信号传输效率。通过软件分析可得各个网络走线长度、特征阻抗值、阻抗匹配值、匹配位置等参数, 随机选择几个网络, 其阻抗匹配参数如表 2 所示。

表 2 阻抗匹配参数表

	DQ1	DQ4	DQ10	S_D2	S_D5	PCLK
特征阻抗 (Ω)	103.9	93.7	94.4	70.1	102.2	60.3
匹配阻抗 (Ω)	32.3	52.6	37.7	63.0	61	28.7
匹配方式	串联端接					

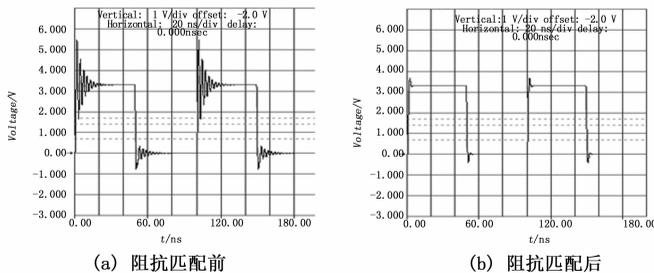


图 4 PCB 传输线反射分析仿真

DQ1、DQ4、DQ10 为 32 为并行数据传输线, S_D2 、 S_D5 为 SDRAM 的 16 位数据线, PCLK 为 GPIF II 接口同步时钟。DQ1、DQ4、DQ10 以及 S_D2 、 S_D5 阻抗不一致是由于过孔及走线的影响, 阻抗匹配存在差异是因为阻抗匹配匹配时根据 IBIS 模型的写入考虑了器件驱动端和接收端的阻抗。按照上表给出的匹配参数对 PCB 图进行修改, 即可得到阻抗匹配后信号反射仿真的仿真图, 并可与阻抗匹配前进行对比。图 4 (a) 为匹配前的仿真图, 图中信号接收端有严重的上冲

和下冲, 伏值摆动较大, 产生了振铃现象。图 4 (b) 为匹配后的仿真图, 从图中可得, 阻抗匹配后信号传输过程中反射被最大程度抑制了。

3.2 串扰

时序仿真系统信号完整性分析中, 信号传输线容易被邻近的传输线所影响, 产生的噪声信号影响系统的功能性, 导致其不能正常工作, 因此对其进行串扰分析并采取抑制措施具有重要意义。根据受干扰线的受扰位置可分为近端串扰 (NEXT) 和远端串扰 (FEXT)。文献 [8] 对近端串扰和远端串扰的模型进行了分析, 攻击线得感性耦合噪声与容性耦合噪声在远端极性相反, 二者叠加噪声较小; 攻击线近端感性耦合噪声与容性耦合噪声极性相同, 噪声叠加后对受害线影响较大。攻击线电流为近端串扰噪声模型^[12]为:

$$V_{\text{噪声}} = \frac{1}{L_m} \Delta X \frac{di_{\text{攻击}}}{dt} + \frac{1}{Z_0 C_m} \frac{di_{\text{攻击}}}{dt} \quad (8)$$

$i_{\text{攻击}}$ 为攻击线电流, $V_{\text{噪声}}$ 为受害线产生的噪声电压, L_m 为单位长度电感, C_m 为单位长度电容, ΔX 为单位时间相速传播距离的一半, m 为传输线互感。通过上式可得, 信号的耦合噪声与攻击噪声电流的变化速度, 信号自身特征阻抗, 耦合阻抗有关系。传输线耦合阻抗小, 特征阻抗小, 攻击线电流变化平缓, 则串扰引起的受害线的电压就小。

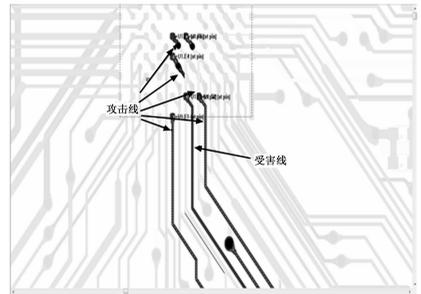


图 5 FPGA 核心模块设计

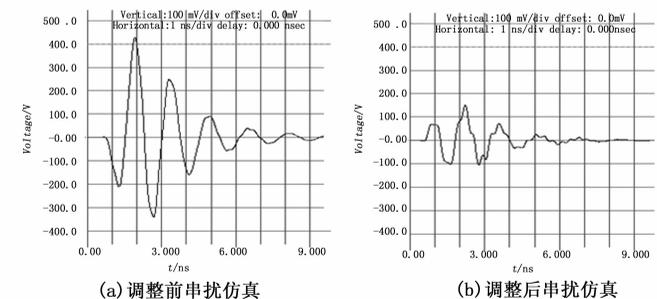


图 6 串扰噪声伏值

信号完整性分析以近端串扰为主, 对 EZ-FX3 与 FPGA 的数据信号传输串扰模型进行分析。串扰分析模型如图 5 所示, 以任意数据线作为受害线, 并分析相邻走线对其产生的干扰。

通模型结合软件对信号线进行串扰仿真, 给攻击线驱动端加入脉冲激励信号, 观察受害线的受扰情况。图 6 为间距、参考层距离、线宽调整前后的串扰仿真图, 从图 6 (a) 中可得噪声信号调整前串扰峰值可达 409.5 mV 和 -333.5 mV, 信号串扰噪声较大。通过调整走线、改变参考层距离、调整线宽和线间距等措施, 参考层距离为 10 mil, 线宽为 6 mil, 线间距调整为 20 mil, 得到改善后的信号串扰仿真图如图 6 (b) 所

示, 改善后的噪声信号串扰峰值为 147.4 mV 和 -96.9 mV。

通过上图得出参考层 10 mil, 线宽 6 mil, 线间距 10 mil 的走线可以较大程度抑制信号线串扰现象。

4 结论

通过对系统典型模块的建模分析以及仿真, 给出了时序仿真系统信号完整性问题的抑制和解决方法。

系统顶层和参考层叠距离为 10 mil, 采用 0.5 盎司 ($T = 0.709 \text{ mil}$) 铜箔厚度走线, 差分线宽度 18.4 mil, 线间距 12 mil, 可有效匹配 USB 3.0 差分线 90 Ω 阻抗; 采用 Semtech 公司的 RCLAMP0524J 器件可有效抑制 USB 接口静电攻击; IC 器件供电放置去耦电容减少地弹; 信号线通过串联端接电阻抑制反射, 减小过冲、振铃; 通过软件仿真调整信号线宽和线间距减小串扰。

综上所述, 对时序仿真系统进行信号完整性分析可以有效改善信号质量, 提高系统可靠性。

参考文献:

- [1] 孔繁, 盛卫星, 韩玉兵, 等. 基于矢量拟合的过孔等效电路提取方法 [J]. 电波科学学报, 2013, 28 (5): 869-876
- [2] 陈建华, 周立鹏, 李瑛. 差分对称性对信号完整性及噪声

(上接第 299 页)

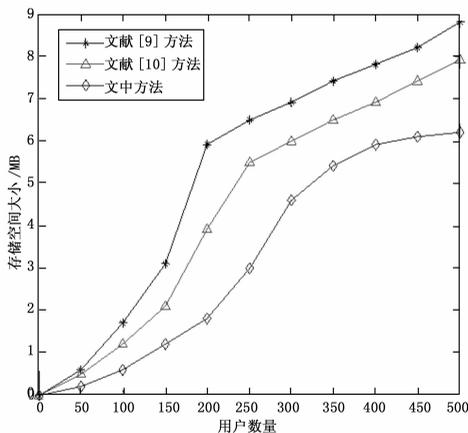


图 4 存储空间随用户个数变化比较

5 结论

为了实现云计算存储中心的有效和安全访问控制, 并具有较强的计算和存储开销, 文中设计了一种基于属性加密 CP-ABE 算法的安全访问控制策略。首先对 CP-ABE 算法进行了探讨, 然后在 CP-ABE 算法的基础上, 对公钥和主密钥计算、数据所有者对数据的加密、访问用户的认证和解密、用户权限的删除、扩展和新建都给出了具体的计算和操作流程。仿真实验表明了文中方法能较为全面和通用的实现云计算存储中心的整个访问控制过程, 具有较强的实用性, 且与其他方法相比, 具有计算和存储开销小的优点。

参考文献:

- [1] Vaquero L, Rodero Marino L, Cacerce J, et al. A break in the clouds: towards a cloud definition [J]. SIGCOMM Computer Communication Review, 2009, 39 (1): 50-55.

- [2] 的影响 [J]. 河南大学学报: 自然科学版, 2013, 34 (4): 45-50
- [3] 张景璐, 胡赤, 于京. 利用眼图解决 USB 在布线中的信号完整性问题 [J]. 制造业自动化, 2014 (1): 98-100
- [4] 韩刚, 耿征. 基于 FPGA 的高速度密度 PCB 设计中的信号完整性分析 [J]. 计算机应用, 2010, 30 (10): 160-185
- [5] 吴健, 孔德升. 高速数据采集卡的信号完整性分析 [J]. 仪表技术与传感器, 2013 (12): 93-96
- [6] 张志伟. 高速互连总线结构中多评先传输线串扰分析与控制 [J]. 计算机应用研究, 2013, 30 (12): 3729-3734
- [7] 赵鑫斌, 李龙海, 周磊, 等. AFM 中高精度信号采集模块设计 [J]. 计算机测量与控制, 2013, 21 (10): 2875-2877
- [8] Bob Dunstan. USB 3.0 Architecture overview. USB 3.0 Technical Workgroup Chair [R]. 2009.
- [9] 刘雷波, 赵岩译. 信号完整性与 PCB 设计 [M]. 北京: 电子工业出版社, 2012.
- [10] IPC-D-317N. Design Guidelines for Electronic Packaging Utilizing High-Speed Techniques [Z].
- [11] 邱燕军, 申功勋. 基于 DSP+FPGA 的高速信号采集与处理系统的信号完整性分析 [J]. 测控技术, 2007, 26 (12): 8-11
- [12] 李玉山, 蒋冬初. 数字信号完整性: 互连、封装的建模与仿真 [M]. 北京: 机械工业出版社, 2008;

- [2] 程芳权, 彭智勇, 宋伟, 等. 可信云存储环境下支持访问控制的密钥管理 [J]. 计算机研究与发展, 2013, 50 (8): 1613-1627.
- [3] Wan Z G, Liu J, Deng R H. HASBE: A Hierarchical Attribute-Based Solution for Flexible and Scalable Access Control in Cloud Computing [J]. IEEE Transactions on Information Forensics and Security, 2012, 7 (2): 743-754.
- [4] 苏金树, 曹丹, 王小峰, 等. 属性基加密机制 [J]. 软件学报, 2011, 22 (6): 1299-1315.
- [5] 孙国梓, 董宇, 李云. 基于 CP-ABE 算法的云存储数据访问控制 [J]. 通信学报, 2011, 32 (7): 146-152.
- [6] Yu S, Wang C, Ren K, et al. Achieving secure, scalable, and fine-grained data access control in cloud computing [A]. INFOCOM, 2010 Proceeding IEEE. San Diego, CA: IEEE [C]. Conference Publications, 2010: 534-542.
- [7] 邹佳顺, 张永胜, 高艳. 基于改进 CP-ABE 算法的 ABAC 机制研究 [J]. 计算机应用研究, 2014, 6 (31): 1860-1862.
- [8] Hota C, Sanka S, Rajaraja M N, et al. Capability-based cryptographic Data Access Control in cloud computing [J]. International Journal of Advanced Networking and Applications, 2011, 3 (3): 1152-1161.
- [9] 李琦, 马建峰, 熊金波, 等. 一种素数阶群上构造的自适应安全的多授权机构 CP-ABE 方案 [J]. 电子学报, 2014, 42 (4): 696-702.
- [10] Li X H, Lu R X, Lin X D, et al. Ciphertext policy attribute based encryption with efficient revocation [EB/OL]. 2012-09-25. <http://bber.uwaterloo.ca/~x27liang/papers/abe%20with%20revocation.pdf>.
- [11] Sahai A, Waters B. Fuzzy identity-based Encryption [M]. Advances in Cryptology-EUROCRYPT 2005. Springer Berlin Heidelberg, 2005: 457-473.
- [12] Cheung L, Newport C. Provably Secure Ciphertext Policy ABE [A]. Proceedings of the 14th ACM Conference on Computer and Communications Security [C]. ACM. 2007: 456-465.