

抗混叠滤波设计在数据采集系统中的应用

张焱, 任勇峰, 姚宗

(中北大学 仪器科学与动态测试教育部重点实验室, 太原 030051)

摘要: 数据采集的抗混叠滤波, 在电路设计中是很重要的考虑因素; 在数据采集系统中, 对一定带宽的模拟信号, 采样率必须满足奈奎斯特采样定理, 否则将产生混叠现象, 这将导致原始信号无法从取样信号还原, 严重影响测量结果; 本设计在信号调理部分及 A/D 采集部分均采用了抗混叠设计, FPGA 采用 XILINX 公司的 XC3S400 作为主控制器; 综合各个环节, 提出了高精度数据采集系统中抗混叠滤波设计的方法, 并简单介绍了 AD 采样与模拟开关切换时序设计, 为高精度数据采集系统的设计提供了十分有益的参考。

关键词: 抗混叠滤波; 采样率; 奈奎斯特采样定理; FPGA; 数据采集系统

Applications of Anti-aliasing Filter Design in Data Acquisition System

Zhang Yan, Ren Yongfeng, Yao Zhong

(Ministerial Key Lab. of Instrumentation Science and Dynamic Test,
North China University, Taiyuan 030051, China)

Abstract: The anti-aliasing filter in data collection is a very important consideration in circuit design. In the data acquisition system, for an analog signal of certain bandwidth, the sampling rate must satisfy the Nyquist sampling theory, otherwise it will cause aliasing. This will lead to the original signal cannot be restored from the sampled signal, seriously affects the measurement result. The design of the signal conditioning and A/D acquisition part have adopted anti-aliasing design, FPGA using XC3S400 of the XILINX company as the main controller. Integrating all aspects, we propose the anti-aliasing filter design methods for the high-precision data acquisition system, give a brief introduction AD sampling and the sequential design of channel multiplexers' switching. This provides a very useful reference for the system.

Keywords: anti-aliasing filtering; sample rate; Nyquist sampling theory; FPGA; data acquisition system

0 引言

在计算机广泛应用的今天, 数据采集的重要性是不言而喻的, 它是计算机与外部物理世界连接的桥梁^[1]。在数据采集过程中, 不可避免地会有干扰信号混杂在有用信号当中。当这些信号的频率超过采样定理所规定的范围时, 就会采集到一些不确定的信号并对有用信号造成干扰, 即频率混叠^[2]。为保证采集到的信号的准确性, 为了最大程度地抑制或消除混叠现象对数据采集系统的影响, 就需要利用抗混叠滤波器将无用信号进行衰减和滤除。

1 频率混叠及消除混叠的方法

生活中混叠现象时有发生, 例如高速旋转的车轮, 视觉上看到的旋转方向和实际上相反; 太阳在天空由东往西移动, 两次的日出间隔了 24 小时, 若某个人每 23 小时对天空拍张照片, 太阳好似由西向东移动。

如图 1 所示, 频率混叠是指抽样时频率不够高, 抽样出来的点既代表了信号中的低频信号的样本值, 也同时代表了高频信号的样本值, 在信号重建的时候, 高频信号被低频信号代替^[3]。两种波形完全重叠在一起, 形成严重失真。

为了防止这种现象发生, 在进行模拟/数字信号的转换过

程中, 采样频率 $f_{s,max}$ 必须要大于信号中最高频率 f_{max} 的 2 倍 ($f_{s,max} > 2f_{max}$), 采样之后的信号才能完整地保留原始信号中的信息, 不至于使频谱产生交叠、失真。一般实际应用中保证采样频率为信号最高频率的 5~10 倍^[4]。这个定理又称奈奎斯特定理。

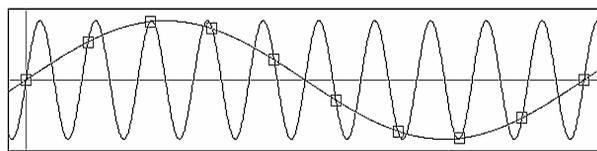


图 1 两个不同的正弦波却有相同的样本值

消除混叠的方法有两种:

1) 提高采样频率 F , 即缩小采样时间间隔。然而实际的信号处理系统不可能达到很大的采样频率, 处理不了很多的数据^[5]。另外, 许多信号本身可能含有全频带的频率成分, 不可能将采样频率提高到无穷大^[6]。所以, 通过采样频率避免混叠是有限制的。

2) 采用抗混叠滤波器, 在采用频率 F 一定的前提下, 通过低通滤波器滤掉高于 $F/2$ 的频率成分, 通过低通滤波器的信号则可避免出现频率混叠。

本文提出的数据采集方案, 主要采用第二种方法进行抗混叠设计。

2 系统组成简介

系统组成框图如图 2 所示, 本系统中, 信号调理电路将振

收稿日期: 2014-05-21; 修回日期: 2014-07-08;

作者简介: 张焱(1989-), 女, 山西平遥人, 在读研究生, 主要从事电路与系统方向的研究。

任勇峰(1968-), 男, 山西中阳人, 博士, 教授, 主要从事动态测试、高速数据采集等领域方向的研究。

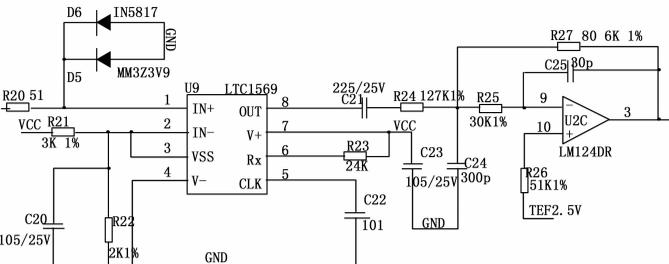


图 7 LTC1569 抗混叠滤波电路

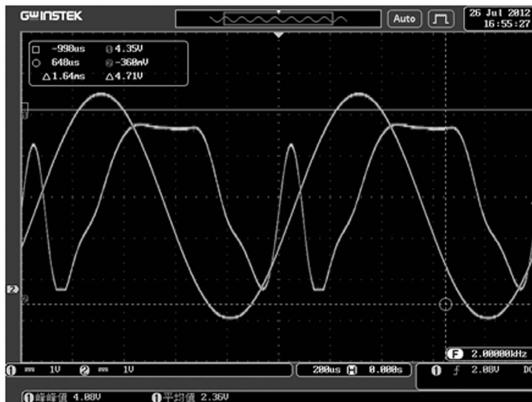


图 10 输出波形畸变图

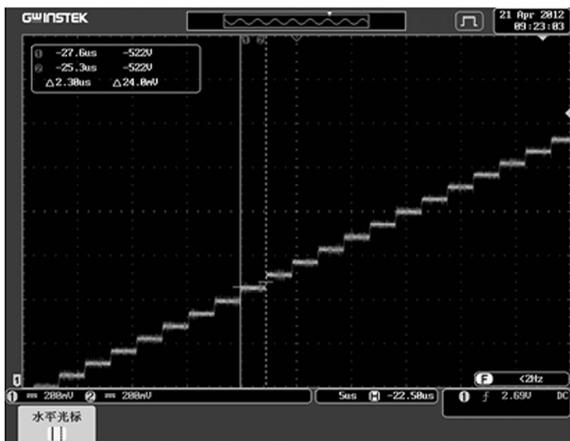


图 8 信号失真波形图

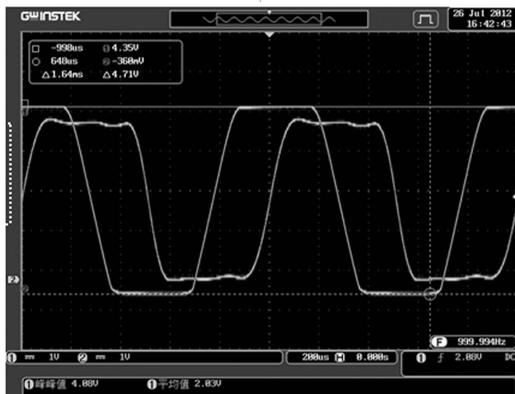


图 11 嵌位后输出波形图

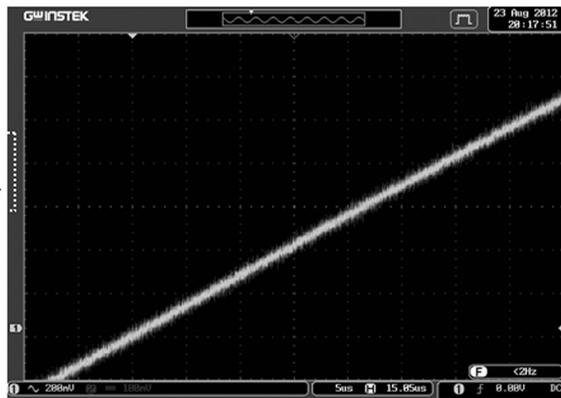


图 9 信号经平滑后的波形图

带来频率为几百 K 的时钟纹波。用信号源为 LTC1569 提供一个频率为 1 kHz, 峰峰值为 0~4 V 的正弦波, 用示波器测量输入信号、输出信号, 将时间轴调为 5 μ s/格后即可清楚地观察到输出信号中台阶状的时钟纹波, 如图 8 所示。为平滑时钟纹波信号, 可在 LTC1569 输出端级联一个如图 7 所示的二阶无限增益多路反馈低通滤波电路, 设计截止频率为 20 kHz, 以同样的方法测量输出信号, 波形变得平滑, 如图 9 所示。

5 A/D 采集模拟信号

另外, 经测试发现当 LTC1569 的输入信号范围超出一 0.5 ~ 4 V 时, 输出的信号波形会迅速发生畸变。如图 10 所示, 图中一通道为标准的正弦波输入信号。当缓慢调节信号源峰值旋钮时会发现, 正弦波的波谷部分超出一 0.5 V 时此部分

会迅速“反射”到相反的方向, 形成一个比较尖锐的“波峰”, 导致波形严重失真。因此, 在抗混叠滤波电路中, 我们使用稳压管 MM3Z3V9 及肖特基二极管 1N5817 分别将信号限于 3.9 V 以下, -0.3 V 以上, 经嵌位后的输出波形如图 11 所示。

A/D 原理设计如图 12 所示。

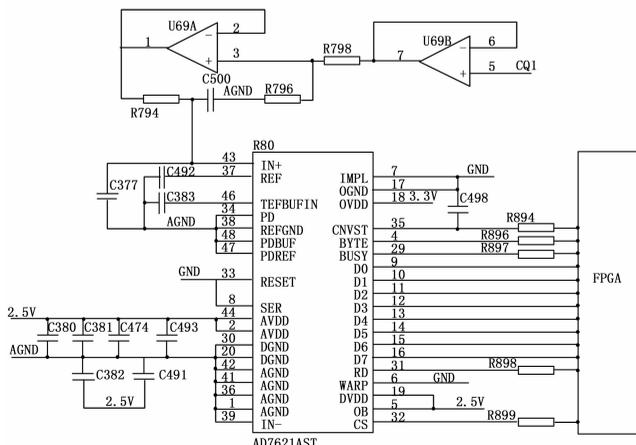


图 12 A/D 原理图设计

ADC 转换芯片选用 16 bit 精度的 AD7621, 它的最大转换速率达 3 MSPS, 有内部时钟、2.048 V 的内部基准电压和内部纠错电路。AD7621 在 CNVST 的下降沿触发一次采样转换, 为了节省 FPGA 的 I/O 口资源, AD7621 采用 8 位并行口工作

模式，模拟量转换成数字量后，由 BYTE 信号控制 AD7621 向

表 1 数据采集状态机分配

| 数据采集状态机分配 | | | | | | | | | | |
|-----------|-----------------|----|------------------------------|-------|------------------------------|-------|-------------------------|-------------|-----------------------|----|
| 状态机 | 1 | 2 | 3 | | 14 | 15 | 16 | 17 | 18 | 19 |
| 操作 | 产生读 ROM 时钟 | | 模拟开关使能控制及开关通道切换 | | Byte 状态设置 (A/D 高 8 位) | | A/D 转换数据高 8 位锁存 | | Byte 状态设置 (A/D 低 8 位) | |
| 状态机 | 20 | 21 | 22 | 23 | 24 | 25 | 26 | 27 | 28 | 29 |
| 操作 | A/D 转换数据低 8 位锁存 | | 写 fifo 时钟置 0 | | 子帧计数、主帧计数、勤务信号、存储器状态反馈等信号的锁存 | | 写 fifo 时钟置 1 | | 写 fifo 地址自增 | |
| 状态机 | 30 | 31 | 32 | 33 | 34 | | 37 | 38 | 39 | 40 |
| 操作 | 写 fifo 时钟置 0 | | 子帧计数、主帧计数、勤务信号、存储器状态反馈等信号的锁存 | | 写 fifo 时钟置 1 | | 片选信号 cnvst 控制 A/D 之间的转换 | 写 fifo 地址自增 | 产生读 rom 地址同时行列地址切换 | |

FPGA 输出数字量的高 8 位和低 8 位。图 12 中 CQ1 为模拟信号经模拟开关后的输出信号；ADC 采用了典型接法，C500 采用芯片资料推荐的值，起滤波作用。

图 13 所示为 AD7621 输入端的等效模型，其中 D1、D2 两个二极管为输入端提供 ESD 保护，两个二极管的最大正向偏置电流为 100 mA。R_{IN} 的典型值为 350Ω，C_{IN} 的典型值为 12 pF，截止频率为 50 MHz，R_{IN}、C_{IN} 可以减小混叠效应。

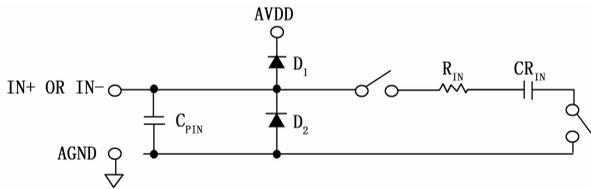


图 13 抗混叠设计

6 AD 采样与模拟开关切换时序设计

系统采用 36.864 MHz 的晶振，根据 AD 总采样率为 921.6 ksp/s 可知，单波道采集中有 40 个状态机可供使用，即 FPGA 需在 40 个状态机内完成 AD 的一次采集、转换、读取，以及模拟开关的通道切换。因为 AD 的总采样率小于 2 Msps，设置 AD 工作在 Nomal 模式，由 /CNVST 的下降沿控制启动 AD 转换，待转换结束后读取本次转换的数据，同时开始下一波道的采集。此处数据读取采用并行 8 位数据的方式，由 Byteswap 使能输出低 8 位或高 8 位数据。40 个状态机执行的具体操作见表 1。

AD 采集时序图如图 14 所示。系统上电后，经过 65 535 个时钟复位时间后，/CNVST 信号产生下降沿启动 AD 转换，在转换过程中可以切换模拟开关到下一次转换的模拟通道。AD 转换最大用时 400 ns，在此期间忙信号 BUSY 拉高，待转换结束后 BUSY 信号拉低。转换结束后 AD 进入下次数据采集阶段，同时可以读取本次转换的数据，当 Byteswap 信号为高时并行接口输出高 8 位数据，当 Byteswap 信号为低时并行接口输出低 8 位数据。数据采集持续到本波道 40 个状态机结束，/CNVST 信号产生下降沿，启动下一次数据转换。

7 总结

频率混叠会产生假频率、假信号，会严重的影响测量结

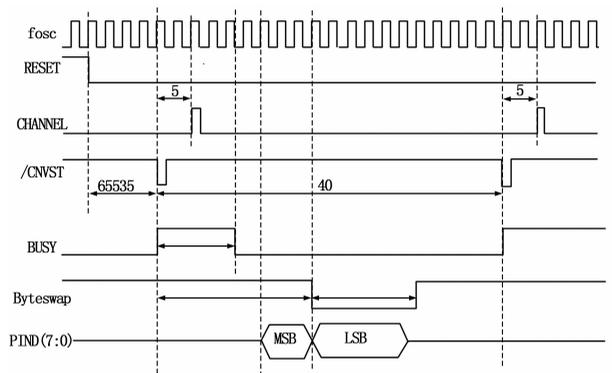


图 14 AD 采集时序关系图

果。因此，在数据采集过程中对模拟信号进行抗混叠滤波，是极其重要的^[8]。本文介绍了混叠产生的原因及消除混叠的方法，给出了在信号调理部分及 A/D 采集部分的抗混叠设计原理图，以保证采集到真实、准确的信号。最后对 AD 采样与模拟开关切换时序设计方面做了简单介绍，整个系统已应用于某记录器。

参考文献:

- [1] 李刚,程立君,林凌.高精度数据采集中抗混叠滤波器设计[J].国外电子元器件,2007(8):30-33.
- [2] 彭永胜,王太勇,范胜波,等.高品质抗混叠滤波器设计[J].西南交通大学学报,2003,38(5):596-601.
- [3] 应怀樵,沈松,刘进明.频率混叠在时域和频域现象中的研究[J].振动、测试与诊断,2006,26(1):1-4.
- [4] 张在陆.数据采集系统信号混叠的研究[J].石油仪器,1998,12(1):8-12.
- [5] 齐永前,孙俊杰.振动信号的抗混叠跟踪滤波的实现[J].现代制造工程,2006(2):86-88.
- [6] 唐博,李锦明,李士照.基于FPGA的高阶FIR滤波器强抗干扰数据采集系统[J].电子技术应用,2012,38(9):89-92.
- [7] 谭青,龙杰强.便携式数据采集系统中自适应抗混叠滤波器的设计[J].现代电子技术,2007(5):98-100.
- [8] 陆祖良.DAC混叠效应的应用讨论[J].电测与仪表,2012,49(553):1-7.