

基于 FPGA 的智能放大器的研究与实现

郝建卫, 易 艺, 李长俊

(桂林电子科技大学 信息科技学院电子工程系, 广西 桂林 541004)

摘要: 在许多检测仪器的设计和应用中, 由于被测信号幅度变化范围大、频带宽, 通常采用设置量程变换开关的方式对被测信号进行满量程放大以保证测量的精度, 使得硬件结构复杂; 为了实现测量的智能化, 设计了一种基于 FPGA 的智能放大器, 可以根据信号的变化相应调整放大器的增益、可对动态范围宽的输入信号用最佳增益对其进行放大, 使得放大后输出信号落入设定的窗口范围之内; 该放大器已应用于植物种苗磁场复合诱导繁育控制系统中, 运行结果表明, 该设计参数精度高, 可靠性强, 方便实用。

关键词: 智能放大器; FPGA; AD603

Research and Implementation of Intelligent Amplifier Based on FPGA

Hao Jianwei, Yi Yi, Li Changjun

(Institute of Information Technology of GUET, Department of Electronic Engineering, Guilin 541004)

Abstract: In many design and application of measuring instruments, due to the large variation range of amplitude and frequency bandwidth of measured signal, the range changing switch is set to achieve full range amplification, which ensures the accuracy in measurement. However, the hardware structure is often complex. In order to realize the intelligent measurement, an amplifier is designed based on FPGA (Field Programmable Gate Array). It is able to adjust the gain of the amplifier according to the corresponding changes of signal, and amplify the input signal of wide dynamic range with optimal gain, which makes the output signal fall into the settings window's range. The amplifier is of high precision parameters, high reliability, convenient and practical, which is proved through experiments and analysis in this paper.

Keywords: intelligent amplifier; FPGA; AD603

0 引言

随着微电子技术、计算机网络技术和通信技术的迅速发展, 对自动增益控制电路的动态范围和频率范围要求也越来越高。目前, 可编程放大器大多采用单片机编程, 通过改变数字电位器、多路模拟开关的设置来控制放大器的输入阻抗和反馈电阻以达到改变增益的目的。这些方法会使被测信号的频率上限和电压动态范围受到限制, 不利于放大器性能指标的提高。为克服上述缺点, 设计了一种基于 FPGA 的智能放大器, 该放大器具有简单实用、性能可靠、开发周期短、软硬件升级方便等优点。

1 系统总体设计

基于 FPGA 的智能放大器采用 Altera 公司的 Cyclone III 系列中的 EP3C10E144C8 芯片, 利用 SOPC 技术构造由 NiosII 软核处理器和硬件数字逻辑组成的系统。此系统把一个完整产品的各个逻辑功能模块集成到一块 FPGA 芯片上, 包括 NiosII 处理器、片内存储器、存储器接口、外围设备接口 I/O (按键接口、显示接口、模数和数模转换接口) 等, 构成一个可编程的片上系统。从系统的角度提出了自动增益控制的完整设计方案^[1]。

该系统主要由控制与处理模块、可控增益放大器、前置电路、模数转换电路、数模转换电路和阻抗变换电路共 6 个模块

电路构成, 总体设计框图如图 1 所示。具体实现方法是: 首先采用 Quartus II9.0 在现场可编程门阵列 (FPGA) 芯片上构建 NiosII 软核处理器, 利用其控制高速 A/D 采集输入信号, 并对采集到的输入信号进行分析处理, 然后控制前置电路和可控增益放大电路, 完成对信号的自动增益控制^[2], 并根据所测得的频率, 调整 AD 采集与存储器的时钟, 进而通过 D/A 调整可控增益放大器, 实现对输入信号放大处理的要求。该设计方案具有集成度高、电路简单、使用方便、响应快等优点^[3]。

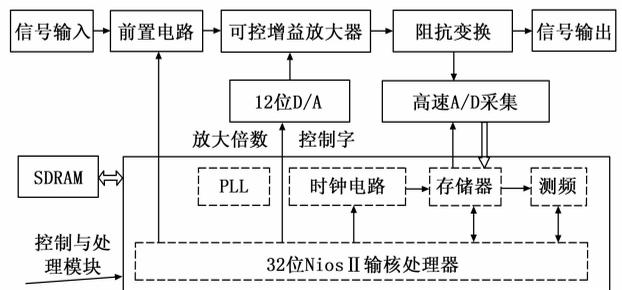


图 1 系统总体设计框图

2 系统硬件电路设计

系统硬件电路主要由可控增益放大器和前置电路、高速 A/D 信号采样电路、D/A 电路、人机接口电路和 FPGA 数字逻辑系统电路组成。

2.1 可控增益放大器和前置电路

可控增益放大器和前置电路的作用是对输入信号进行放大调整, 使输出信号电压满足测量要求。

现有的可控增益放大器的类型通常是采用模拟开关或继电器对放大系数进行调整或控制、或利用数字电位器调节放大器

收稿日期: 2014-05-09; 修回日期: 2014-06-30。

基金项目: 桂林市科学研究与技术开发计划资金资助项目 (20120113-7)。

作者简介: 郝建卫 (1956-), 男, 广西桂林人, 高级实验师, 主要从事电视技术、电源技术、EDA 技术方向的研究。

的输入电阻以及使用多级基本放大器，通过程控的方式调节负反馈深度等方法，以达到增益改变的目的。但都存在使系统带宽受限、增益控制范围窄、噪声大，系统误差具有随机性等缺点，而采用低噪声的压控可变增益放大器 AD603 可以克服上述缺点^[4]。放大器的前置电路选用 TI 公司的 500 MHz 带宽的电压反馈运放 OPA690，以提高带宽和输入阻抗，实现系统的阻抗匹配。可控增益放大器和前置电路框图如图 2 所示，电路中采用了两片 AD603 进行两级程控放大，AD603 的 GNEG 端电压通过可变电阻调整为一个固定电压，其 GPOS 脚与 D/A 输出相连，通过 Nios II 软核处理器给 D/A 送放大倍数控制字来调整放大倍数。

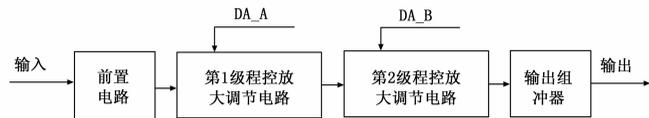


图 2 可控增益放大器和前置电路

2.2 高速 A/D 信号采样电路

采样电路是分析和掌握输入信号大小、实现自动增益控制的关键，而且采样速率决定着系统的带宽。通过对各种采样方法的实验研究和分析得知：常用的模拟峰值检测电路和有效值转换电路的转换速率低，转换精度不高。为实现高采样率，直接利用 FPGA 芯片，结合高速 A/D 芯片，采集输入信号的多个周期电压值，通过 NiosII 软核处理获得信号的峰值^[5]，并计算增益控制量。A/D 选用 TI 公司的 8 位高速模数转换器 ADS831。信号输入到 ADS831 前要进行衰减和电平转换，为此设计增加一级运放衰减电路和一级差分放大器，将单端电平转为差分电平。差分放大器与高速模数转换器 ADS831 的连接电路框图如图 3 所示。

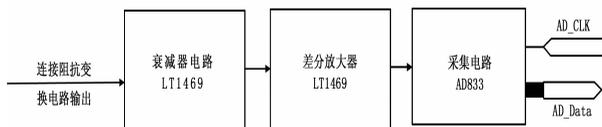


图 3 高速 A/D 信号采样电路

2.3 FPGA 的数字逻辑系统

FPGA 的数字逻辑系统包括 32 位的 NiosII 软核处理器、频率测量模块^[6]、存储器及其接口模块、倍频时钟电路和采样时钟电路。采用 SOPC Builder 生成的 NiosII 软核处理器和数字逻辑外设的连线框图如图 4 所示。

2.3.1 存储器

在对输入信号进行分析处理时，需要在高速采集与低速处理之间建立相应的缓冲区，才能确保系统能正确处理数据。因此在 A/D 转换器和 NiosII 软核处理器之间建立存储器来存储数据^[7]，该存储器采用 Verilog HDL 语言描述，并将其生成元件符号给顶层文件调用。

2.3.2 倍频与时钟电路

EP3C10E144C8 芯片使用的晶振为 50 MHz，为实现较高的采样速率和测频的精度与准确度，在系统设计时，使用 LPM 中的 PLL 实现倍频。在采集输入信号时，应根据信号的频率大小来选择不同的采样时钟，以保证采集到正确的数据^[8]。采样时钟电路与存储时钟电路采用 Verilog HDL 语言描

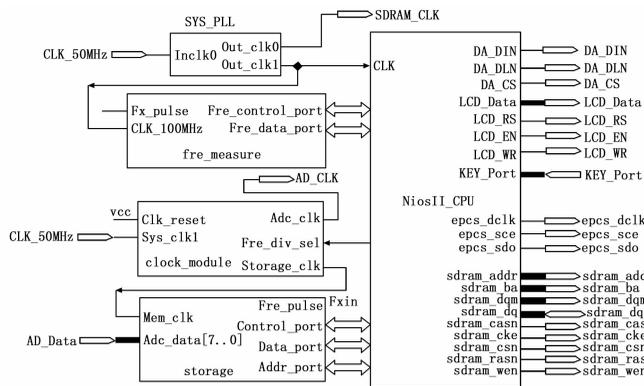


图 4 FPGA 的数字逻辑系统电路

述，并将其生成元件符号给顶层文件调用。

2.3.3 频率测量模块

频率测量模块用于测量输入信号的频率，当每次测频完成后，由频率控制端输出控制信号至 NiosII 软核，NiosII 软核再根据输入信号的频率大小，调整 A/D 采样时钟及存储器时钟。频率测量采用直接计数测频法。

2.3.4 32 位的 NiosII 软核处理器

NiosII 软核处理器是整个系统控制的核心，承担与各个数字逻辑模块电路之间的高速、大量的数据传输和输入输出数据处理任务^[9]。主要包括有系统初始化、按键扫描并处理、信号的采集与分析处理、可控增益放大参数的选择与控制、频率的测量、采样率的控制以及各项参数的显示等。

2.4 D/A 电路

D/A 电路主要是给可控增益放大器 AD603 提供控制放大倍数的电压。由于 AD603 需要的控制电压精度很高，因此采用 TI 公司生产的 12 位电压输出型 DAC 芯片 TLV5618，数据传输接口为 SPI 接口，与 NiosII 软核处理器的 I/O 口相连。由电压基准芯片 MC1403 为其提供 2.5 V 的基准电压，电路框图如图 5 所示。

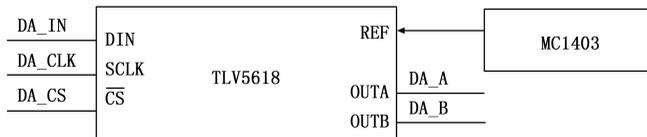


图 5 D/A 电路

3 系统软件设计

NiosII 软核处理器软件设计主要包括按键扫描程序设计、TS12864 显示程序的设计、A/D 采集程序的设计、D/A 程序的设计以及频率测量程序的设计，主程序流程图如图 6 所示。系统的工作流程简要描述为：系统开始工作后，NiosII 软核处理器对内部资源和外围电路以及系统参数进行初始化，然后由按键选择进入测试功能界面，包括参数设置等，接着进行采样以及测频，并由 NiosII 软核处理器读取数据进行处理，最后送液晶显示。

4 系统测试与误差分析

测试信号采用 TFG2040G 型 DDS 函数信号发生器，该函
(下转第 210 页)

4 结论

AES 作为目前最流行的分组密码算法之一，在不同领域得到了广泛应用。为了满足即时通信中实时、高效软加密的应用需求，通过引入多线程并发机制，本文提出了一种 AES-ECB 改进设计，相比于 AES-ECB 典型设计，其性能提高效果明显。作为下一步，我们将参考已有成果^[9-10]，结合课题实际需要，研究嵌入式环境下 AES 改进算法设计，进而满足手持式终端对密码算法的复杂应用要求。

参考文献:

[1] Daemen J, Rijmen V. The design of rijndael: AES-the advanced encryption [M]. Berlin: Springer-Verlag Press, 2002.
 [2] National Institute of Standards and Technology (NIST). Federal Information Processing Standards Publication 81 (FIPS PUB 81): DES Modes of Operation [EB/OL]. (1980-12-02). http://www.itl.nist.gov/fipspubs/fip8.htm

(上接第 206 页)

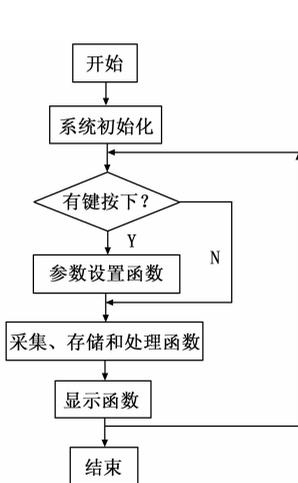


图 6 NiosII 软核处理器软件设计流程图

数信号发生器可以产生频率范围为 1 Hz~30 MHz、幅度范围为 2 mV_{pp}~2 V_{pp} 的正弦波、方波和三角波信号。通过按键设置放大器的各项参数，在放大器的输入端加入测试信号，使用 GDS-1102A 型数字存储示波器对放大器输出的各项参数进行测试。部分参数测量结果如表 1 所示。

测试结果表明，该放大器实现了频率范围在 1 Hz~16 MHz 变化，当输入电压变化范围 10 mV~1 V 时，输出电压保持在 0.1~5 V，增益控制范围达 0.1~500，具有参数精度高、可靠性强等特点。

表 1 放大器部分参数测量结果(电压为 V_{pp})

被测信号	1 Hz 10 mV	1 kHz 0.1 V	1 MHz 0.5 V	10 MHz 0.8 V	16 MHz 1 V
1.0~1.5 V	√	√	√	√	√
输出信号/V	1.143	1.233	1.441	1.426	1.482
增益/dB	24.633	23.440	10.121	5.972	3.847

放大器的误差主要来源于：系统的外部误差，如被测量信号与放大器的阻抗不匹配；系统的内部误差包含 A/D 在进行

[3] 金晨辉, 孙莹. AES 密码算法 S 盒线性冗余研究 [J]. 电子学报, 2004 (4): 639-641.
 [4] 胡志华, 覃中平. 一种新的 8 轮 AES_128 不可能差分分析 [J]. 小型微型计算机系统, 2013, 34 (9): 2111-2115.
 [5] 王海科, 范伊红, 廉飞宇, 等. AES 加密算法在不停车收费系统中的应用 [J]. 计算机测量与控制, 2006, 14 (1): 95-97.
 [6] 向涛, 余晨韵, 屈晋宇, 等. 基于改进 AES 加密算法的 DICOM 医学图像安全性研究 [J]. 电子学报, 2012, 40 (2): 406-411.
 [7] Menezes A J, Oorschot P C, Vanstone S A. 应用密码学手册 [M]. 胡磊, 王鹏, 等译. 北京: 电子工业出版社, 2005.
 [8] 翟一鸣, 任满杰, 孔繁茹, 等. 计算机操作系统 [M]. 北京: 清华大学出版社, 2012.
 [9] 封斌, 齐德昱. AES 快速算法的扩展指令集实现 [J]. 华南理工大学学报 (自然科学版), 2012, 40 (6): 97-102.
 [10] 陈亮. 基于嵌入式 CPU 的数据加解密子系统的设计研究 [D]. 杭州: 浙江大学, 2013.

数据采集时，可能会采集到毛刺的电压，使采集到的峰峰值存在误差、D/A 的转换精度不够引起的误差和频率测量方法引起的误差。因此智能放大器系统还需要进一步改进测频方法和提高 D/A 的转换精度、A/D 的采样速率来提高放大器的精度。

5 结束语

基于 FPGA 的智能放大器，可以将电路的数字逻辑部分和控制部分 (NiosII 软核处理器) 置于一块 FPGA 芯片内，大大降低了电路的复杂程度，具有集成度高，可靠性高，功耗低、开发周期短、软硬件升级方便等众多优点，体现了采用 FPGA 技术方案的优越性。该放大器已应用于植物种苗磁场复合诱导繁育控制系统项目中，运行测试数据证明：该放大器具有参数精度高、可靠性强等特点，在仪器仪表电路中具有广阔的应用前景。

参考文献:

[1] 鲜果, 龚晓峰. 基于 FPGA 的新型虚拟逻辑分析仪的设计 [J]. 电子技术应用, 2011, 37 (12): 87-89.
 [2] 苗康乐, 杨日杰, 杨成伟. 高精度声呐信号预处理系统的改进与实现 [J]. 仪器仪表学报, 2011, 32 (12): 2720-2724.
 [3] 谷鑫, 徐贵力, 王友仁. FPGA 动态可重构理论及其研究进展 [J]. 计算机测量与控制, 2007, 15 (11): 1415-1418.
 [4] 张雅珍. 基于 FPGA 和 ADS830 的数字示波器设计 [J]. 电子测量技术, 2009, 32 (10): 121-124.
 [5] 邓耀华, 吴黎明, 张力错, 李业华. 基于 FPGA 的双 DDS 任意波发生器设计与杂散噪声抑制方法 [J]. 仪器仪表学报, 2009, 30 (11): 2256-2260.
 [6] 刘俊斌, 吴松林, 周卫星. 基于 FPGA 实现的高速等效采集系统 [J]. 电子技术应用, 2011, 37 (10): 84-86.
 [7] 何琼, 陈铁, 程鑫. 基于 FPGA 的 DMA 方式高速数据采集系统设计 [J]. 电子技术应用, 2011, 37 (12): 40-43.
 [8] 乔永征, 梁志毅, 朱懿微. 基于 OV7620 和 FPGA 的图像采集系统设计 [J]. 计算机测量与控制, 2009, 17 (9): 1857-1859.
 [9] 倪明辉, 周军, 杨庚. USB 在 FPGA 控制的高速数据采集系统中的应用 [J]. 计算机测量与控制, 2006, 14 (2): 268-271.