

基于 NiosII 的光纤捷联惯导系统数据采集模块设计

张海宏, 李保国, 刘思庆

(北京航空航天大学 仪器科学与光电工程学院, 北京 100191)

摘要: 针对光纤捷联惯导系统中采用传统技术的导航计算机需重复设计且效率低的现状, 提出了一种基于 Nios II 的光纤捷联惯导数据采集及预处理实现方案; 运用 verilog HDL 语言完成了对光纤捷联惯导系统中挠性加速度计和光纤陀螺仪的数据采集功能 IP 核设计, 采用 SOPC (可编程片上系统) 技术定制了 Nios II 软核处理器, 并实现 16 阶 FIR 低通滤波器的设计; 通过对捷联惯导系统的静态采集实验, 验证了数据采集功能 IP 核的准确性和 FIR 低通滤波器滤除部分噪声的有效性。

关键词: SOPC; Nios II 软核; 数据采集; FIR 低通滤波器

Data Acquisition Module Design of Fiber Strapdown System Based on Nios II

Zhang Haihong, Li Baoguo, Liu Siqing

(School of Instrument Science and Opto-electronics Engineering, Beihang University, Beijing 100191, China)

Abstract: A kind of data acquisition and preprocessing scheme based on Nios II processor that is used in fiber strapdown inertial navigation system is put forward, with the situation of repetitive design and low efficiency exists in the traditional design of navigation computer in the inertial navigation system. The IP core of data acquisition of fiber optic gyroscope and accelerometer is designed using verilog language, and with the use of SOPC (system on a programmable chip) technology, the Nios II softcore processor is customized, and the FIR low-pass filter of 16 order is designed. Through the static experiments of fiber strapdown inertial navigation system, the results show the accuracy of IP core of data acquisition and the validity of FIR low-pass filter.

Keywords: SOPC; Nios II; data acquisition; FIR low-pass filter

0 引言

随着光纤陀螺仪在捷联式惯性技术方面的广泛应用, 光纤捷联惯导技术在国内外日趋成熟。数据采集模块是捷联惯导技术中的重要环节, 因而对光纤捷联惯性导航数据的准确采集与适当的预处理在导航系统中显得尤为重要。

在传统导航系统设计中, 导航计算机多采用以 ASIC 为核心的电路设计技术。传统设计技术需要对不同系统中相同功能的模块进行重复设计, 片上系统设计效率不高, 设计周期过长以及对设计人员要求较高。针对传统设计的不足, 结合 SOPC 可定制性、可移植性和软硬件协同设计的特点, 基于 SOPC 设计的导航计算机已越来越多地被应用于导航领域。

目前, 研究人员根据导航系统的不同类型, 针对各自的应用需求提出了多种设计方案^[1-3]。方案中多采用 FPGA 芯片设计导航计算机, 根据导航系统应用的不同场合对信号采集功能的要求, 利用其 IP 库设计 SOPC 系统, 在 FPGA 逻辑资源中实现各种功能外设。对于光纤捷联惯导来说, 实现基于 Nios II 的 SOPC 解决方案可以减少系统的重复开发, 满足系统硬件平台的设计要求。

本文提出了一种对光纤捷联惯导系统中加速度计和光纤陀螺仪的数据采集功能 IP 核的设计方法, 通过 SOPC Builder 工具定制 Nios II 软核、UART 核、SDRAM 核等 IP 核, 搭建了基于 Nios II 的嵌入式系统, 并实现 FIR 低通滤波器设计。通过数据采集实验, 验证了数据采集功能 IP 核在系统中的准确性和可靠性, 以及 FIR 低通滤波器滤除部分噪声的有效性。

1 嵌入式系统的总体方案

基于 SOPC 的 Nios II 处理器是对以 32 位的 Nios II 软核处理器为核心的嵌入式系统进行硬件配置、硬件设计、软件设计、软件调试以及仿真等。设计中使用了 Altera 公司 Cyclone 系列的 FPGA EP2C8Q208I8N 芯片、Nios II 软核处理器及其开发工具, 包括 SOPC Builder、Quartus II、Nios II IDE 等。利用 SOPC Builder 系统开发工具允许嵌入式系统设计者在短时间内创建高度定制的可编程片上系统 (SOPC)。用户通过 SOPC Builder 提供的组件和接口搭建系统模块, 并且系统模块在 Avalon 控制器和所有系统组件上的从属设备端口之间自动生成总线逻辑。

本设计是采用三路光纤陀螺仪和三路石英挠性加速度计构成的捷联式惯导系统, 根据陀螺仪数据输出的格式和加速度计通过信号调理电路输出的脉冲信号, 运用 verilog HDL 语言实现了数据采集功能模块与 Nios II 软核处理器 Avalon 总线的接口 IP 核设计。系统中定制了 Nios II 软核、JTAG UART、SDRAM 控制器、UART 和 EPCS 等 IP 核, 并结合 Matlab 的

收稿日期: 2014-04-30; 修回日期: 2014-06-23。

作者简介: 张海宏 (1989-), 女, 河南商丘人, 硕士研究生, 主要从事惯性导航方向的研究。

FDATool 生成 FIR 低通滤波器系数, 实现了 FIR 低通滤波器的设计, 将数据通过 UART 核发送到上位机显示。嵌入式系统的总体方案如图 1 所示。

重点介绍 SOPC Builder 软件的 IP 核以及 Avalon 交换总线:

1) Nios II 是可灵活配置的通用 32 位 RISC 处理器内核, 处理器内核有 3 种类型, 分别是快速型、标准型和经济型。三种类型的内核特性对比参见表 1^[4]。

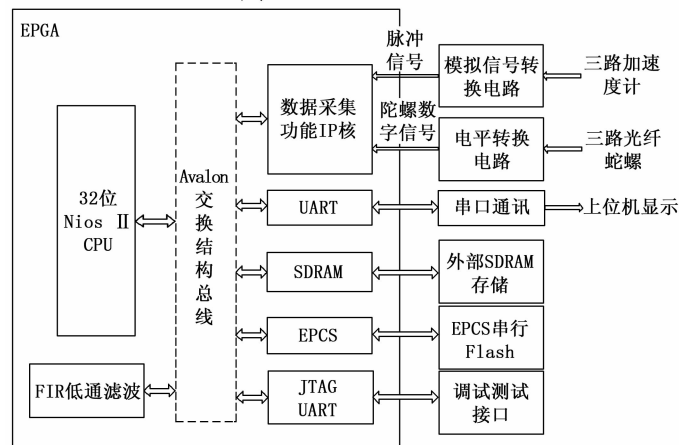


图 1 嵌入式系统总体方案设计框图

表 1 Nios II 处理器系列 3 种内核特性对比

特性	Nios II/f 快速	Nios II/s 标准	Nios II/e 经济
说明	针对最佳性能优化	平衡性能和尺寸	针对逻辑资源占用优比
流水线	6 级	5 级	无
乘法器	1 周期	3 周期	软件仿真实现
支路预测	动态	静态	无
指令缓冲	可设置	可设置	无
数据缓冲	可设置	无	无
定制指令	256	256	256

用户可以根据不同的要求选择设计类型。本设计中使用的是型号为 EP2C8Q20818N 的 FPGA 芯片, 定制了 Nios II (f) 软核, 可实现超过 200DMIPs 的计算性能。

2) Avalon 交换结构总线是 Altera 开发的用于 Nios II 嵌入式处理器的参数化接口总线, 包含支持低速外围设备、流设备和多总线控制器等高级特性, 这些高级传输方式允许在单个总线事件内在外围设备间传输多个数据。多总线控制器结构在构造 SOPC 系统时提供更大的灵活性, 并支持高速外围设备^[5]。Avalon 总线规范定义了主端口和从端口之间通过 Avalon 总线模块传输数据所需的信号和时序^[6]。Avalon 交换架构能够进行多路数据同时处理, 实现无与伦比的系统吞吐量。

使用 Altera 的 SOPC Builder 工具搭建的 Nios II 处理器系统, 会自动使用 Avalon 交换结构将 Nios II、片内片外 RAM 和外设等相互连接起来, 不需要进行任何原理图或 HDL 代码的输入。

3) UART 核是基于 RS232 通讯协议的串行通路接口。为了满足 RS232 信号电平的要求, 引脚外部需接电平转换器。将处理器滤波处理后的数据输出。

4) EPCS IP 核是 EPCS 系列配置芯片的专用接口。它可以读写串行配置器件内的数据, 它主要有两种作用: 一是作为通用非易失性存储器, 二是为软件存储器件配置数据。

5) SDRAM 控制器提供一个或多个片外 SDRAM 芯片的 Avalon 接口。

6) JTAG UART—具有 Avalon 接口的 JTAG UART 核提供了一种 PC 主机和嵌入式系统间进行串行通信的一种实现方式。设计中, JTAG UART 核可以实现 PC 和 SOPC 之间的通讯, 是一种调试手段。

2 数据采集功能 IP 核设计

2.1 IP 核功能分析

陀螺数字信号的数据传输方式遵循 UART 通信协议, 每帧数据中包括 32 位陀螺有效数据和 16 位温度有效数据。加速度计通过信号转换电路输出为脉冲信号。数据采集主要是通过加速度计脉冲信号的边沿检测来进行脉冲计数, 对陀螺仪的帧数据进行解处理。数据采集功能 IP 核的功能为光纤惯导系统数据采集和 Avalon 总线搭建一个用户桥接口, 采用这个接口获取加速度计的脉冲数和光纤陀螺数字信号, 并和 Nios II 处理器进行数据交互。

该 IP 核有 6 路外部输入接口, 分别为 3 路加速度计接口 acc_x_rxd、acc_y_rxd 和 acc_z_rxd, 另外 3 路陀螺仪接口 fog_x_rxd、fog_y_rxd 和 fog_z_rxd, sdo 为外部输出接口, 外接串口通信时 IP 核可以直接与上位机连接。

2.2 寄存器模块设计

寄存器文件是实现 IP 核与外部信号数据通信的桥梁。本设计中主要用到 9 个寄存器, ax_reg、ay_reg 和 az_reg 功能是用来读取三路加速度计的脉冲数, fx_reg、fy_reg 和 fz_reg 用来读取三路陀螺数字信号, tx_reg、ty_reg 和 tz_reg 用来读取温度数字信号。定义与 Avalon 总线交互的基本信号为 clk、reset_n、address、chipselect、read、write、readdata、writedata、byteenable。Avalon 总线的地址信号有 4 位, 0 000~1 000 表示存放加速度计和陀螺仪输出数据的寄存器, address 的其余 1 001~1 111 位保留。在片选和读写信号的控制下, 读取和写入数据。

2.3 软件综合

利用 verilog 语言实现 Avalon 总线的 IP 核描述, 编译并在 Quartus II 的 SOPC Builder 环境下建立自定义 IP 核, 编译并最终生成 .tcl 文件, IP 核即可被调用, 可得到如图 2 所示的 Avalon 与数据采集功能 IP 核接口。

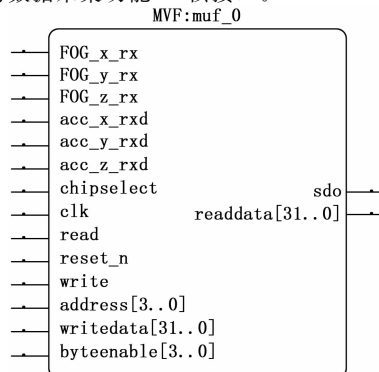


图 2 Avalon 总线与数据采集功能 IP 核

3 FIR 低通滤波器设计

数字滤波器是一个能够完成特定任务的离散时间系统，它可以利用有限精度算法来实现。有限长单位冲激响应（FIR）数字滤波器因其严格的线性相位而在数据通信、语音信号处理及自适应信号处理等领域获得了广泛的应用。

设 FIR 的冲激响应为一个 N 点序列 $0 < n < N - 1$ ，则滤波器系统函数 $H(z)$ 为：

$$H(z) = \sum_{n=0}^{N-1} h(k)z^{-k}$$

N 阶因果有限冲激响应滤波器的差分方程为：

$$y(n) = \sum_{k=0}^{N-1} h(k)x(n-k)$$

$x(n)$ 是输入采样序列， $h(n)$ 是滤波器系数， $y(n)$ 是滤波器的输出序列， $N-1$ 是滤波器的阶数。 $H(z)$ 为 $N-1$ 次多项式，它在 z 平面上有 $N-1$ 个零点，原点 $z=0$ 是 $N-1$ 阶重极点。因此 $H(z)$ 永远稳定。稳定和线性相位特性是 FIR 滤波器突出的优点。

窗函数法在进行 FIR 滤波器设计的方法之一，其算法简单、物理意义清晰，因此得到较为广泛的应用。窗函数法设计 FIR 滤波器的其核心是根据给定的频率特性，通过加窗的方式来确定有限长单位脉冲响应序列 $h(n)$ 。通常采用的窗函数有矩形窗、巴特利（Bartlett）窗、汉宁（Hanning）窗、汉明（Hamming）窗、布莱克曼（Blackman）窗和凯塞（Kaiser）窗。

基于窗函数高阻带衰减和窄过渡带的综合设计要求，本设计中采用汉明窗，设置为 16 阶 FIR 低通滤波器。在 Matlab 环境下设计相关滤波器并且得到相应类型的滤波器系数。

滤波器的幅频特性如图 3 所示。

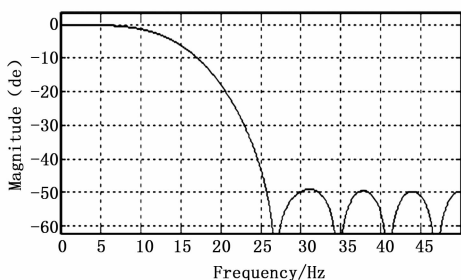


图 3 滤波器的幅频特性

4 实验结果

本系统采集的数据包括三路加速度计、三路光纤陀螺仪数据，加速度计和陀螺仪均属于静态输出，由图 5 可以看出陀螺仪数据中噪声比较明显。以天向陀螺数据为例，列出滤波前后的陀螺数据对比图和相应的频谱分析图。

本设计中采用数据采集 IP 核对加速度计和陀螺仪进行静态采集，并对陀螺数据滤波前后的数据进行了对比，利用 Matlab 工具对两组数据进行了频谱分析。图 4 为采集到滤波前陀螺数据，图 5 为滤波前数据的频谱分析图，图 6 为经过 FIR 低通滤波器后得到的陀螺数据，图 7 为滤波后数据的频谱

分析图。

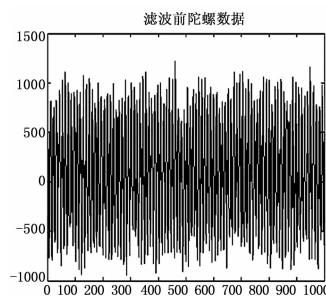


图 4 滤波前陀螺数据图

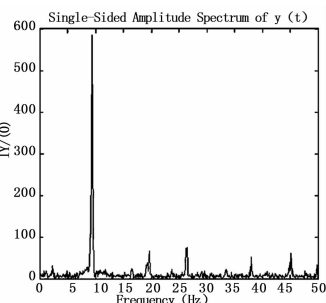


图 5 滤波前陀螺数据频谱图

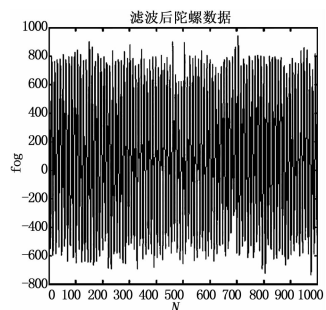


图 6 滤波后陀螺数据图

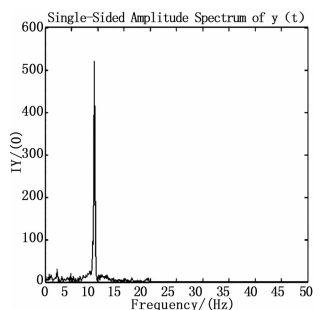


图 7 滤波后陀螺数据频谱图

实验验证了 IP 核采集数据的准确性。同时由图 5 和图 7 可以看出，FIR 低通滤波器对陀螺数据中的噪声干扰有明显抑制作用。

5 结论

本文介绍一种基于 Nios II 的光纤捷联惯导系统数据采集与预处理功能的设计。通过所设计的数据采集功能 IP 核，实现对加速度计和光纤陀螺仪输出的不同类型数据进行采集。经过实验验证，能够满足数据采集的准确性，同时 FIR 低通滤波器的设计滤除了数据中的部分干扰信号，并通过实验验证了其有效性。基于 Nios II 的数据采集模块的实现对于在光纤捷联惯导中开发复杂 IP 核和实现系统的复杂运算有一定的借鉴作用。

参考文献：

- [1] 杨卫, 李飞, 等. 基于 NIOSII 的高速多路数据采集系统 [J]. 计算机测量与控制, 2011, 19 (2): 465-467.
- [2] 李耀, 崔燕. 基于 NIOS II 的导航系统平台的设计 [J]. 微计算机信息, 2006, 22 (3-2): 108-110.
- [3] 李金力, 王国臣. 基于 SoPC 的捷联系统硬件平台的设计 [J]. 微计算机信息, 2011, 27 (7): 105-107.
- [4] 侯建军, 郭勇. SOPC 技术基础教程 [M]. 北京: 清华大学出版社, 2008.
- [5] 孙凯, 程世恒. Nios II 系统开发设计与应用实例 [M]. 北京: 北京航空航天大学出版社, 2007.
- [6] 郭书君, 王玉花, 葛纫秋. 嵌入式处理器原理及应用—Nios 系统设计和 C 语言编程 [M]. 北京: 清华大学出版社, 2004.