

基于 FT245RL 和 FPGA 的 6 路数据采集系统设计

祝敬德¹, 李 杰^{1,2}, 冯凯强¹, 刘 俊^{1,2}, 陈 伟³

(1. 中北大学 电子测试技术国防科技重点实验室, 太原 030051;

2. 中北大学 仪器科学与动态测试教育部重点实验室, 太原 030051;

3. 山西北方惠丰机电有限公司科研设计二所, 山西 长治 046012)

摘要: 针对大规模数据采集过程中存在数据量大与传输速度慢的矛盾, 文章设计了基于 FT245RL 和 FPGA 的 6 路数据采集系统; 该设计采用 Xilinx 公司的 FPGA 作为整个系统的核心, 控制 A/D 转换器实现 6 路模拟数据的同步采集, 并将转换后的数字信号存储到 Flash 中, 最终通过 USB2.0 转换芯片将数据传输到上位机; 试验表明, 该数据采集系统能够满足对大容量数据实时采集、存储和上传的要求, 具有工作稳定, 可靠性高, 传输速度快等特点, 能够广泛应用于大规模数据的采集。

关键词: USB2.0; FT245RL; FPGA; 数据采集

Design of Six Channel Data Acquisition System Based on FT245RL and FPGA

Zhu Jingde¹, Li Jie^{1,2}, Feng Kaiqiang¹, Liu Jun^{1,2}, Chen Wei³

(1. North University of China Science and Technology on Electronic Test & Measurement Laboratory, Taiyuan 030051, China; 2. Key Laboratory of Instrumentation Science & Dynamic Measurement (North University of China), Ministry of Education, Taiyuan 030051, China; 3. Shanxi North Huifeng Mechanical & Electronic Co., Ltd. No. 2 Academic Institution, Changzhi 046012, China)

Abstract: Against the contradiction between volume data and low transmission rate in volume data acquisition, designed a six-channel data acquisition system based on FT245RL and FPGA. This system adopts the FPGA of Xilinx as the core which regulates the sequence of six-channel synchronous A/D conversion, storage of Flash and data transmission of USB2.0 chip. Experiment results show that this system meets the need of real-time acquisition, storage and transmission, have advantages of high stability, reliability and transmission rate, applying to volume data acquisition.

Keywords: USB2.0; FT245RL; FPGA; Data acquisition

0 引言

近年来, 数据采集、传输和处理飞速发展, 在航天、通信、电子、雷达等领域应用广泛^[1]。早期数据的采集、传输是以单片机为主控制器, 控制 A/D 转换时序、Flash 数据存储, 并通过 RS232 实现数据传输。随着信息采集量的不断增加, 这种数据采集和传输方式速度慢的缺陷越来越凸显, 已不再能满足人们的需求。

1994 年底, 英特尔、康柏、IBM、Microsoft 等多家公司联合提出的 USB 概念, 历经 14 年的发展, 已经成为电脑上最常见的扩展接口。USB 具有即插即用, 传输速率高、占用资源少等优点, 非常适合数据传输。但 USB 协议非常复杂, 需要大量时间编写驱动程序, 导致开发时间长。作为 USB 家族中的一员, FT245RL 避开了固件设计和驱动的编写, 大幅缩短了开发时间, 实现 USB 和并行 I/O 的转换。本文采用 USB 芯片 FT245RL 和 FPGA 实现 6 路数据采集和传输, 可以降低开发难度, 提高数据采集效率, 节约传输时间和经济成本^[2]。

1 系统总体设计

本系统采用 Xilinx 公司生产的 XC2S30 芯片作为控制单元, 完成数据采集、存储和传输的时序控制。XC2S30 的内核采用 2.5 V 低电压供电, 功耗低。该芯片拥有 216 个可编程逻辑模块, 24KB 的双口 RAM, I/O 口的数量达到了 60 个, 丰富的 I/O 资源能够对 FPGA 进行灵活配置。6 路数据采集系统分为数据采集存储和数据传输两大部分, 总体设计原理如图 1 所示。

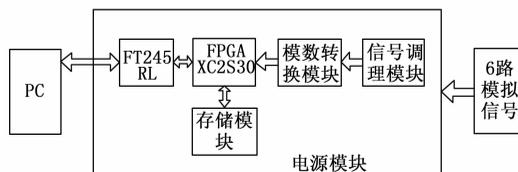


图 1 采集系统总体设计框图

其中, FPGA 控制 A/D 转换器和 Flash 存储器的工作时序, 实现模拟信号的采集、转换, 并将转换后的数字信号以一定的帧格式存储到 Flash 芯片中, 实现数据的采集存储。数据传输过程中, 上位机通过 USB 口发送命令, 经 FT245RL 将串行数据转换为并行数据, FPGA 通过识别 FT245RL 的写数据命令, 把存储在 Flash 的数据上传至上位机进行显示, 实现数据的后续处理。

收稿日期: 2014-09-24; 修回日期: 2014-10-31。

基金项目: 国家自然科学基金(50905169)。

作者简介: 祝敬德(1989-), 男, 重庆人, 硕士研究生, 主要从事微系统集成与测试方向的研究。

2 系统硬件设计

2.1 数据采集电路设计

数据采集采用 TI 公司生产的 ADS8365, 该芯片采用 5 V 供电, 采用外部提供的时钟信号, 在 5 MHz 时钟频率工作情况下最高转换率能达到 250 kHz, 具有 6 个模拟转换通道, 每个通道均有采样保持器, 引脚内部还带有 2.5 V 电压接口, 可用于提供基准电压^[3]。

模数转换通道分为 A、B、C3 组, 每组包括 2 个通道, 分别通过 HOLDA、HOLDB、HOLDC 信号来控制各组通道启动转换, 启动转换采用同一信号控制, 可实现六路模拟信号的同步采集。本设计中 HOLDX 采用 FPGA 提供 5 KHz 频率的信号, 当 HOLDX 保持 20 ns 的低电平后开始转换。FPGA 通过 ADS8365 的 EOC 信号高低电平判断转换是否完成, 当引脚 EOC 保持半个周期的低电平, 表示转换完成。转换结束后 FPGA 控制 RD 信号和 CS 片选信号将转换的数据按照当前配置的读取方式从 ADS8365 的输出寄存器读入 FPGA 中, 以便进一步将数据存储至 Flash 中, ADS8365 工作时序如图 2 所示。

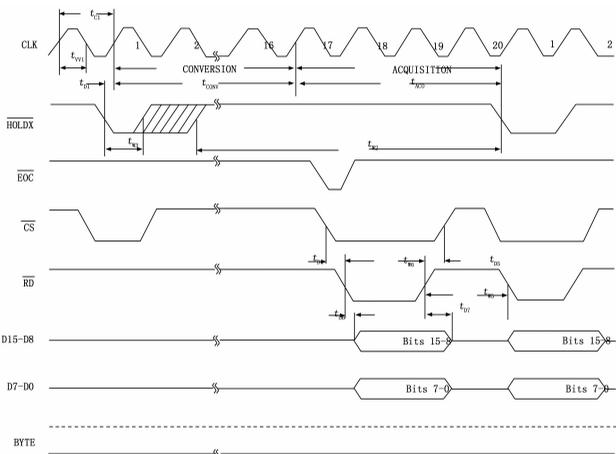


图 2 ADS8365 工作时序图

2.2 数据传输电路设计

数据传输采用英国 FTDI 公司生产的 FT245RL, 该芯片内嵌快速 USB 通信接口, 能够兼容并支持 USB 1.1/2.0 规范。FT245RL 无需编写片内固件程序, 能够实现 USB 协议与并行 I/O 协议之间的自动转换。FT245RL 支持低速 (1.5 Mb/s)、全速 (12 Mb/s)、高速 (480 Mb/s) 3 种传输速率以及批量传输、同步传输、中断传输和控制传输 4 种传输方式^[4]。该芯片提供 8 位并行 I/O 口, 能够方便与 FPGA、MCU、DSP 等微控制器外设接口连接, 实现信息和数据的交换。当采用上位机与 FT245RL 之间进行通信时, 只需在 PC 机安装了 FTDI 公司提供的官方驱动程序, 熟悉简单的 MATLAB 的 GUI、VB、VC 编程, 就可很容易地进行上位机软件开发。

相比于 FT245BM 等 USB 芯片, FT245RL 具有以下优点:

- 1) 时钟电路已经被集成到芯片内部, 不需要外接晶体或陶瓷谐振器。
- 2) 内部集成的 EEPROM 可用于存储该芯片的供应商 ID (VID)、产品 ID (PID)、序列号和更多的数据, 不需要外接

EEPROM。

3) FT245BM 的 USB DP 和 USB DM 线需要串联两个电阻, USB DP 线需要一个 1.5 kΩ 上拉电阻, 这 3 个电阻现在已经被集成到设备。

4) FT245BM 的有一个单独的 AVCC 脚, 给电源内部 PLL 供电, 该引脚需要一个外部的 RC 滤波器。FT245RL 将滤波器现在已经集成到芯片上。

晶振、EEPROM、电阻和 AVCC 滤波器外围元件的减少和整合大幅降低了开发成本, 提高了电路的稳定性和可靠性。在数据传输方面, 与 FT245BM 相比, FT245RL 利用新的缓冲平滑技术, 可实现高数据吞吐量。FT245RL 的外围电路如图 3 所示。

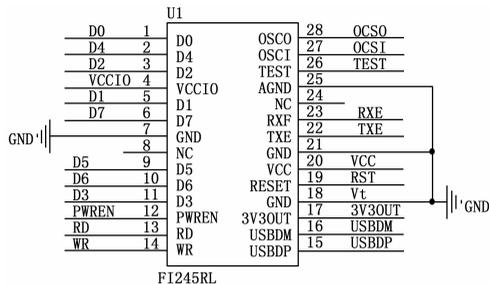


图 3 FT245RL 的外围电路

FT245RL 主要通过 8 根数据线 D0-D7、读写控制线 RD 和 WR、FIFO 发送缓冲区空标志 TXE、FIFO 接收缓冲区非空标志 RXF 来控制数据交换。TXE 为低电平时, 表示当前 FIFO 发送缓冲区为空; 为高电平时, 表示当前 FIFO 发送缓冲区为满或正在存储前一个字节, 禁止向发送缓冲区中写数据。RXF 为低电平时, 表示当前 FIFO 的接收缓冲区非空。RXF 为高不能从 FIFO 读数据。

本设计中 FT245RL 只需要将数据发送到 PC 机, 不用进行读操作。FT245RL 写时序如图 4 所示, 当 TXE 为低电平时放入数据, WR 输出一个下降沿时, 控制器将数据将写入发送 FIFO L。

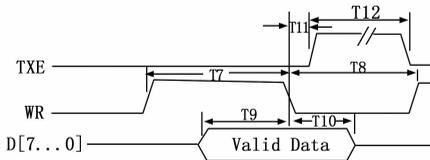


图 4 FT245RL 写时序

3 系统软件设计

3.1 FPGA 程序设计

FPGA 程序 VHDL 语言编写, 在 Xilinx 的 ISE10.1 开发环境中设计实现。FPGA 程序分为 A/D 控制模块、Flash 存储控制模块、FT245RL 控制模块等。FPGA 控制 ADS8365 转换流程图如图 5 所示。

转换后的数字量需要按照一定的编码方式进行编码, 便于数据的存储和分离。转换的数据采用的通讯数据帧编码方式如表 1 所示。

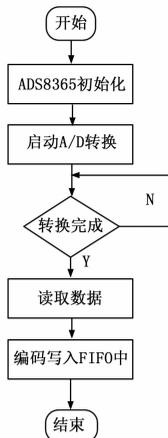


图 5 AD 转换流程图

表 1 通讯数据帧编码方式

数据帧字节说明		
帧头	B0~B1	EB,EB
帧计数	B2~B4	帧计数
	B5~B7	第 1 路
	B8~B10	第 2 路
数据	B11~B13	第 3 路
	B14~B16	第 4 路
	B17~B19	第 5 路
	B20~B22	第 6 路

由表 1 可知, 一帧数据为 23 个字节, B0 为低字节, B22 为高字节。B0、B1 为帧头, 用于时候数据处理时判断数据帧的起始位置。B2-B4 为帧计数, 用来计算采集数据的数据量和判断存储数据的完整性。B5-B22 字节为 6 路数据, 其中 3 个字节为构成 1 路数据, 分别对应采集的模拟信号。

FPGA 将编码后的数据传输到存储模块中。存储模块采用 SAMSUNG 公司的生产的 K9K8G08U0BFlash 芯片, 该芯片是一种 NAND Flash Memory, 具有 1G×8 Bit 的数据存储空间和 256 Mbit 的空闲空间, 空闲空间可以用来存储坏块信息及其它分区划分信息, FPGA 控制 Flash 数据存储流程如图 6 所示。

如图所示, 上电后, 首先由 FPGA 向 Flash 中写入写数据命令 80 H, 然后写入数据存入的具体地址, 接下来写入执行命令 10 H, 此时 Flash 开始数据写入工作, 此时 R/B 信号呈现低电平, 表示 Flash 处于写数据的工作状态, 待 R/B 信号变为低电平时, 表示 Flash 写数据的工作状态结束。最后, 读取状态寄存器, 如果 IO₀ = 0 则说明数据写入成功, 反之写入失败。

3.2 PC 软件设计

FT245RL 与上位机通讯时, 无需编写片内固件程序, 只需要使用 FTDI 公司提供的两种驱动模式: 一种为 VCP, 将 USB 接口虚拟为串行通信, 在 PC 上的编程和实现串口编程完全一样; 另一种是 D2XX 驱动程序, 通过调用驱动程序的动态

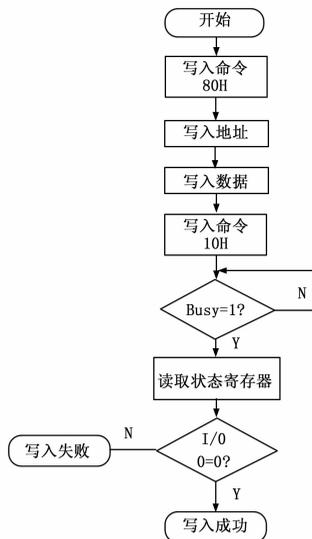


图 6 Flash 存储数据流程图

链接库直接访问 USB, 内部包含了一套函数, 使用该驱动传输速率可达到 1 MB/s^[5]。上位机操作界面采用 VB 编程编写, 读取采集数据、擦除数据、分离数据等操作, 上位机软件结构图如图 7 所示。

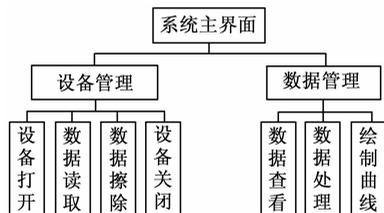


图 7 上位机软件结构图

4 实验验证

利用信号发生器向 6 路模拟输入端输入 5 Hz 的正弦模拟信号, 采集系统对此测试信号进行采集、模数转换、编帧和存储, 将存储的数据通过 USB 上传给上位机, 上位机对采回的数据进行 6 路分离处理和分析。

将分离过后的数据用 MATLAB 软件进行绘图, 绘图如图 8 所示, 可以清楚地看到 6 路正弦曲线。通过多次连续的采集和分离数据测试, 验证了系统的准确性和可靠性。

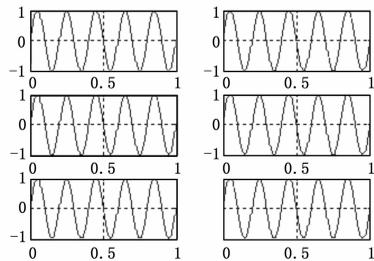


图 8 6 路数据验证曲线

5 结束语

本文设计的基于 FT245RL 和 FPGA 的 6 路数据采集系统能够实现模拟数据的实时采集、存储和上传的功能。通过采

用 FPGA 和 FT245RL 避开了固件设计和驱动的编写，能够有效缩短开发时间，降低开发难度，提高数据采集效率，节约传输时间和经济成本。试验表明该系统工作稳定，可靠性高，传输速度快，可移植性强，能够广泛应用于大规模数据的采集。

参考文献:

[1] 袁江南. 基于 USB2.0 与 FPGA 技术的高速数据采集系统的设计 [J]. 电子技术应用, 2007 (7): 116-118.

[2] 柯 艳, 李 杰, 刘 俊, 等. 基于 FPGA 与 USB2.0 的多功能读卡盒 [J]. 仪表技术与传感器, 2010 (11): 32-34.
 [3] 詹哲军, 张爱玲, 路秀芬. 基于 TMS320F2812 同步数据采集系统的设计 [J]. 电气技术, 2008 (7): 52-55.
 [4] 梅文龙, 王 辉. 基于 FT245BM 和 FPGA 的数据采集设计 [J]. 电子技术应用, 2013, 39 (6): 118-120.
 [5] 安 荣, 任勇峰, 李圣昆. 基于 FPGA 和 USB2.0 的数据采集系统 [J]. 仪表技术与传感器, 2009 (3): 49-51.

(上接第 172 页)

个数下降最缓慢，在同一时刻，比另外两种算法的存活节点个数都要多，从而说明本文提出是方法网络生命周期最长，能耗也最均衡。

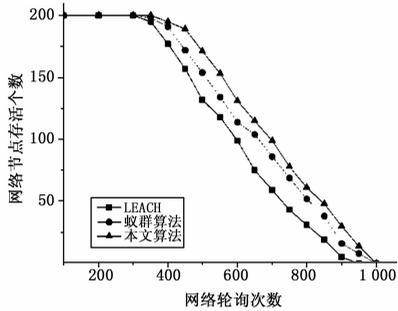


图 4 网络节点存活个数对比

从图 5 和 6 可以看出 LEACH 经典分簇算法，只是简单考虑节点的能量，没有考虑数据传输链路状况，因此在数据传输时会出现较高的丢包率和较大的时延。Ant-BECP 算法的丢包率较大，但时延相对较大，但比 LEACH 算法要好，而本文提出的人工蜂群算法在 WSNs 出现丢包情况较少及时延也较小，能耗也较均衡。

5 结束语

能耗均衡是无线传感器网络重要的领域之一，WSNs 由于节点能量限制，能耗均衡是反映网络效率的重要体现。本文将人工蜂群算法与无线传感器网络能耗均衡分簇算法结合起来，建立能耗模型，进行优化求解，从而到达优化网络能耗均衡，提高网络寿命。通过实验仿真证明，本文提到的算法与 LEACH 分簇算法、蚁群优化算法相比，具有更好的能耗和负载均衡能量、丢包率和时延性，有效地提高了网络生存周期。

参考文献:

[1] Wu Y, Liu W B. Routing Protocol Based on Genetic Algorithm for Energy Harvesting-wireless Sensor Networks [J]. Wireless Sensor Systems, IET, 2013, 3 (2): 112-118.
 [2] Feng W, Zhang L, Elmirghani J M H. Energy Saving Geographic Routing in ad hoc Wireless Networks [J]. Communications, IET, 2012, 6 (1): 116-124.
 [3] 曹永洁, 齐建东, 赵燕东, 等. 无线传感器网络能耗均衡的流量调节机制 [J]. 计算机工程, 2012, 38 (1): 99-101
 [4] 陈凤超, 李融林. 基于路由代价的无线传感器网络蚁群路由算法 [J]. 华南理工大学学报 (自然科学版), 2011, 39 (5): 36-43.
 [5] 乐 俊, 张维明, 肖卫东, 等. 无线传感器网络中一种基于非均匀划分的分簇数据融合算法 [J]. 计算机研究与发展, 2011, 48 (z2): 247-254.
 [6] 梁平元, 刘星成, 石 春, 等. 基于协作 MIMO 的多跳 WSN 动态分簇选择算法研究 [J]. 自动化学报, 2010, 36 (10): 1401-1408.
 [7] Liu Y, Ling X X, Liang Y, et al. Improved Artificial Bee Colony Algorithm With Mutual Learning [J]. Systems Engineering and Electronics, 2012, 23 (2): 265-275.
 [8] 李建奇, 曹斌芳, 王 立, 等. 一种结合 LEACH 和 PEGASIS 协议的 WSN 的路由协议研究 [J]. 传感技术学报, 2012, 25 (2): 263-267.
 [9] 米奕萍, 高 媛. 基于蚁群优化的 WSN 能耗均衡链路路由协议 [J]. 计算机测量与控制, 2012, 20 (2): 490-493.

5) 丢包率和实时性:

从丢包率和实时性两个方面进行实验，比较分析 3 种算法的丢包率及时延情况。图 5、6 分别给出了 3 种算法的丢包率和实时性对比。

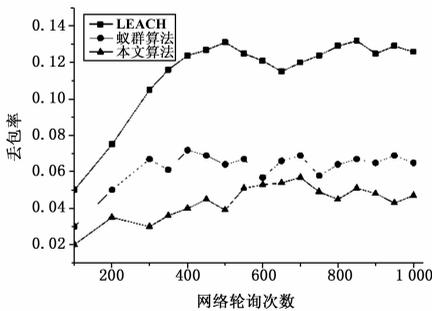


图 5 网络丢包率对比

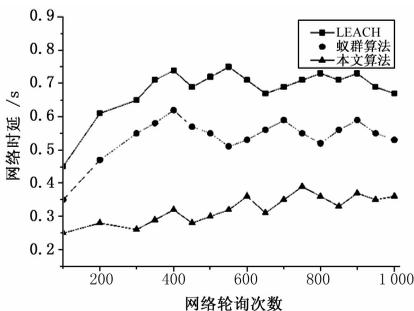


图 6 网络时延对比