

基于 CPLD 的自适应高精度时统模块设计

王 冶

(江苏自动化研究所, 江苏 连云港 222006)

摘要: 通过分析影响时统模块自守时精度的因素, 给出传统时统模块自守时精度低的原因, 提出了基于 CPLD 的自适应高精度时统模块的硬件设计和 CPLD 逻辑设计方法; 通过仿真及实际测试结果表明, 基于 CPLD 的自适应高精度时统模块的自守时时钟与参考时钟的误差每小时小于 3.6 ms, 并且根据自守时精度的数学模型, 通过提高晶振的频率可以提高模块的自守时精度。

关键词: 时统模块; 高精度; 自适应; 数学模型

Design of Adaptive and High Precision Time System Based on CPLD

Wang Ye

(Jiangsu Automation Research Institute, Lianyungang 222006, China)

Abstract: Analyzing the diathesis of affecting timing system's timekeeping precision, the reason of timekeeping low precision has been presented. The hardware and CPLD logic design of adaptive and high precision time system based CPLD has been put forward. By the result of testing and emulating, the inaccuracy of the timekeeping clock and the reference clock is less than 3.6ms/h. The mathematical model indicates that the precision of timekeeping can be improved by increasing the frequency of crystalloid.

Keywords: time system; high precision; adaptive; mathematical model

0 引言

时间统一系统为系统提供统一的标准时间码和同步脉冲频率信号, 为测量控制系统提供统一的时间尺度^[1-2]。时统模块完成与时间站送来时间信号的同步, 并向测控设备发送所需要的各种频率信号、时间信息和各种采样脉冲信号, 来确保测控设备的定时与靶场的时间基准保持一致^[3-4]。当存在外部时间基准时, 例如 GPS 秒脉冲^[5], 时统模块与时间基准能够很好地进行守时, 但是当外部时间基准不存在时, 它就必须通过自身计数来完成自守时。

时统模块自守时精确度由两个方面决定: 晶振精确度和计数精确度。晶振精确度包括晶振振动频率与标称的误差, 晶振随温度等环境因素变化范围; 计数精确度是指在当前晶振的振动频率下什么样的计数次数能够使时统模块更接近实际时间标度, 所以提高时统自守时精确度必须通过提高晶振精确度和计数精确度来完成。

1 硬件设计

1.1 总体方案

时统模块完成与基准时钟同步, 在无基准时钟情况下能够完成自守时, 时统模块技术指标如下:

- 1) 6U CPCI 结构, 尺寸 233.35 mm×160 mm;
- 2) 提供 1 路时统输入接口, 能够接收秒脉冲信号;
- 3) 提供 1 路时统输出接口, 20 μs 计数, 主板能够通过 CPCI 总线读取计数值。自守时时钟与基准时钟的误差每小时小于 5 ms。

收稿日期: 2014-04-18; 修回日期: 2014-05-20。

基金项目: 国家自然科学基金(61303045); 江苏省自然科学基金(BK2012237)。

作者简介: 王 冶(1985-), 男, 江苏连云港人, 工程师, 工学硕士, 主要从事计算机系统开发方向的研究。

模块硬件框图如图 1 所示, 模块主要由三部分组成, 包括 RS422/485 接口电路、可编程逻辑单元 CPLD^[6]、CPCI 接口电路。RS422/485 接口电路芯片选择 MAX1490A, 实现 RS422/485 和 TTL 电平的转化, 可编程逻辑单元选择 MAX7000 芯片, 实现对输入信号的采样和秒脉冲的输出。同时, 20 μs 计数值通过 CPCI 总线实时读取, 以实时监测现场的状态。

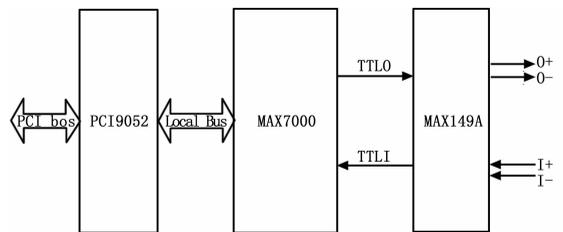


图 1 模块硬件设计

1.2 输入接口电路

输入接口电路图如图 2 所示, 主要包括 I+ 的上拉电阻 R1, I- 的下拉电阻 R3、匹配电阻 R2, I+ 对地二极管、I- 对地二极管、I+ 和 I- 之间的二极管, I+ 和 I- 自恢复保险丝, 该电路能有效消除差模和共模干扰, 同时为 RS422/485 接口电路提供过流过压保护。

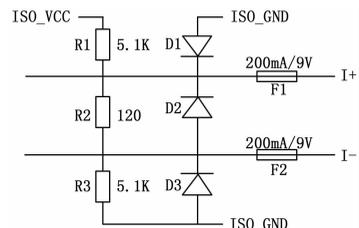


图 2 输入接口电路

输出接口电路与输入相似, 只是 O+ 和 O- 缺少自恢复保险丝, 原理图如图 3 所示。

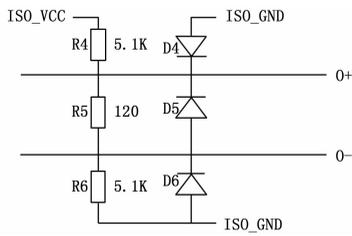


图 3 输出接口电路

2 CPLD 逻辑设计

2.1 传统的时统模块

传统的时统模块自守时是根据晶振的频率计算出计数次数, 公式如下:

$$c = \frac{t}{1/f} \quad (1)$$

式中, c 为计数次数, t 为时统信号间隔时间, f 为晶振频率。传统的时统模块中 c 是根据式 (1) 计算出来的, 是固定不变的。例如时钟频率 f 为 1 MHz, 而 t 为 1 s, 根据式 (1) 计算出 $c = 1\,000\,000$, 但是, 如果晶振的频率不是正好的 1 MHz, 如果只有 999.99 kHz, 而 c 依旧等于 1 000 000, 那么实际自守时的 t 就会变大, 变化的值由式 (2) 计算得出, 计算得出 t 增大 $\frac{10}{999\,990}$, 那么 1 s 将误差 10 μ s, 1 小时误差 36 ms, 对于时统要求不高的时候能够满足要求, 但是如果时统自守时精度要求为每小时误差在 5 ms 之内, 这样的系统就不满足要求, 基于此本文提出了高精度时统模块。

$$\Delta t = c\Delta \frac{1}{f} \quad (2)$$

2.2 高精度时统模块

高精度时统模块原理是随着晶振频率的不同动态调节时统模块的计数次数, 从而达到高精度自守时功能。时统模块自守时精度由两方面决定: 晶振精度和计数精度, 高精度时统模块从这两方面来解决时统模块自守时精度问题。

首先, 高精度时统模块选用高稳态晶振, 它的精确度比较高, 同时, 它随环境变化不大。

其次, 根据外部时钟站提供的脉冲信号, 结合自身模块的晶振, 动态调节时统模块的计数次数, 从而使时统模块更接近外部标准时钟脉冲, 提高时统模块的自守时精度, 它的数学模型如式 (3)。

$$\Delta c = t\Delta f \quad (3)$$

算法是先判断是否是有效脉冲开始信号, 如果不是, 判断计数值是否等于参考计数寄存器值, 如果还不是, 计数值加 1; 如果计数值等于参考计数寄存器值, 则计数清零; 如果有有效脉冲开始信号确认, 则判断是否在脉冲门限内, 在脉冲门限内将计数值赋给参考计数寄存器, 计数清零, 不在门限内参考计数寄存器维持不变。算法流程如图 4 所示。

秒脉冲输出宽度约为千分之三, 流程图如图 5 所示。

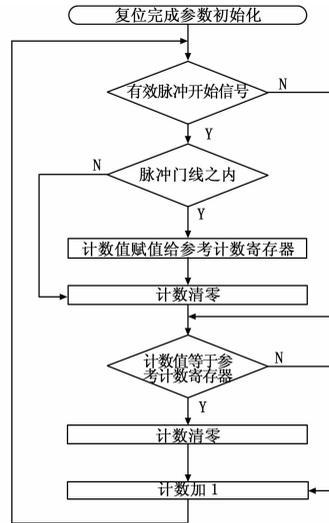


图 4 高精度自守时算法流程图

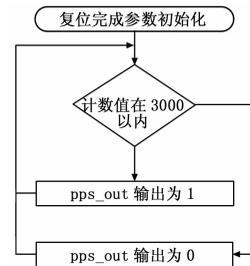


图 5 秒脉冲输出流程

3 仿真与测试

3.1 仿真分析

对高精度自守时算法进行仿真, 如图 6 所示, 图中 pps_in 为秒脉冲输入信号, pps_out 为秒脉冲输出信号, pps_ref 为秒脉冲参考信号, 晶振频率为 0.999 996 MHz, 从图中可以看出仿真 10 s, pps_out 和 pps_ref 基本没有误差。

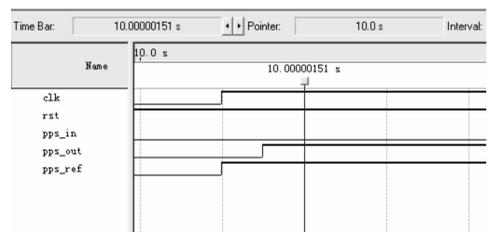


图 6 高精度自守时算法仿真

3.2 实际测试

搭建测试环境, 时统源由 GPS/北斗时统设备提供, 时统源先处于工作状态, 这时观察到时统模块能够很好地和时统源同步; 断开时统源, 时统模块处于自守时状态, 用示波器通道 1 测量时统模块的时统输出, 通道 2 测量时统源输出, 测量时间为 1 个小时; 自守时状态下进行 3 次测量, 时统模块和时统源分别存在 0.5 ms、1.6 ms 和 2.5 ms 误差。

