

## 基于 FPGA 自主控制浮点加减控制器设计

张玲玲, 李克俭, 蔡启仲

(广西科技大学 电气与信息工程学院, 广西 柳州 545006)

**摘要:** 为实现一种能够自主完成浮点数加/减运算功能的浮点数加/减运算执行控制器, 提出了一种基于采用 FPGA 并行操作电路硬连接的浮点数加/减运算控制电路及其时序控制方法; 该控制器在接收到操作数类型与参与运算的操作数后, 在内部时序脉冲作用下, 可以自主完成操作数的配置以及浮点数加/减法运算的功能, 运算结果传输到系统数据总线; 论述了该控制器的电路构成和基本原理, 分析操作数类型与操作数在内部时序脉冲作用下的执行过程, 应用 Verilog HDL 语言实现相关硬件的构建和连接; 设计完成后通过仿真测试可知, 该控制器运行的最高频率可达 178.317 M, 从输入端口到输出端口的延时数据为: 最小延时是 3.185 ns, 最大延时是 15.336 ns, 耗用的 IO 输入输出端口占总资源的 27.92%, 数据表明该控制器提高了运算器的运算速度, 且能够自主完成浮点数加/减运算。

**关键词:** FPGA; 浮点加减法运算; 控制器; 多操作数

## Design of Floating Point Add and Subtract Controller of Independent Control Based on FPGA

Zhang Lingling, Li Kejian, Cai Qizhong

(College of Electornical and Information Engineering, Guangxi University of Science and Technology, Liuzhou 545006, China)

**Abstract:** In order to achieve the plus/minus floating point calculation function independently by on execution controller, this paper proposes a parallel operation based on the FPGA circuit hard-wired floating-point number plus/minus operation control circuit and the sequential control method. The controller can independently complete much floating-point addition and subtraction operation function of the process of operation under the influence of internal timing pulse when it receives the operand type and multioperand. operation results transmitted to the system data bus. Discusses the circuit of the controller structure and basic principle, analyzes the operand type and multioperand in internal temporal pulse under the action of execution. VerilogHDL language is applied to implement the building and related hardware connection. After the completion of the design the simulation test shows that Maximum delay is 15.336 ns, consumption of IO input/output port of total resources 27.92%, data show that the controller can improve the arithmetic unit operation speed when performing more operands floating-point addition and subtraction.

**Keywords:** FPGA; floating-point add and subtract operation; controller; multioperand

## 0 引言

随着信息应用领域对数据运算精度要求的不断提高和数值运算范围的不断扩大, 使得浮点运算的研究越来越重要。浮点数加减运算是数字信号处理中的一个非常频繁并且非常重要的操作, 在现代数字信号处理应用中, 浮点数加减运算量占到全部浮点操作的 55% 以上<sup>[1]</sup>。在微处理器的指令系统中, 浮点数加/减法指令实现 2 个 32 位符合 IEEE754 标准的浮点数加/减运算, 其浮点数加/减运算器的设计通常采用流水线执行的方式, 将运算过程分为若干模块, 在微处理器控制部件发出的时序脉冲的控制下, 多条浮点数加/减运算指令按照模块顺序执行, 流水线中的每条指令运算结束都需要将运算结果写回。但对于所执行的浮点数加/减法指令需要应用上一条运算指令的运算结果作为操作数的指令, 则浮点数加/减运算的流水线操作失去作用, 影响了浮点数加/减运算指令执行的速度, 而通常很多运算都需要应用上次的运算结果作为本次运算的操作数运算结果作为操作数传送给浮点数加/减运算的一个输入端。

因此, 本设计在深入分析流水线浮点加/减运算器的基础之上, 提出使用非流水线浮点加减运算器并且可将其运算结果作为参与运算的操作数, 应用现场可编程门阵列 (FPGA) 来设计实现无指令的自主控制浮点加/减法的运算执行控制器。

## 1 浮点数表示形式

IEEE754 标准<sup>[2]</sup>规定了 5 种浮点数, 即规格化数、非规格化数、特殊数 (包括零、无穷大和非数); 浮点数按存储格式分为 3 种: 单精度浮点数、双精度浮点数、扩展精度浮点数。本设计采用 IEEE754 标准的单精度浮点数, IEEE754 标准规定了单精度浮点数总位数为 32 位, 其包含浮点数的符号位 S (Sign)、阶码位 E (Exponent) 与尾数位 M (Mantissa)。其存储格式如表 1 所示。

表 1 单精度浮点数的存储格式

S	E	M
31	30 23	22 0

在表 1 中, 最高位 S 为符号位, S 为 0 表示正数, S 为 1 表示负数。E 是阶码 (带有偏移量的阶码), 占 8 位, 它是实际阶码  $e$  与偏移量  $\Delta e$  相加的值, 即  $E = e + \Delta e$ 。M 是 23 位尾数位, 它是尾数  $m$  小数点后的 23 位数字, 并且尾数  $m$  小数点前还有一位隐藏位  $h$ , 尾数  $m$  实际上是 24 位数字和一个小

收稿日期:2014-04-21; 修回日期:2014-05-26。

基金项目:广西自然科学基金(桂科自 2011GXNSFA018153)。

作者简介:张玲玲(1988-),女,河南许昌人,硕士研究生,主要从事过程控制与自动化装置方向的研究。

数点组成的小数，即  $m = h \cdot M^{[3]}$ 。

### 2 浮点数加/减法运算器

通过分析流水线<sup>[4-5]</sup>浮点运算器以及浮点运算控制器的功能，本设计采用非流水线的浮点加/减法运算器<sup>[6-7]</sup>。浮点加减运算的一般步骤<sup>[8-10]</sup>，浮点数加/减法运算器按阶码对齐模块、尾数运算模块和尾数规格化模块来划分为 3 个模块。浮点加/减法器总体框图如图 1 所示。

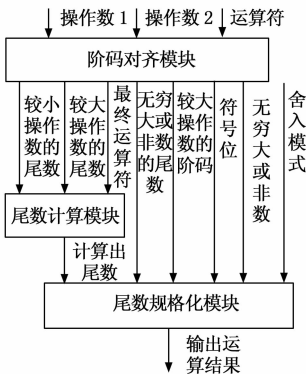


图 1 浮点加/减法运算器

阶码对齐模块对浮点运算器的输入数据进行分离、运算符及符号位的判断和阶码对齐的处理，以及特殊数判断，并送往下一个模块进行加/减算术运算。

尾数计算模块用来对阶码对齐模块输出的最终运算符和操作数的尾数进行算术运算，运算结果被送往下一模块进行舍入与规格化处理。运算模块的功能如下：对扩展后的尾数设置警戒位；根据最终运算符完成尾数相应的加减运算；输出运算结果的尾数，作为下一个模块的输入。

尾数规格化模块用来对阶码对齐模块输出符号、特殊数的判断及阶码和加法运算模块输出的运算结果的尾数进行舍入和规格化处理，并将处理结果作为浮点加法器的输出。

### 3 浮点数加/减法运算控制器

#### 3.1 浮点数加/减法运算执行控制器的研究

对于流水线浮点加/减法运算器，如果每条运算指令的两个操作数都不需要应用前一条指令的运算结果，则流水线结构的加/减法运算器的运算效率大于没有采用流水线的运算器，但如果指令的一个操作数将来自于前一条指令的运算结果，则失去流水线执行运算指令的作用，而实际应用中的加/减混合运算是第一条运算指令的两个操作数与运算结果可能基本无关，但往往从第二条运算指令开始与前一条指令的运算结果有关，两个操作数中的一个操作数就是前一条指令的运算结果，前一条指令的运算结果实际上也可以不需要写回操作。为此，设计一种无指令的具有自主功能的浮点数加/减运算执行控制装置。其基本功能如下。

1) 设置操作数类型标志，其标志为“0”：两个操作数来自于系统数据总线；标志为“1”：操作数 1 来自前一次的运算结果，另一个操作数来自系统数据总线；操作数类型标志由系统发送给浮点数加/减法运算执行控制器；

2) 设计一个脉冲分配器，脉冲分配器按照操作数类型标志发出配置两个操作数的时序脉冲，以及运算结果寄存器的写入信号；

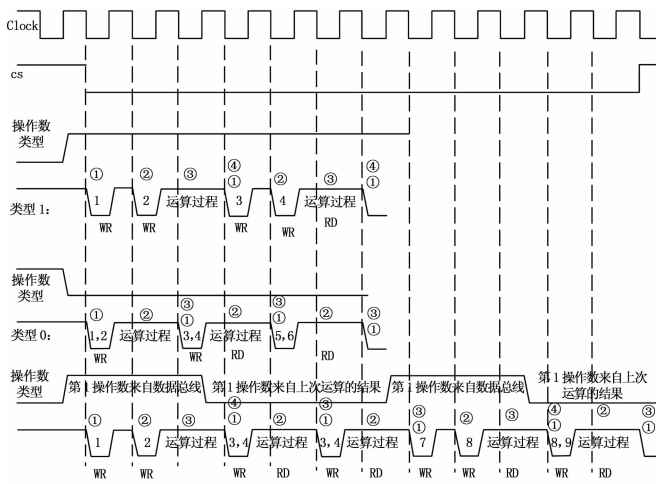


图 2 浮点数加/减法运算指令执行时序图

3) 浮点数加/减法运算指令执行控制装置在脉冲分配器的时序脉冲作用下，对于操作数类型标志为“0”时，应用两个系统时钟周期写入两个操作数；对于操作数类型标志为“1”时，应用一个半时钟周期完成运算结果作为操作数 1 和来自系统数据总线的操作数 2 的写入。

浮点数加/减法运算指令执行控制装置的时序控制如图 2 所示。图中 clock 是系统时钟，CS 是使能信号，WR 是写信号，RD 是读信号，①表示第一个脉冲，②表示第二个脉冲，③表示第三个脉冲，④表示第四个脉冲。

#### 3.2 浮点数加/减法运算执行控制装置的总体结构

浮点操作数加/减法运算控制装置电路结构框图如图 3 所示。其控制装置主要由浮点操作数配置控制模块、脉冲分配器、浮点操作数加/减法运算器和结果输出模块组成。

浮点数加/减法运算器的主要功能是按照运算符 sub 的要求，完成两个浮点数的加或减法的运算。

浮点操作数配置控制模块的主要功能是按照操作数的类型，以及脉冲分配器的时序脉冲，完成浮点数加/减法运算器输入的操作数 1 和操作数 2 的配置，如图 4 所示。图中 rst 是复位信号，DB 数据总线，rm 是舍入模式。

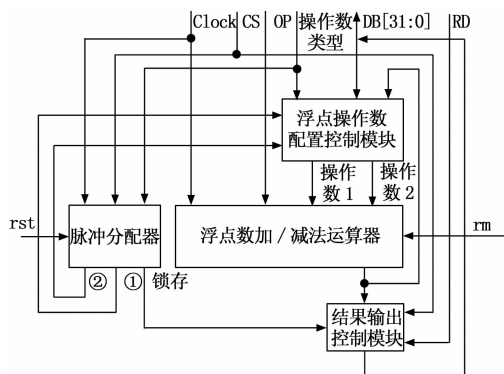


图 3 浮点操作数加/减法运算控制装置电路结构框图

脉冲分配器脉冲分配器的主要功能是按照操作数的类型发出满足两个操作数配置的时序脉冲，脉冲分配器如图 5 所示。

结果输出控制模块结构图如图 6 所示，脉冲分配器输出的循环启动信号作为结果输出寄存器的锁存信号，循环启动信号

是在浮点数加/减法运算器运算结束时产生的脉冲信号。当运算结果出现异常即出现无穷大、无穷小或者非数时, 运算异常标志控制向系统发出异常信号 IRQ; IRQ 为 0, 运算结果异常, 表示运算结果出现了无穷大或者非数; 为 1, 运算结果正常。

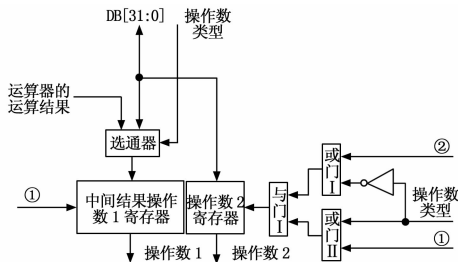


图 4 浮点操作数配置控制模块

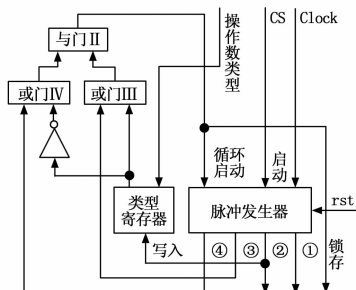


图 5 脉冲分配器

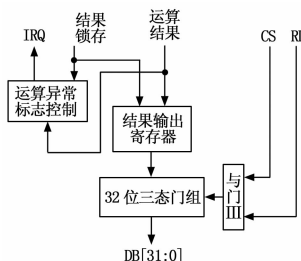


图 6 结果输出控制模块

### 4 仿真与验证

完成相应设计后, 使用底层设计更有优势的硬件描述语言 verilog 输入, 使用 Actel 公司的集成开发软件 Libero IDE v8.3, 联合 Modelsim ACTEL 6.3c 进行仿真验证, 利用 testbench.v 文件用于模拟数据输入并观察模块数据输出。

验证测试的方法是: 对每个模块进行编程测试及功能仿真; 再将这些功能模块的顶层模块例化, 对各个模块进行连线。对 testbench.v 文件的输入信号赋值对控制器进行验证。

当操作数类型 type 为 1 时, 在内部脉冲下降沿从数据总线上写入一组 16 进制表示的数据为 3c600011, be820000、431ffffc、bd803fe0、7ee3e7db, 150ns 时刻把前两个操作数的运算结果 b3e890000 读到数据总线 DB 上, 230 ns 时刻, 把接下来的两组数的运算结果 431fff4 读到数据总线 DB 上; 当操作数类型 type 为 0 时, 参与运算的一个操作数来自于上次运算结果 431fff4, 另一个操作数来自数据总线上的 7ee3e7db, 280 ns 时刻, 第三次运算结果为 fee3e7db 并读到数据总线。仿真结果如图 7 所示, P1、P2 为内部时序脉冲; lock 为内部的锁存信号; 图中 IRQ 为 1, 表示运算结果正常。

所设计的浮点加法器在经过综合、布局布线后, 芯片资源

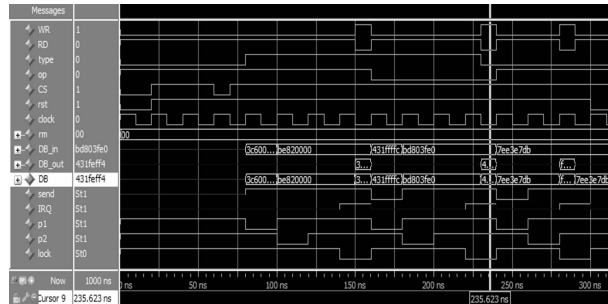


图 7 无指令浮点加/减法运算控制器的结果仿真图

消耗情况如表 2 所示。综合后使用软件自带的 SmartTime 中的 Timing Analyzer 进行时序分析可知,

该控制器运行的最高频率可达 178.317 M, 从输入端口到输出端口的延时数据为: 最小延时是 3.185 ns, 最大延时是 15.336 ns。

表 2 芯片资源消耗情况表

芯片资源类别	芯片资源总数	耗用芯片资源个数	耗用芯片资源占总资源百分比/%
CORE	24 576	1 666	6.78
IO (W/ clocks)	154	43	27.92
GLOBAL	18	2	18

### 5 小结

本设计以 FPGA 的硬件连接控制电路为核心, 即可以达到无指令的自主控制浮点加减运算的目的。同时浮点加减运算器与其他控制器模块之间实现并行操作, 增强了控制功能与性能, 提高了运行速度, 具备较高的性价比。本工程完成了对浮点加/减法运算执行控制器的 VerilogHDL 建模、功能仿真、综合、布局布线、时序仿真等设计的整个过程。

### 参考文献:

- [1] 夏杰, 宣志斌, 薛忠杰. 基于流水线结构的浮点加法器 IP 核设计 [J]. 微计算机信息, 2008, 27: 192-193.
- [2] 张小妍, 邵杰. 高速浮点运算单元的 FPGA 实现 [J]. 信息化研究, 2009, 11: 24-27.
- [3] 戴澜, 杨松华. 快速浮点加法器设计研究 [J]. 计算机测量与控制, 2005, (2): 186-188.
- [4] 张素萍, 李红刚, 张慧坚, 等. 单精度浮点运算单元的 FPGA 设计与实现 [J]. 计算机测量与控制, 2011, (5): 1178-1180.
- [5] 杜叔强, 施武祖. 浮点数用法分析 [J]. 兰州工业高等专科学校学报, 2012, (3): 51-53.
- [6] 王松. 基于 FPGA 的浮点协处理器 IP 核设计 [D]. 南京: 南京航空航天大学, 2010.
- [7] Pillai R V K, Dhamin Al-Khalili, Asim J. Al-Khalili, et al. A Low Power Approach to Floating Point Adder Design for DSP Applications [J]. VLSI Signal Processing, 2001, 27:.
- [8] 邵杰, 伍万棱, 余汉城. 一种深度流水线的浮点加法器 [J]. 电子器件, 2007, (3): 911-914.
- [9] 吉伟, 黄巾, 杨靓, 等. 基于 FPGA 的 32 位浮点加法器的设计 [J]. 微电子学与计算机, 2008, (6): 209-211.
- [10] 覃霖, 曾超. 基于 VHDL 实现单精度浮点数的加/减法运算 [J]. 电子工程师, 2008, (7): 52-55.