

基于 CPCI 总线的反射内存网络接口卡研制

周 强¹, 张秀磊¹, 骆 冬¹, 熊良永², 李景权²

(1. 北京航空航天大学 自动化科学与电气工程学院, 北京 100191; 2. 北京浩正泰吉科技有限公司, 北京 102208)

摘要: 反射内存网络具有协议简洁、组网简便、确定性延时等突出特点, 因此半实物仿真系统和分布式测控系统中有着广泛的应用; 根据环形反射内存网络的组网需求, 研制开发了一种具有 CPCI 接口的反射内存网络接口卡, 实现了网络链路层和物理层的功能; 同时, 设计开发了 Windows XP 操作系统下的驱动程序, 以 API 函数的形式实现了软件层的功能; 研制中还构建了反射内存网络测试环境, 进行了数据传输测试和 DMA 读写测试; 实验结果表明基于 CPCI 总线的反射内存网络接口卡工作稳定、可靠, 数据更新速率快。实验结果亦表明应当根据反射内存网络传输的数据帧数量适当的选用 DMA 或单次读写方式。

关键词: 反射内存网络; CPCI 总线; API; DMA

Reflective Memory Network Interface Board Based on CPCI Bus

Zhou Qiang¹, Zhang Xiulei¹, Luo Dong¹, Xiong Liangyong², Li Jingquan²

(1. Beihang University, Beijing 100191, China; 2. Beijing Vast-Tagee Technology Co., Ltd., Beijing 102208, China)

Abstract: With concise protocol, simple networking, deterministic delay and other outstanding features, reflective memory network has been widely used in the hardware-in-loop simulation system and distributed control system. According to the networking request of ring reflective memory network, developed a reflective memory network interface board with CPCI interface to achieve the function of network link layer and physical layer. At the same time, the driver under Windows XP operating system is designed and developed, and the function of software layer is realized in the form of API function. Also, during development, reflective memory network test environment is built and a series of tests are made. Experimental results show that the CPCI bus based reflective memory network interface board is stable, reliable, and fast data update rate. The experimental results also show that the selection of DMA or read and write way should be based on the reflective memory network transmission frame number.

Keywords: reflective memory network; CPCI bus; API; DMA

0 引言

在通信网络中, 为了保证整个网络具有较高的实时性, 常要求网络传输具有实时特性。传统的网络技术如: FDDI, 以太网等在实时通信中存在较多的缺点, 难以达到实时网络通信中对传输确定性、可预测性、传输速率和传输纠错能力的要求。

反射内存网络是一种高速的实时网络, 是分布式共享存储器系统 (Distributed Shared-Memory systems) 的一种^[1]。它具有严格的传输确定性和可预测性, 而且具有高速、主机负载轻、软硬件兼容性强、易于使用、可靠的传输纠错能力和支持中断信号传输等特点, 有效地弥补了传统网络的缺点。其通常采用光纤作为传输介质。反射内存网络也是一种典型的分层网络结构, 其分别为软件层、链路层和物理层。其允许采用不同总线结构和不同的操作系统的宿主机以确定的速率实时共享数据。通过利用宿主机中的反射内存网络接口卡的收发通道以菊花链式连接, 可以构成封闭形的环形反射内存网络。

1 接口卡总体设计

反射内存网络接口卡结构简图如图 1 所示。反射内存网络接口卡安装于宿主机的 CPCI 总线扩展槽, 其主要包括以下组成部分: CPCI 总线接口模块、链路层 FPGA 模块、板载 SRAM 模块、串并/并串转换器、光纤收发 SFP 模块、ID 号配置模块、供电模块。

CPCI 总线接口模块以桥接芯片 PCI-9054 为核心构建, 其

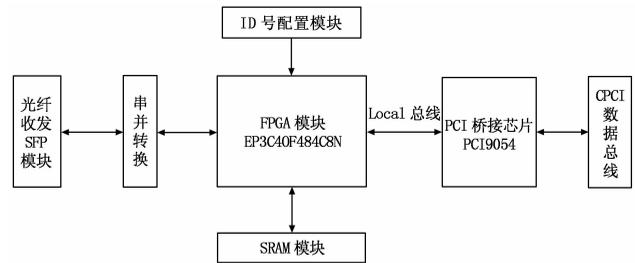


图 1 接口卡结构简图

工作于从模式, 实现与宿主机 33 M 32bit CPCI 总线接口, 并将 CPCI 总线转换为 50 MHz 32bits 地址/数据分离 C 模式本地总线。链路层 FPGA 模块是整个链路层中逻辑链路控制 (LLC) 子层的核心组成部分。设计中选用了 Cyclone III 系列 FPGA 产品 EP3C40F484C8N。板载 SRAM 模块配置为容量 2 MB 的 SRAM。千兆位级收发器系列芯片 TLK2501 作为串并/并串转换器, 其参考时钟频率为 100 MHz。光纤收发 SFP 模块选用 FTLF8519P2BNL, 其采用了垂直腔面发射激光器 (VCSEL), 光纤接口插头为标准 LC 形式, 全双工双向传输, 最高传输速率 2.125 GB/s, 以多模光纤为传输介质最大传输距离可达 500 m。供电模块从宿主机的 CPCI 插座引入 +5 V 电源, 转换后为节点板卡提供 +3.3 V、+2.5 V、+1.2 V 直流电源。ID 号配置模块为每块节点板卡设置唯一的 16 位识别号。

2 链路层 FPGA 程序设计

开发底层 FPGA 程序时, 首先为了实现板卡本身的各个功能, 编写各个独立的功能模块, 最后将各个功能模块连接在一起实现整体的功能, 同时还要为实现反射内存网络中各节点间

收稿日期: 2014-04-22; 修回日期: 2014-05-26。

作者简介: 周 强 (1972-), 男, 博士, 副教授, 主要从事计算机集成测试技术、PXI/PXIe 总线应用技术和测试系统建模与分析方向的研究。



图 3 环形网络配置图

平均时间 Δt 、数据传输平均速率 V_D 等的影响。实验中，一个数据帧含有 10 个字节，也就是 80 个比特，每种条件下的测试实验均进行 300 次循环。

测试时，均由节点 0 发起反射内存网络更新写共享内存过程。在发起更新写的同时，开启内部计时器，其计时精度为 20 ns。当更新写的数据通过环形网络返回节点 0 时停止计时器，此时计时器的时间即为更新写数据所持续的时间，也就是数据传输平均时间 Δt 。由此可计算出数据传输平均速率 V_D 。

4.2 实验结果

测试实验结果如表 4 所示。

表 4 环形网路测试结果

数据帧数量	光纤长度/(m)	数据传输平均时间/(ns)	数据传输平均速率/(MB/s)
1	35	1120	71
	40	1140	70
2	35	1540	104
	40	1560	103
3	35	1980	121
	40	2000	120

4.3 数据传输实验结果分析

从数据传输实验结果中可以看出：传输平均时间与传输的数据帧数目和网络节点数目有关。其它条件相同前提下，每增加一个数据帧，1 个节点时平均时间增加约 140 ns；两个节点时增加 260 ns 左右；3 个节点时增加 420 ns 左右。这个时间主要消耗在节点从缓存 FIFO 取数和 TLK2501 数据串行化过程中，其中从缓存 FIFO 取一帧数据消耗约 100 ns；TLK2501 数据串行化消耗 47 ns，故一帧数据每经过一个节点需消耗 147 ns 左右，理论与实际吻合的很好。

4.4 宿主机读写方式测试

实验中以两个节点组成的网络对宿主机单次读写和 DMA 读写两种方式分别进行测试，单次写和 DMA 写测试结果如表 5 所示。

表 5 单次写和 DMA 写时间测试结果简表

数据帧数量	DMA 写时间/(ns)	单次写时间/(ns)
1	3 580	740
2	3 840	1 000
3	4 080	1 240
10	5 620	2 780
100	26 180	22 560
1000	223 400	220 832
2000	47 380	44 560
2000	443 840	440 760
3000	663 500	661 040
4000	883 700	881 040
5000	1 104 340	1 101 040
6000	1 323 520	1 321 080

从上述测试结果可以看出：

(1) 数据帧数量每增加一帧，两种方式的写操作所用时间将增加大约 240 ns。这个时间是由网络节点数目、节点内部

读写逻辑等决定的，与两种写方式无关。

(2) DMA 写时间相比于单次写时间并不具有突出的优势。其原因有两点：(1) DMA 写操作过程需要两个准备时间，一个是宿主机对 DMA 控制器初始化时间，实测约为 1 780 ns；另一个是 DMA 控制器本身的初始化时间，实测约为 1 080 ns。(2) FPGA 程序响应延时时间。

4.5 读操作测试结果

单次读和 DMA 读测试结果如表 6 所示。

表 6 单次读和 DMA 读测试结果简表

读数据帧个数	DMA 读时间/(ns)	单次读时间/(ns)
1	12 400	120
10	14 620	13 700
20	17 120	28 820
60	31 800	89 040
100	32 400	149 400
200	45 840	300 160

从读操作测试结果可以看出：

(1) 读取数据帧个数在 10 个以内时，单次读所用时间少于 DMA 读所用时间，且数量越小，差距越大；而当读取数据个数多于十几个时，单次读所用时间多于 DMA 读所用时间，且数量越大，差距越大。

(2) 当数据量较小时，由于 DMA 初始化所需时间在整个读数过程中占据较大份额，所以 DMA 读所需时间较长；当数据量超过一定值后，DMA 初始化时间的影响变小，单次读操作每增加一个数据，就需要大约 120 ns 时间，单次读操作的劣势开始变得很明显，消耗时间远远大于 DMA 消耗时间。

综上所述，数据帧个数在 10 个之内时，选择单次读比较合适，当数据帧个数多于十几个时，DMA 读方式更适合于反射内存网络。

5 结论

通过一系列实际实验测试证明，反射内存网络接口卡设计合理、软件功能齐备、数据传输延时小，工作稳定。而且，应当根据反射内存网络传输的数据帧数量适当的选用 DMA 或单次读写方式。

参考文献：

- [1] MilanJovanovic, VeljkoMilutinovic. Overview of reflective memory systems [J]. IEEE Concurrency, 1999, 7 (2): 56-64.
- [2] 钟小鹏, 明德祥, 王跃科. 分布式网络化测试系统的中心服务器技术与研究 [J]. 计算机测量与控制, 2002, 10 (10): 645-648.
- [3] 刘志强, 王仕成, 金光军. 基于实时网络的激光制导武器半实物仿真系统设计 [J]. 计算机仿真, 2003, 3 (5): 20-21.
- [4] 李明星, 魏长安, 姜守达. 一种基于 PCI 总线的反射内存卡设计 [J]. 自动化技术与应用, 2010, 29 (10): 84-87.
- [5] Catani L. A general purpose reflective memoryboard for accelerator data acquisition and control system applications [A]. IEEE Nuclear Science Symposium Conference Record [C]. 2005: 92-95.
- [6] 孙 晖, 徐 林, 杨乾远, 等. 基于反射内存的计算机实时通信网络 [J]. 广西通信技术, 2008, 40 (2): 29-31.
- [7] 高立娥, 康凤举, 王彦恺. 一种基于反射内存实时网络的半实物仿真系统 [J]. 计算机仿真, 2004, 22 (3): 29-32.