

基于 USB3.0 的高速读数盒设计

储俊¹, 甄国涌^{1,2}

(1. 中北大学 电子测试技术国家重点实验室, 太原 030051;
2. 中北大学 仪器科学与动态测试教育部重点实验室, 太原 030051)

摘要: 针对测试系统中 USB2.0 接口已不能满足当代测试速度需求, 提出一种基于 USB3.0 和 FPGA 的高速读数的解决方案; 该方案以 FPGA 为核心控制器, EZ-USB FX3 被配置成 Slave Fifo 从模式; 通过对 DMA 通道和 GPIF II 接口优化设计以实现指令的下传和数据的上传; 经实际传输测试, 该读数盒能在传输数率高达 228 MB/s 时依然能保持正确无误的高速传输。

关键词: USB3.0; Slave Fifo; 固件设计; EZ-USB FX3

Design of High-Speed Reading Box Based on USB3.0

Chu Jun¹, Zhen Guoyong^{1,2}

(1. State Key Laboratory for Electronic Measurement Technology, North University of China, Taiyuan 030051, China; 2. Ministerial Key Laboratory of Instrumentation Science & Dynamic Measurement, North University of China, Taiyuan 030051, China)

Abstract: According to the fact that USB2.0 interface for the test system can not meet the needs of speed in the contemporary, this paper proposed a high-speed reading solutions based on USB3.0 and FPGA. This design used FPGA as the core controller, EZ-USB FX3 is configured to Slave Fifo slave mode; through optimizing the design of the DMA channel and GPIF II interface to implement instruction download and data with super-speed upload. Through practical transmission test, the reading box can still be able to maintain correct transmissions when the speed is up to 228 M byte/s.

Keywords: USB3.0; Slave Fifo; firmware design; EZ-USB FX3

0 引言

近年来随着存储测试系统的发展, 大容量的机械或固态硬盘在各个领域内不断的应用和普及, 随之而来的数据传输瓶颈越来越凸显。因此, 采用高性能的数据传输系统, 提高数据传输速度, 才能满足存储测试系统数据量大, 数据回传快等要求。新一代的 USB3.0 接口在继承 USB2.0 基础上, 提出了超高速数据传输协议: 由 USB2.0 的半双工, 二差分信号线变为全双工, 六差分信号线 (4 个超速差分信号线), 能实现 5Gb/s 的超速传输速率^[1-2]。针对上述情况, 本文提出并设计了一种基于 USB3.0 的高速读数盒。该读数盒能满足测试系统数据量大, 传输速率快等要求。

1 系统框图

该读数盒总体框图如图 1 所示, 主要有 2 部分: USB3.0 控制芯片采用 Cypress 公司的 EZ-USB FX3^[3], FPGA 采用 Xilinx 的 Spartan6 系列 XC6SLX16-2CSG324。FPGA 作为主控制器, FX3 作为从控制器。FPGA 解析 PC 主机发出的命令, 同时根据命令把存储器接口的数据上传至 PC 主机。

2 固件设计

2.1 固件框架

固件是担任着一个系统最基础最底层的软件, 主要是控制 FX3 完成: 加电系统的初始化, 检测设备的断开连接, 判断设

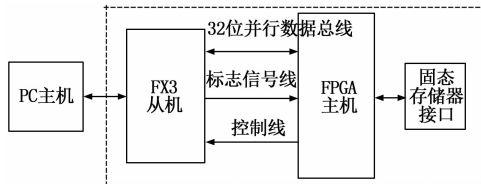


图 1 总体框图

备速度类型, 与 PC 枚举和重枚举, 寻找匹配驱动, 挂载驱动。同时实时响应上位机指令的下发, 数据上传及数据流的分析处理等过程。EZ-USB FX3 提供的 SDK 中包含了 FX3 固件框架和 API 函数库。固件框架定义了程序入口函数和工作机制, 而 API 函数库提供了完整的 API 函数来无缝衔接 FX3 硬件。固件主要是有 RTOS (实时操作系统) 和用户定义程序 (Application Code) 两部分组成^[4], 固件主体框架图如图 2 所示。其中进入实时操作系统 (OS Timer Entry) 是由 main 函数中 CyU3PKernelEntry () 调用, 系统线程 (Application Definition) 的启动是在操作系统启动配置好后由 CyFxApplicationDefine () 函数激活^[4-5]。

2.2 DMA 通道设计

EZ-USB FX3 的 DMA 通道设计的好坏将严重影响 USB3.0 的传输速度。DMA 通道主要是由套接端点 (Sockets)、缓存区 (Buffers)、缓存描述符 (Descriptor) 3 部分组成。一个完整 DMA 通道有两个套接端点, 数据源端称为数据生产者 (Producer), 输入套接端点也称为 Ingress Socket; 数据输出端称为消费者 (Consumer), 输出套接端点也称为 Egress Socket^[6]。缓存区是用来暂时存储数据, 匹配输入输出速度, 缓存描述符用

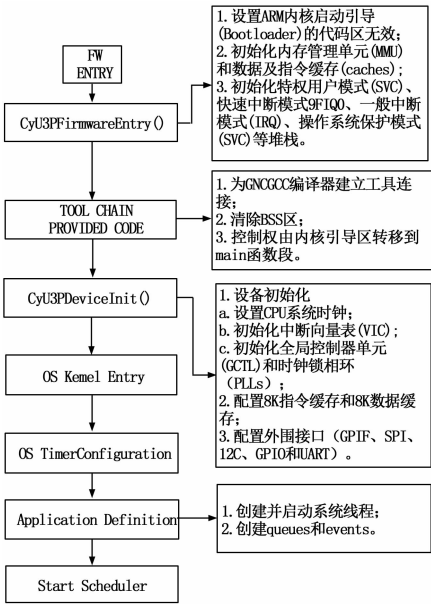


图 2 固件总体框架

来引导下个缓存区的地址, 多个缓存描述符可以组成循环描述链构成一组缓存区。本设计创建两个自动 DMA 通道, 一个命令下发通道, 一个数据上传通道。命令下发通道采用回调 (Event callback), 缓存个数为 2 个, 每个大小为 1 kB; 数据上传通道采用块传输模式 (Bulk In), 缓存个数为 8 个, 每个大小为 16 kB。如图 3 所示^[7]。需要特别注意的是每个 DMA 通道缓存的大小需要和端点突发次数相匹配, 其次缓存的个数需要足够多。例如这里数据上传通道每个 buffer 的大小为 16 kB=Burstlength (16) × 1 024, 缓存大小为 8 个。

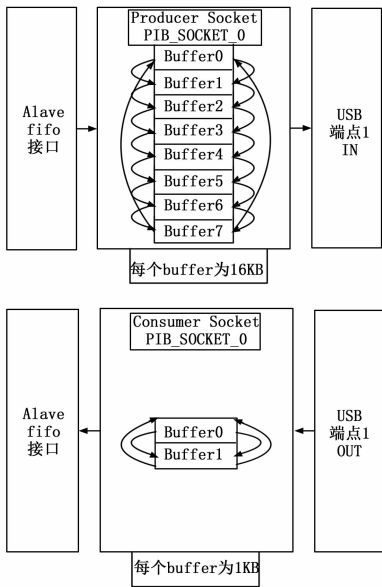


图 3 DMA 通道示意图

2.3 GPIF II 接口设计

GPIF II 接口是 EZ-USB FX3 的高性能通用可编程接口, 可以作为工业标准或者专用接口中的主控或者从器件实现与各种外围设备无缝连接。GPIF II 接口可提供 256 种固件可编程

状态, 支持 8 位、16 位和 32 位并行数据总线。使用 8 或 16 位并行数据总线时支持 16 根可配置引脚; 使用 32 位并行数据总线时支持 14 根可配置引脚。GPIF II 接口设计用 Cypress 公司提供的图形化软件 GPIF II Designer 设计完成^[8]。

本设计把 GPIF II 接口配置成 32 位同步 Slave Fifo 模式, 外部的 FPGA 为 FX3 提供 100 MHz 时钟。外围 FPGA 通过检测 4 个 Flag 标志信号来判断 DMA 缓存区的空满。对于读缓存 buffer 来说, Flag 用来指示 buffer 是否为空; 对于写 buffer 来说, Flag 用来指示 buffer 是否为满。但是由于缓存区在描述符切换过程中存在 2 个时钟的延时, 所以 FlagA 和 FlagC 被配置为当前线程 (Current thread Flag), FlagB 和 FlagD 被配置成局部线程 (Partially Flag)^[6], 同时水印值 (watermark level) 设置为 6, 也就是对于写缓存 buffer, 当 DMA 缓存数据剩余空间等于或者小于 6 个的时候, 信号标志 FlagB 就会有跳变; 对于读缓存 buffer, 当 DMA 缓存数据剩余数据等于或者小于 6 个的时候, 信号标志 FlagD 就会产生变化。地址信号线 Addressbus 配置物理线程, 例如图 4 中 PIB Socket0 映射到物理线程 0, PIB Socket3 映射到物理线程 3。GPIF II 接口与外围 FPGA 信号连接如图 4 所示。根据要求生成命令下发及数据上传的状态机转移图如图 5 所示。

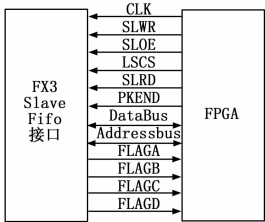


图 4 GPIF II 接口与外围 FPGA 信号连接图

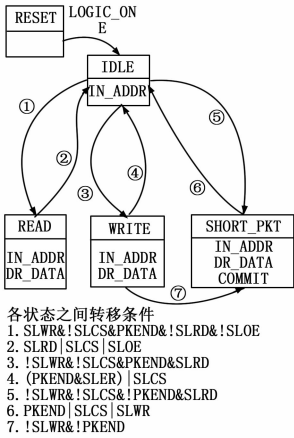


图 5 GPIF II 状态机转移示意图

2.4 用户应用固件编程

应用固件编程主要包括 GPIF II、USB 初始化, 注册 USB Setup 事件, 注册事件回调函数, 配置 USB 描述符, 最后建立物理连接。当 USB 主机发出枚举请求时, USB Setup 回调函数处理这个请求。在 USB 主机发出 SETCONF 时, USB EVENT 回调函数就启动用户线程。在用户线程中需要根据设备接口特性配置端点, 建立自动 DMA 通道, 同时建立相应的回调函数。这里需要特别注意的是回调函数是在特定的事件发生时, 对事件进行响应, 所以对任何回调函数首先要注册^[4]。在设置 DMA 通道配置时对命令下发通道时采用生产者触发事

件,当生产者准备好命令数据时就会触发一个 CY_U3P_DMA_CB_PROD_EVENT 回调函数,通知 FPGA 读取命令,具体流程如图 7 所示。

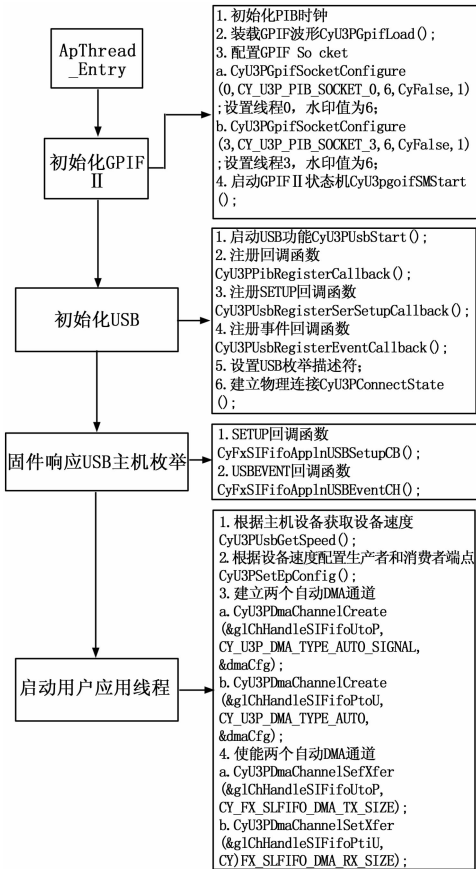


图 6 用户应用固件编程流程图

3 时序仿真和试验验证

3.1 时序仿真

如图 7,数据上传,FPGA 数据高速写的时序仿真图是按照 RESET→IDLE→WRITE→WRITE→WRITE→WRITE→IDLE 的顺序进行仿真。

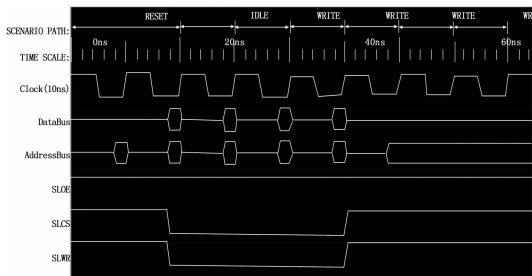


图 7 FPGA 数据突发写仿真图

如图 8,命令下传,FPGA 读命令的时序仿真图是按照 RESET→IDLE→READ→IDLE 的顺序进行仿真。

3.2 试验验证

在固件描述文件 cyfxslifousbdscr.c 中修改 CyFxUSB30DeviceDscr() 中的 Vendor ID="0xB4, 0x04", Product ID="0x53, 0x00"。同时修改 FX3 通用设备驱动文件 cy-

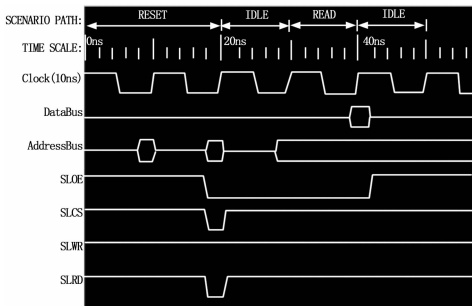


图 8 FPGA 读命令仿真图

usb3.sys 对应 cyusb3.inf 文件中 PID, VID 使其与固件中的 PID, VID 号相同。在 cyusb3.inf 文件做如下修改^[9]:

(1) 在 [Device.NTamd64] 添加
VID_04B4&.PID_0053.DeviceDesc% = CyUsb3, USB/
VID_04B4&.PID_0053;

VID_04B4&.PID_0053&.MI_02.DeviceDesc% = Cy-
Usb3, USB/VID_04B4&.PID_0053&.MI_02

(2) 在 [Strings] 添加字符串描述符

VID_04B4&.PID_0053.DeviceDesc=" ChuJun Salvefif
Dushuhe "

这样主机就能正确识别 USB 设备。

在 Win7 32 位的系统中,采用 AMD USB 3.0 HOST Controller 作为 PC 主机 USB3.0 控制器,使用 Cypress 公司的 Streamer 测速软件^[9],测得该读数盒上传数据的速率高达 228 MB/s。

4 结束语

本次设计的基于 USB3.0 的高速读数盒在数据传输速率上较基于 USB2.0 接口的读数盒有了极大的提高。该读数盒的实现将在大容量测试系统和高速采集领域有良好的应用前景。

参考文献:

- [1] 吕超,张玉霞,王立欣. USB 接口高速数据传输的实现 [J]. 计算机测量与控制, 2009, (5): 1003—1005.
- [2] Universal Serial Bus 3.0 Specification Revision 1.0 [Z/OL]. www.usb.org, 2008.12.12: 4—9.
- [3] Cypress Semiconductor, EZ—USB FX3 SuperSpeed USB Controller, 001—52136 Rev [Z/OL]. www.cypress.com, 2012.08.16: 1—40.
- [4] Cypress Semiconductor, FX3 Programmers Manual, 001—64707 Rev [Z/OL]. www.cypress.com, 2012: 23—133.
- [5] Cypress Semiconductor, EZ—USB FX3/FX3S/CX3 SDK Firmware API Revision 1.3 [Z/OL]. www.cypress.com, 2012—2013: 141—537.
- [6] Cypress Semiconductor, Designing with the EZ—USB FX3 Slave FIFO Interface 001—65974 Rev [Z/OL]. www.cypress.com, 2013: 2—60.
- [7] Cypress Semiconductor, EZ—USB FX3 Technical Reference Manual 001—76074 Rev [Z/OL]. www.cypress.com, 2013.05.22: 19—66.
- [8] Cypress Semiconductor, GPIF II Designer 1.0001—75664 Rev [Z/OL]. www.cypress.com, 2012: 26—45.
- [9] Cypress Semiconductor, EZ—USB FX3 Development Kit Guide 001—70237 Rev [Z/OL]. www.cypress.com, 2012: 27.