

# 基于 FPGA 的 PLC 数据输出控制 IP 核设计

周曙光<sup>1</sup>, 李克俭<sup>1</sup>, 蔡启仲<sup>1</sup>, 李静<sup>2</sup>, 张玲玲<sup>1</sup>

(1. 广西科技大学 电气与信息工程学院, 广西 柳州 545006;

2. 桂林电子科技大学 电子工程与自动化学院, 广西 桂林 541004)

**摘要:** 提出应用 FPGA 设计 PLC 数据输出控制 IP 核的思路。该 IP 核执行输出数据相关命令时, 在内部时序脉冲控制下按照 Y 编号地址自主完成数据在存储单元的寻址和读写操作; 论述了控制器的工作原理和电路设计, 应用 Verilog 语言实现硬件电路的构建及功能; 测试表明: 该 IP 核可以自主完成对数据处理和输出要求, 使数据输出与系统其它功能模块实现并行处理, 提高了 PLC 运行速度。

**关键词:** FPGA; 数据输出; PLC; IP 核

## Design of Data Output control IP Core in PLC Based on FPGA

Zhou Shuguang<sup>1</sup>, Li Kejian<sup>1</sup>, Cai Qizhong<sup>1</sup>, Li Jing<sup>2</sup>, Zhang Lingling<sup>1</sup>

(1. School of Electric and Information Engineering, Guangxi University of Technology, Liuzhou 545006, China; 2. School of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China)

**Abstract:** This paper proposed a method which employ FPGA to design PLC data output control IP core. By the control of internal timing pulse, the controller will accomplish the information's addressing and read/write operations in storage unit with Y numbered address independently while the controller carrying out the output information command. This paper discusses the circuit composition and basic principle of the IP core. Using Verilog HDL language to implement the construction and the function of the hardware circuit. The test result shows that: while the PLC user program is running, the controller can read or write the data information according to the command independently, making the execution of the output data information command and other system function module in parallel operation to improve the speed of PLC instruction execution sequence.

**Keywords:** FPGA; data output; PLC; IP core

## 0 引言

提高 PLC 的数据存储、处理能力与运行速度, 是目前 PLC 研究的重点<sup>[1-2]</sup>。PLC 输出刷新过程中将输出映像存储器的每个位单元的内容传输给输出锁存器相对应的位单元中<sup>[3]</sup>。PLC 用户程序执行过程中处理多个软件为一组的信息时, 需要频繁的对输出映像存储器进行写入或读出数据的操作<sup>[4]</sup>。而在具有数据存储区域的微处理器中, 需要将输出映像存储器中需要处理的数据读入存储区域, 读出或写入多组数据, 对于写入处理还需要将多组数据传输给输出映像存储器; 没有数据存储区域的微处理器处理数据的读写步骤更多<sup>[5-6]</sup>。

应用 FPGA 并行处理的特点, 设计 FPGA 数据输出控制 IP 核, 该 IP 核接收到 PLC 主机发来的数据处理命令后, 在控制器内部时序脉冲控制下, 自主完成数据在存储单元的寻址和读写操作。减少 PLC 系统在输出和读取数据时的读写处理程序操作, 自主操作可减少数据总线的占用时间, 从而减少 PLC 执行数据输出相关指令时的时钟消耗, 便于与系统其它功能模块实现并行操作, 缩短 PLC 程序执行的扫描周

期, 提高 PLC 运行速度。硬件逻辑电路实现输出控制器, 能够以并行运算的方式工作, 速度快, 运行可靠, 并且可以作为 IP 核被随时调用, 在性能和应用的灵活性上都有极大的优势<sup>[7]</sup>。

## 1 控制器总体设计

### 1.1 IP 核基本功能

PLC 数据输出控制 IP 核的主要功能包括: (1) 复位控制: 包括命令寄存器、输出映像存储器和输出锁存器的复位; (2) 控制写入数据信息: 将 32 位数据转换为 4 位一组, 通过存储单元的寻址将 4 位一组数据顺序存入输出映像存储器中相对应的位存储单元中; (3) 控制输出数据: 通过存储单元的寻址将数据存入输出映像寄存器中相对应的数据存储单元中; (4) 控制数据的输出刷新: 将输出映像存储器中的 64 位数据传输到输出锁存器予以锁存并输出到 PLC 输出端口; (5) 控制数据读取: 通过数据存储单元的寻址从输出映像寄存器读出对应 4 位一组数据, 转换为 32 位数据后传输到数据总线。

### 1.2 总体方案设计

对应上述基本功能, 设计控制器硬连接电路框图如图 1 所示, 控制器由命令和地址控制模块、数据转换存储器模块、数据传送控制模块、PLC 输出映像存储器模块、数据锁存器与输出端口模块、脉冲发生器模块等组成, 主要完成数据信息写入、模块复位、输出刷新、数据信息读取四条操作命令。命令字格式见表 1 所示。IP 核根据输出 Y 编号高 4 位和 Y 组值地址控制数据在输出映像寄存器中的读写操作。

收稿日期:2014-05-04; 修回日期:2014-06-08。

**基金项目:**广西科学基金项目(桂科自 2011GXNSFA018153; 桂科自 0991067); 广西研究生教育创新计划资助项目(2013105940811M01)。

**作者简介:**周曙光(1985-), 男, 湖北随州人, 硕士研究生, 主要从事过程控制与自动化装置方向的研究。

李克俭(1961-), 女, 湖北武汉人, 教授, 高级工程师, 主要从事电力电子技术与自动化装置方向的研究。

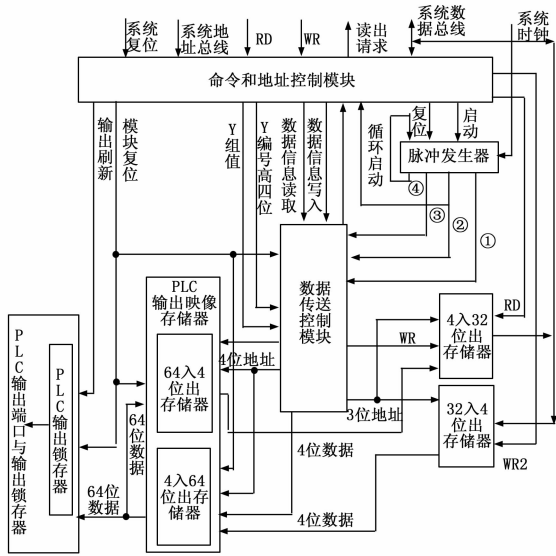


图 1 系统电路连接框图

控制器与 PLC 系统总线连接的信号包括: 数据总线: 32 位 (D31~D0); 地址总线: 使用系统地址总线的高 5 位, 用于选中控制器; WR: 写信号, 将命令和数据从数据总线写入 IP 核; RD: 读信号, 从 IP 核读取 32 位数据传输到数据总线。读出请求信号: 通知外部总控制器发送 RD 信号; 此外还有系统时钟和系统复位控制线, PLC 输出端口: 64 个输出端口的编号为 Y63~Y00。

表 1 命令字格式

| D31~D29 | D28~D10 | D9~D6  | D5~D0  |
|---------|---------|--------|--------|
| 操作特征编码  | 无关数据项   | Y 元件组数 | Y 元件编码 |

表 1 给出了 32 位命令字的格式, 4 条命令的操作特征编码为高 3 位数据。

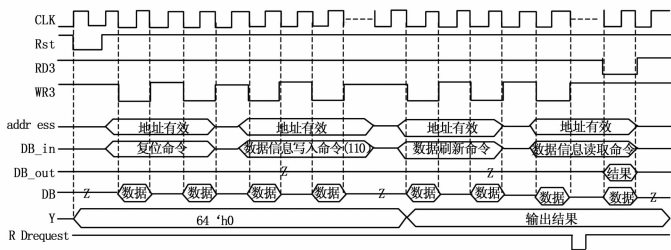


图 2 系统时序设计图

IP 核运行时的时序设计如图 2 所示。当 PLC 执行数据输出相关的系统复位、数据信息写入、数据信息读取、输出刷新 4 条命令时, 可调用该 IP 核完成命令操作。调用时只需对 IP 核赋有效地址值, IP 核即被选中, 当 WR 信号有效时 IP 核开始工作。2 个 WR 信号在 3 个时钟周期内完成各命令及数据写入 IP 核的操作。执行复位命令时写入数据的同时完成 IP 核各存储器清零的操作; 执行数据信息写入命令时数据写入 IP 核后在内部时序脉冲的作用下完成 4 位 1 组数据的处理、传送与存储操作; 执行数据信息读取命令时数据写入 IP 核后在内部时序脉冲的作用下完成数据的寻址读取、传送与读出操作; 执行数据刷新命令时在写入数据的同时完成数据传送到输出端口

的操作。

## 2 模块电路设计

### 2.1 命令、地址控制模块

命令、地址控制模块电路如图 3 所示。该模块通过模块地址识别被 PLC 系统选中时<sup>[8-9]</sup>, CS 置 0, 命令寄存器和 +1 计时器被使能, 在 PLC 系统连续 2 个 WR 信号的作用下, 加 1 计数器进行加 1 操作, 顺序输出 WR1 和 WR2 脉冲, WR1 使得命令寄存器存储的命令字经译码输出命令信号, 存储并输出 Y 组值和 Y 编号高 4 位, 命令输出低电平有效。WR2 将数据总线上的数据信息写入到数据转换存储模块中, 并启动内部时序。数据传送控制模块复位信号到来时, 模块向 PLC 总控制器发出数据读出请求信号, 等待 RD 信号到来。复位时命令寄存器输出全为 0, 不执行任何操作。

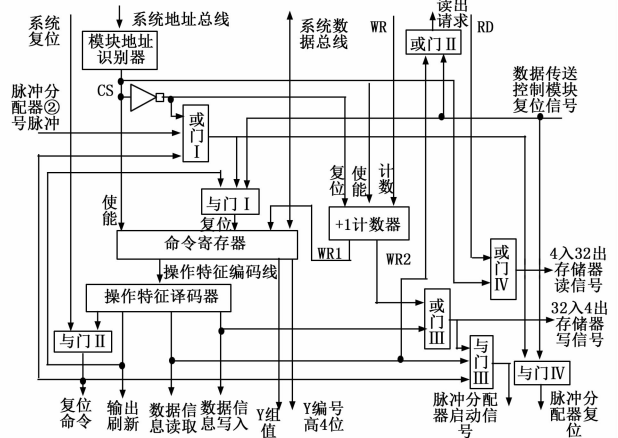


图 3 命令、地址控制模块电路图

### 2.2 数据转换存储器模块

数据转换存储器模块主要执行数据信息读取、数据信息写入两条命令, 由 4 入 32 位出存储器及 32 位入 4 位出存储器两部分构成。图 4 给出了模块的电路框图, 图 5 给出了模块 4 入 32 位出存储器的门级电路图。

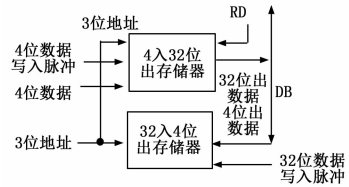


图 4 数据转换存储器模块电路图

32 位入 4 位出存储器在数据信息写入信号 WR2 有效时将数据总线上的 32 位数据一次写入该存储器, 数据传送控制模块的三位地址到来时, 寻址将该存储器中 32 位数据按四位一组读出并传输到 PLC 输出映像寄存器。执行数据信息读取命令或 ② 号脉冲到来时, 输出映像寄存器多个 4 位一组输出数据按照数据传送控制模块的三位地址寻址存入 4 位入 32 位出存储器, 数据信息读信号 RD 有效时将该存储器中的 32 位数据写入数据总线。

### 2.3 数据传送控制模块

数据传送控制模块主要为数据转换存储器模块和输出映像寄存器提供数据写入脉冲, 为数据寻址存储提供地址, 控制数

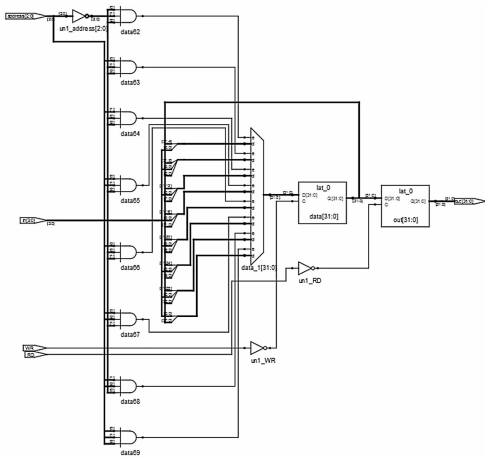


图 5 4 入 32 位存储器出门级电路图

据流的有序传输。如图 6 所示，模块由预置地址加 1 计数器，预置地址减 1 计数器，地址加 1 计数器和逻辑门等构成。

执行数据信息写入命令时，脉冲分配器①号脉冲作为预置脉冲，将 Y 编号高 4 位写入地址计数器 I 作为计数初值，与门 V 输出结果与③号脉冲相或所得信号作为地址计数器 I、地址计数器 II、减一计数器的计数脉冲，Y 组值作为计数个数，数据转换存储模块按照地址计数器 II 产生的 3 位地址寻址输出多个 4 位一组输出，数据信息写入命令和②号脉冲相或作为在数据写入脉冲，在该写入脉冲作用下，输出映像存储器按照地址计数器 I 产生的 4 位地址将多个 4 位一组数据写入该模块对应存储单元。执行数据信息读取命令时，根据地址计数器 I 产生的 4 位地址寻址输出输出映像存储器中相应多个 4 位一组数据，数据信息读取命令和②号脉冲相或作为在数据写入脉冲，在该写入脉冲作用下，按照地址计数器 II 产生的 3 位地址将多个 4 位一组数据存入数据转换存储模块。执行数据信息写入或读取命令时，减一计数器控制数据读写操作完成时产生复位信号停止产生地址值。①号脉冲作为预置脉冲将 Y 组值写入减一计数器作为计数初值，计数为零时产生的借位信号和系统复位信号相与，结果作为地址计数器 I、地址计数器 II、命令地址模块的复位信号。

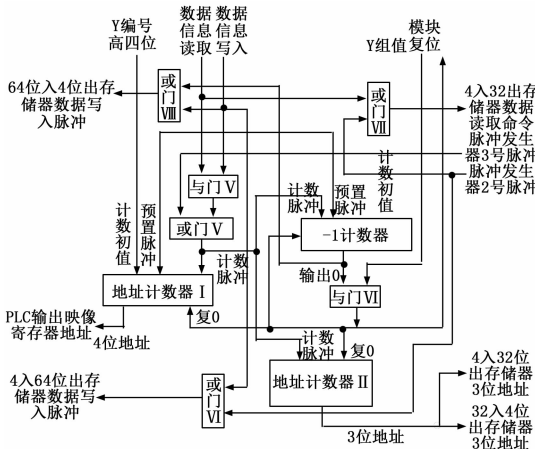


图 6 数据传送控制模块电路图

### 2.4 PLC 输出映像存储器

PLC 输出映像存储器由用于写入数据的 4 入 64 位出存储

器和用于读出数据的 64 入 4 位出存储器组成。执行数据信息写入命令时，数据传送控制模块提供 4 位地址值，在 4 位数据写入脉冲作用下，将数据转换控制模块输出的数据按照 4 位一组存入 4 入 64 位出存储器相应存储单元。64 入 4 位存储器的输入端与 4 入 64 位存储器的输出端相连接，两存储器具有相同地址线，命令执行结束时，在 64 位数据写入脉冲作用下，将 4 入 64 位存储器的 64 位输出数据写入 64 入 4 位出存储器，使两个 64 位存储器存储中的数据完全一致。

执行数据读取命令时，64 入 4 位出存储器按照与 4 入 64 位出存储器写入存储相同的地址值，将数据传送到数据转换存储模块的 4 入 32 位出存储器。执行复位命令时，2 个存储器的所有存储单元清零。

### 2.5 数据锁存器与输出端口模块

设计的 PLC 有 64 位输出端口，FPGA 输出端口与输出锁存器的输出端连接，并连接 PLC 输出驱动电路。输出映像存储器输出的 64 位数据在输出刷新命令有效时直接写入 PLC 输出锁存器。锁存器数据经 FPGA 输出端口输出，经 PLC 驱动电路驱动 PLC 输出端口。复位时 PLC 输出锁存器所有存储单元清零。

### 2.6 脉冲分配器的程序设计

脉冲分配器作为 IP 核内部时序控制模块，用于产生内部脉冲保证各命令有序执行。复位命令或数据写入或数据读取命令有效时启动脉冲分配器工作，延时半个时钟周期输出脉冲①，然后顺序循环发出脉冲②、③、④，直到被复位时停止。图 7 显示了脉冲分配器的门级电路图。

IP 核工作时，①号脉冲作为数据传输控制模块地址计数器 I、II 的预置脉冲，②号脉冲与数据信息读取信号相或结果作为 4 入 32 位出存储器的写使能信号，②号脉冲与数据信息写入信号相或结果作为 4 入 64 出存储器的写使能信号。③号脉冲作为数据传输控制模块各计数器的计数脉冲。④号脉冲作为脉冲分配器的循环启动脉冲。

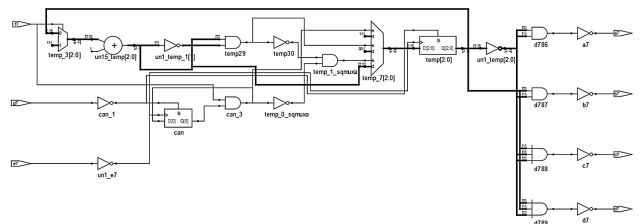


图 7 脉冲分配器门级电路图

## 3 仿真综合验证

FPGA 程序通过 Libero IDE v8.3 自带的仿真软件 Modelsim 进行仿真实验验证。仿真时，需编写一个相应的 testbench.v 文件用于模拟外部输入，经 IP 核运算后可观察输出状态。

数据输出 IP 核执行 4 条命令仿真结果如图 8 所示，DB\_in 和 DB\_out 分别表示 IP 核数据总线的输入寄存器和输出寄存器，RDrequest 为读出请求信号。当系统地址总线低 5 位 address=5'b00100 与地址识别模块地址相同时，输出 IP 核被

(下转第 2809 页)

博览, 2012, 14: 54-54.

[5] 杨平, 彭道刚, 王志萍, 等. 热工过程时滞对象的神经网络内模控制 [J]. 计算机测量与控制, 2004, 12 (9): 835-837.

[6] Sridhar Seshadri, Karthik Balakrishnan. Output Feedback Control of Nonlinear Systems Using RBF Neural Networks [J]. IEEE Trans. On Neural Network, 2000, 11 (1): 69-112.

[7] 周涌, 陈庆伟, 吴晓蓓, 等. 基于动态神经网络解耦线性化的内模控制 [J]. 南京理工大学学报 (自然科学版), 2004, 28 (6): 566-570.

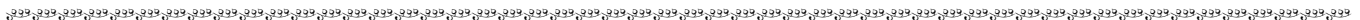
[8] 吕朝霞, 吴晓蓓, 郭建, 等. 基于小波网络的非线性内模控制 [J]. 控制与决策, 2001, 16 (1): 65-68.

[9] 王建平, 米晓东, 白俊峰, 等. 小波神经网络内模控制的性能研究 [J]. 现代电力, 2009, 1: 77-82.

[10] 陈高华, 张井岗, 赵志诚. 基于模糊神经网络的二自由度内模控制 [J]. 电气自动化, 2011, 33 (1): 1-3, 9.

[11] Chia-Peng Juang. A Tsk-Type Recurrent Fuzzy Network for Dynamic Systems Processing by Neural Network and Genetic Algorithms [J]. IEEE Trans on Fuzzy Systems, 2002, 10 (2): 155-170.

[12] Grinsted A, Jevrejeva S, Moore J. Application of the cross wavelet transform and wavelet coherence to geophysical time series [J]. Nonlinear Processes in Geophysics, 2004, 11: 561-566.



(上接第 2796 页)

使能。WR1 将系统数据总线中的数据 DB\_in=32' hffffceb 写入到内部总线 DB, 同时存入命令寄存器, 由于 DB [30:18] =111, 执行复位命令, 系统各模块复位, 输出 y=64' h0, RDrequest=1' b1。同理, DB\_in=32' hffffceb 时执行数据信息写入命令, WR2 启动脉冲分配器, 经命令和内部脉冲时序控制, 数据由数据转存存储器寻址存入映像存储器相应存储单元, 此时输出 y 和 RDrequest 不变, 得 y=64' h0, RDrequest=1' b1; DB\_in=32' h7ffffceb 时执行数据刷新命令, 输出映像寄存器中的 64 位数据传输到 PLC 输出端口, 得 y=64' h00bbdffffceb000e, 数据映像存储器完成数据写入操作后 IP 核发出读请求信号, 此时发出读请求脉冲 RDrequest=1' b0; DB\_in=32' h5ffffceb 时执行数据信息读取命令, 数据由映像存储器存入数据转存存储器并写入数据总线, 此时输出不变 y=64' h00bbdffffceb000e, 数据输出寄存器及数据总线其中数据变为 DB\_out = 32' hbbbbbbbb, DB = 32' hbbbbbbbb;

输出控制 IP 核从数据总线获取命令和数据后根据内部时序自主完成数据在存储单元的读写操作, 不需要 PLC 处理器参与控制。充分利用了 FPGA 并行工作的特点, 实现了 PLC 数据输出控制的并行处理, PLC 不同功能 IP 核间的并行工作, 提升了 PLC 数据存储与处理的速度。通过仿真实验验证, 设计可以满足既定要求, 但对于系统的控制效率和成熟程度有待进一步完善。用 FPGA 实现 PLC 的相关功能必将在 PLC 系统运行速度、智能性和稳定性上发挥一定的优势。

参考文献:

[1] 李木国, 黄影, 刘于之. 基于 FPGA 的 PCIe 总线接口的 DMA 传输设计 [J]. 计算机测量与控制, 2013, 23 (1): 233-235.

[2] 袁瑞佳, 白宝明, 童胜. 10 Gbps LDPC 编码器的 FPGA 设计 [J]. 电子与信息学报, 2011, 33 (12): 2942-2947.

[3] Gawali, D, Sharma, V. K. FPGA based micro-PLC design approach [A]. Proceedings of the 2009 International Conference on Advances in Computing, Control, & Telecommunication Technologies (ACT 2009) [C]. 2009, 660-663.

[4] Ichikawa, S, Akinaka, M, Ikeda, R. Converting PLC instruction sequence into logic circuit: A preliminary study [J]. 2006 IEEE International Symposium on Industrial Electronics [J]. 2006, 2930-2935.

[5] Du D H, Liu Y D, Guo X G. Study on LD-VHDL conversion for FPGA-based PLC implementation [J]. International Journal of Advanced Manufacturing Technology, 2009, 40 (11-12): 1181-1190.

[6] Chmiel M, Mocha J. Usability of FPGA devices' specific properties for building a PLC central processing unit [J]. Elektronika, 52 (9): 167-170, 2011.

[7] Milik A. Hardware supported selective control program execution in a PLC [J]. Pomiary Automatyka Kontrola, 2007, 53 (7): 69-71.

[8] 李宝峰, 窦勇. 位平面编码存储优化算法及 FPGA 设计 [J]. 计算机辅助设计与图形学学报, 2008, 20 (12): 1535-1539.

[9] 蔡启仲, 李克俭, 潘绍明, 等. PLC 输出数据刷新、读写与时序控制器 [P]. 中国专利: CN 202904557U, 2013. 4. 24.

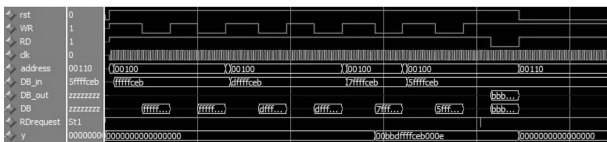


图 8 输出控制 IP 核运行仿真图

并行数据输出 IP 核系统经 Synplify 综合后产生的 RTL 电路图显示, 系统由 7 个主要的功能模块组成, 相对原理图多出一个封装优化模块, 电路结构与设计原理图一致。Actel A3P1000 芯片的 Core 和全局连接线资源分别消耗 5.56% 和 36.67%。实验验证了设计从原理到现实的硬件电路可行性和功能可行性。

4 结语

本文介绍了一种用 FPGA 实现 PLC 数据输出控制的方法, 并形成可以灵活调用的 IP 核。FPGA 输出控制 IP 核是一个由硬连接控制电路构建, 数个模块构成且协同工作的系统。