

# BGA 封装 FPGA 焊点失效故障诊断系统设计

钟晶鑫, 王建业, 刘 苍

(空军工程大学防空反导学院, 西安 710051)

**摘要:** 针对 BGA (Ball Grid Array) 封装 FPGA (Field Programmable Gate Array) 焊接点连接失效的故障诊断问题, 提出了一种故障检测系统设计方案; 该方案分别从焊点级、芯片级和系统级故障诊断 3 个层次构建故障检测系统; 方案基于 Altera 公司的 DE2 硬件平台构建单个焊点健康信息提取 IP 核; 针对芯片焊点众多, 难以全部监控的问题采用 Canary 故障检测法监测 4 个角落的敏感焊点的健康信息; 敏感焊点的健康信息经菊花链式通信链路实现了不同 FPGA 芯片之间的信息互联, 完成整个系统的焊点健康信息整合。

**关键词:** BGA 封装; 焊点故障; 故障检测系统; Canary; 菊花链

## Design of Detecting System of Solder joint Faults of BGA Package FPGA

Zhong Jingxing, Wang Jianye, Liu Cang

(Air and Missile Defense College, Air Force Engineering University, Xi'an 710051, China)

**Abstract:** Aim at detecting Ball Grid Array (BGA) solder-joint faults of FPGA, this paper proposed a design solution of malfunction detecting system. This system consist of solder-joint-level, core-level and systematic-level malfunction detecting. Based on the Alter DE2 hardware platform to design the IP core of solder joint detecting, detecting the sensitive solder-joints through the ways of Canary to solve the difficulty of all-solder-joints detecting. Make all the FPGA's in daisy chain for congregate their health information.

**Keywords:** BGA; solder-joint faults; malfunction detecting system; Canary; daisy chain

### 0 序言

随着集成电路技术的高速发展, BGA 封装型 FPGA 以其高集成度、低功耗、小体积等优良特性, 在移动通信、航空航天、雷达等领域的电子系统中得到了广泛的应用, 尤其是在控制系统和数字信号处理系统中。而 BGA 封装型 FPGA 其焊接球直径为 0.6 mm, 间距为 1.0 mm<sup>[1]</sup>, 一旦焊接球发生连接失效的情况, 这将带来关键设备的灾难性故障。

国外已经有针对 BGA 封装 FPGA 焊接点健康状态进行诊断的相关研究<sup>[2-5]</sup>, 并在 AH-64 阿帕奇直升机、F35 战斗机、“雷神”导弹系统等相关武器装备中得到应用。但其对焊接点健康状态进行判断时采用设置高阻持续时间阈值和阻抗阈值相结合的方法, 使得焊接点只有健康和故障两种状态, 在实际应用中受到限制。在国外相关研究中对板级、系统级 BGA 封装 FPGA 焊接点健康状态进行评估时, 需要占用数量较多的 IO 端口资源且对原电路进行了较大改动, 使其在系统中的使用受到了限制<sup>[3]</sup>。

本文在已有关于单个焊点故障诊断基础上, 采用 Canary 方法监测每个 FPGA 芯片健康状态, 并将该健康状态信息通过系统的 JTAG 链路将所有 FPGA 硬件连接成串行菊花链结构以实现对整个系统中所有 FPGA 芯片焊接点连接状况进行监测, 从而为 BGA 封装 FPGA 焊接点健康状态的评估提供更为方便实用的芯片级、系统级解决方案。

### 1 模型建立

在信息化技术的推动下, 各种大型复杂的电子系统功

能和性能要求不断提高, 电子设备中的数字集成芯片运用越来越广泛。在一个系统之中往往不止一片 FPGA 芯片, 而是多个 FPGA 协同完成系统工作, 任何一个焊点的失效都有可能影响系统正常工作, 甚至造成整个系统瘫痪。因此必须建立能够监测整个系统的故障诊断系统, 对系统中所有芯片实施全局监控。

本文中故障检测模型具体组成框图如图 1 所示。

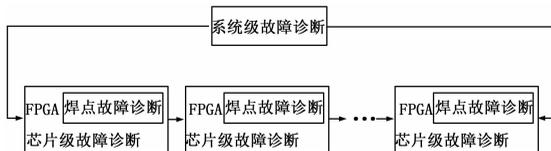


图 1 电子系统焊点失效监测模型

该故障检测模型主要由焊点级故障诊断、芯片级故障诊断和系统级故障诊断 3 个层次构建而成。在获取单个焊点健康信息的基础上, 采用 Canary 故障诊断法实现对整个芯片的焊点的监测, 之后采用菊花链式通信链路整合整个系统焊点网络健康状态, 利用算法分析可以得到当前系统健康情况以及预计系统工作寿命。

### 2 单个焊点故障诊断方案

#### 2.1 焊点失效原因

FPGA 在生产加工以及运输过程中的振动, 以及实际使用中环境所产生的热应力、机械应力等均会对其焊接点造成损伤, 在后续的各种应力持续作用下, 该焊接点的损伤会愈来愈严重直至完全失效, 导致系统不能正常工作。

#### 2.2 焊点失效模型建立

基于 FPGA 焊点损伤机理, 焊点在逐渐失效的过程中, 焊接点损伤的主要表现为其阻抗的逐渐增大, 健康状态下

收稿日期:2014-04-05; 修回日期:2014-05-10。

作者简介:钟晶鑫(1990-),男,硕士在读,主要从事电子系统故障检测方向研究。

其焊接点阻抗仅为几欧姆, 在各种应力作用下其阻抗持续增涨至无穷大。美国 Ridge Top 公司根据器件最新工作速度及封装技术对焊接点的连接失效标准进行了新定义, 认为 BGA 封装焊接点连接失效定义为: 1) 大于 300 Ω 的峰值电阻持续 200 μs 或更长时间; 2) 在第一个失效事件发生后的 10% 时间内发生 10 个或更多失效事件。本文采用美国 Ridge Top 公司最新的焊点失效标准, 建立焊点阻抗检测模型, 以此来进行后续的故障诊断工作。建立模型如图 2 所示。

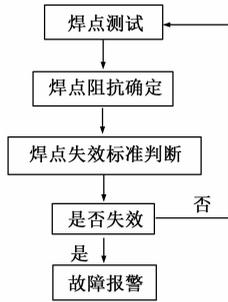


图 2 焊点失效诊断模型

### 2.3 BIST 测试模型

BGA 封装的 FPGA 焊点阻抗值很难直接通过测量得到。因此在测试端口外加一个电容, 通过测量外加电容的充放电时间, 可以转化为焊点的阻抗值。图 2 为 BIST (内建自测试) 故障诊断模型。内建自测试系统自动生成测试向量, 完成焊点健康信息的提取和处理。其需要增加 3 个硬件部分: ATPG (自动测试矢量生成电路)、ORA (输出响应分析电路) 和测试控制电路。

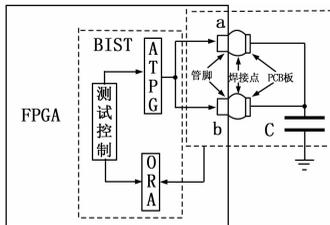


图 3 BIST 测试模型

该模型通过在待测焊接点加装一小电容, 配合内建自测试 IP 核即可完成焊接点连接失效监测。如图该模型可以同时两个焊接点进行监测。如图 2, 若从 a 端口输出方波信号, 在其高电平阶段, 外部电容进行充电, 由充电的时间与 a 端口焊接点的阻抗相关, 同时用 b 端口检测外部电容充电到高电平时间, 利用充电时间计算可以得到 a 焊点的阻抗信息, 然后 a 端口和 b 端口同时输出低电平对外部电容进行放电, 以此类推在 b 端输出方波信号时, 可由 a 端检测外部电容充电时间, 进而得到 b 焊点阻抗值。

### 2.4 外部电容值确定

在图 2 所示模型中, 外部电容可直接影响对焊接点阻抗值测量的精度。外部电容值过大, 延长了充电时间, 可以得到待测焊点更为精确的阻抗信息, 但其会对间歇性焊点阻抗升高的诊断产生影响。外部电容值过小, 充电时间过短, 系统的时间

测量固有误差在充电时间测量结果中所占比例增大, 影响测量精度。在选择外部电容时还要考虑 PCB 板上的分布电容对诊断结果产生的影响。

一般来说要使电容充电至最大电压的 95% 以上, 充电时间应控制在  $3\tau$  ( $\tau$  为时间常数 RC) 以上, 而 BGA 封装 FPGA 高电平阈值电压为 1.7 V, 所以充电时间达不到  $3\tau$ 。如图 2 所示, 当对电容的充放电频率为  $f$ , 充放电时间为  $2\tau$  时, 外部电容的大小如式 (1) 所示:

$$C = \frac{1}{4Rf} \quad (1)$$

PCB 板的分布电容远小于 10 pF, 为了减小分布电容对测试结果的影响, 外部电容应该大于 50 pF, 在式 (1) 中若 R 取 100 Ω, 可推算出频率  $f$  小于 50 MHz; 为了精确判断 200 μs 内的阻抗变化, 频率  $f$  又需要大于 20 kHz, 因此故障诊断时的频率应该在 (20k~50M) Hz。如图 4 所示是当频率分别为 20 MHz、10 MHz、1 MHz、100 kHz 时被测焊接点电阻与电容的关系, 可根据实际中对连接失效时电阻值的要求确定最为合适的电容值。

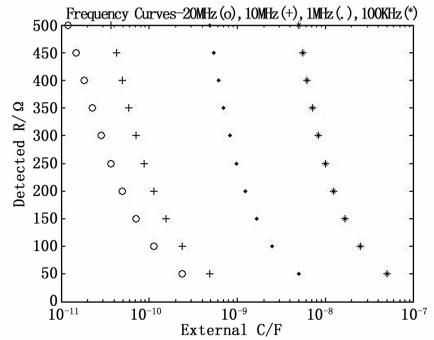


图 4 外部电容与被测焊点电阻关系

### 2.5 焊点阻抗值计算

在获取充电时间信息后, 需要转换为阻抗值的大小。由电容充放电公式 (2) 可得到待监测焊接点阻抗的值如式 (3) 所示, 由于放电电阻远小于充电电阻, 故在  $2\tau$  的放电时间内可以将  $2\tau$  时间所充电荷全部放完。

$$u(t) = u(\infty) + [u(0+) - u(\infty)]e^{-\frac{t}{\tau}} \quad (2)$$

$$R = \frac{t}{C \ln \frac{V_c - V_0}{V_c - V_t}} \quad (3)$$

式中,  $t$  为充电时间,  $t$  的最大值为  $1/2f$ , 其中  $f$  为输出方波频率,  $t$  的最小值为 0。若每次充电的起始电压  $V_0$  均为 0 V, 当 BGA 封装 FPGA 的供电电压为 3.3 V, 低电平到高电平的阈值电压为 1.7 V 时, 式 (3) 中的  $V_c$  和  $V_t$  就分别为 3.3 V 和 1.7 V。式 (3) 可以写为:

$$R = \frac{1.38t}{C} \quad (4)$$

如式 (4) 所示待测焊接点的阻抗信息  $R$  与充电时间  $t$  成线性关系, 焊接点阻抗  $R$  的测量精度由对时间  $t$  的测量精度直接决定。

由式 (4) 可以快速计算出焊接点的阻抗值, 用于判断当前焊点是否失效, 为后期预测焊点和系统寿命提供基础数据。

### 3 芯片级故障诊断方案

#### 3.1 Canary 方法简介

Canary 是一种对外界环境比较敏感的鸟类。Canary 故障诊断方案就是通过监测器件比较敏感的部分来进行故障预测诊断。在进行故障诊断时一般情况下不可能对一个系统中所有部件同时进行监测。BGA 封装的 FPGA 也不可能对所有焊点都同时进行监测。在仿真、工程实践或者高加速实验的基础上得到一个系统在工作环境中最容易发生故障的部件，这些敏感部件的工作状态可以反映环境中各种环境应力在该系统上累积的程度，利用这些少数敏感部件建立故障诊断监测点，可以有效判断系统的工作状态和预测系统的工作寿命。本文中采用 Canary 故障诊断法对最敏感的少数焊接点进行监测，从而得到芯片焊接健康信息。

#### 3.2 敏感失效焊接点确定

确定 FPGA 芯片在环境应力累积作用下最易发生连接失效的敏感焊接点，通常需要通过大量的实践观察。在 Ansys 软件中对 BGA 封装 FPGA 进行建模，并进行热应力和机械应力分析，结果表明：位于 BGA 封装 FPGA 4 个角落位置的焊接点在环境应力作用下最先发生连接失效。为了进一步验证仿真结果的可靠性，对 BGA 封装 FPGA 进行高加速实验。

##### 3.2.1 敏感焊接点确定原理

为确定 BGA 封装 FPGA 敏感焊接点位置，采用如图 5 所示模型进行高加速实验。

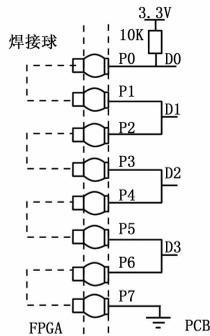


图 5 敏感焊接点检测原理

图 4 是对 8 个 IO 管脚进行敏感失效焊接点检测，第 1 个 IO 口接上拉电阻到高电平，最后一个 IO 口接地。设置第 0, 2, 4, 6 为输出，第 1, 3, 5, 7 为输入，将第 7 个 IO 口和第 6 个 IO 口虚拟相连，第 6 个 IO 口输出信号物理相连接到第 5 个 IO 口，以此类推，将所有待测 IO 口串成一个链。在外部物理相连接端口设置输出，检测输出信号。那么在正常无焊接失效情况下，D0~D3 输出应该为 0000。那么输出信号与失效焊接点关系如下：

表 1 输出信号与失效焊接点关系表

D[0~3]	焊接点
0000	正常
1 000	P0 或 P1 故障
1 100	P2 或 P3 故障
1 110	P4 或 P5 故障
1 111	P6 或 P7 故障

焊接点所对应端口。

##### 3.2.2 高加速实验方案

BGA 封装 FPGA 引脚非常多，若将所有 IO 串成一个链，需要检测的输出信号非常多，工作量也非常大，因此对 FPGA 芯片所有 IO 接口做了分区，分区结构如图 6 所示。

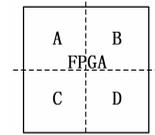


图 6 IO 分区图

将 FPGA 中所有 IO 分为 ABCD4 个区域，每个区域的所有 IO 口串成一个链。实验在每个区域都产生故障信号后停止，这样进行高加速实验可以得到每个区域敏感焊接点。

根据美军 ROME 空军实验室的研究报告，时间环境应力是造成现役电子设备 BIT 虚警的重要原因，其中温度、湿度、振动三项就造成大约 44% 的故障<sup>[10]</sup>。高加速实验芯片采用 EP2C8F256C8，在高低温实验箱中进行。通过高加速实验进一步验证了位于 BGA 封装 FPGA 4 个角落位置的焊接点在环境应力作用下最先发生连接失效。

#### 3.3 芯片级 Canary 故障诊断方案

在确立敏感焊接点后，采用内建自测式的 IP 核对敏感点进行监测，每个 IP 核可以对两个敏感焊接点进行监测。在这里将 FPGA 分为 4 个敏感区域，每个敏感区域监测两个敏感点，其敏感监测点分布如图 7 所示。

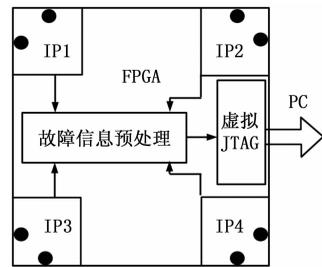


图 7 敏感焊点监测分布

由于每个内建自测式的 IP 核可以同时两个焊接点进行监测，故该模型中使用内建自测试对 FPGA 芯片的敏感焊接点进行监测时共需 4 个 IP 核。监测结果送往 FPGA 故障信息处理单元进行预处理和编码，之后将焊点健康信息传送给 PC 机进行焊点健康分析判断以及未来健康预测。

#### 3.4 Canary 故障诊断方案验证

为验证 Canary 故障诊断法的可行性，对已经下载有 Canary 故障诊断法的 FPGA 芯片进行高加速实验。高加速实验芯片依然采用 EP2C8F256C8，在高低温实验箱中进行，当 Canary 故障检测法检测的 8 个焊接点有一个故障时结束实验。

实验结果表明在所检测的 8 个敏感焊接点中有一个故障时，其余非敏感焊接点都没有发生故障。说明 Canary 故障检测法在所监测焊接点发生故障时，非监测焊接点还能正常工作，有效实现了对整个芯片焊点的全局监控，提前进行故障预警，避免了系统直接瘫痪所带来的损失。

### 4 系统级故障诊断方案

在一个系统中可能不止一片 FPGA 芯片，这时候需要对多个 FPGA 芯片的健康状态信息同时监测，保证每片 FPGA

输出有高电平之后，再进行进一步核实，就可以得到敏感

芯片的健康状态信息都能有效传递到 PC 机进行判断处理以及预测。每个 FPGA 系统都包含有基于 IEEE1149.1 协议<sup>[8]</sup>的 JTAG 接口, 该接口用来对 FPGA 芯片进行调试和配置。IEEE 1149.1 标准规定的边界扫描测试受控系统的体系结构, 包括 4 个测试访问端口 (又称 JTAG 接口): 测试数据输入端口 TDI, 测试数据输出端口 TDO、测试时钟 TCK 和测试方式选择 TMS。利用系统自带的 JTAG 接口将所有 FPGA 硬件连接成串行菊花链结构, 如图 8 所示。

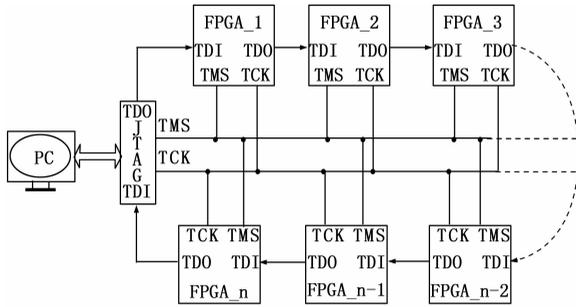


图 8 系统级测试方案连接图

即将 JTAG 接口的 TDO 连接菊花链中的第一个 FPGA, 后续器件的 TDI 均连接前一个器件的 TDO, 最后一个 FPGA 的 TDO 连接 JTAG 接口的 TDI, 菊花链上所有的 TMS 和 TCK 信号均连在一起, 根据 JTAG 边界扫描协议即可用 PC 机编写 .tcl 文件通过 JTAG 链路与每个 FPGA 芯片进行通讯<sup>[7]</sup>。

该方案有效地使用了系统的 JTAG 链路, 以菊花链形式将系统中所有的 FPGA 连接起来, 使得 FPGA 可以通过菊花链进行数据的传输, 则每个 FPGA 芯片焊点健康状态的数据可通过菊花链与外界进行交互。使得在对整个系统中的所有 FPGA 焊点健康状态进行监测时, 最大程度地降低了对原系统的改动, 降低系统复杂度的同时有效抑制了由于监测电路带来的布线困扰和干扰噪声。

## 5 结束语

FPGA 以其并行处理带来的高性能在现代电子系统中得到越来越广泛的应用, 其焊点网络的连接失效问题也越来越受到电子行业的广泛关注。本文在已有研究的基础上对 BGA 封装 FPGA 焊点网络连接失效诊断技术进行研究, 相比其他方案有如下特点:

- 1) 建立了有效的焊点故障网络全系统检测模型;
- 2) 针对不同级检测特点, 对焊点级、芯片级和系统级故障诊断采取不同方案, 有效实现了各级故障检测;
- 3) 本文创新性的提出通过菊花链形式对系统中所有 FPGA 进行监测, 有效实现系统健康信息的整合;
- 4) 该方案最大程度地降低了对原系统的改动, 降低系统复杂度的同时有效抑制了由于监测电路带来的布线困扰和干扰噪声。

## 参考文献:

[1] Heinrich SM, Shakya S, Lee P S. An analytical model developed for predicting the time-dependent shearing [J]. Journal of Electronic Packaging, 2000, 122 (4): 328-334.

[2] James P. Hofmeister, Justin B. Judkins, Douglas Goodman. A low-power sensor design, SJ monitor, for monitoring 24x7 the

health of BGA solder joints [A]. IEEE Aerospace Conference 2008 [C]. Big Sky, MT, Mar. 1-8, 2008, 1-9.

- [3] James P. Hofmeister, Terry A. Tracy, Pradeep Lall. Ball Grid Array (BGA) Solder Joint Intermittency Detection: SJ BIST [A]. IEEE Aerospace Conference [C]. 2008.
- [4] James P. Hofmeister, Pradeep Lall, Edgar Ortiz, et al. Real-Time Detection of Solder-Joint Faults in Operational Field Programmable Gate Arrays [A]. IEEE Aerospace Conference 2007 [C]. Big Sky, MT, Mar. 4-9, 2007, Track 11-0908, 1-9.
- [5] Hofmeister J P, Lall P, Goodman D, et al. Intermittency Detection and Mitigation in Ball Grid Array (BGA) Packages [A]. IEEE AUTOTESTCON 2007 [C]. Baltimore, MD, Sep. 17-21, 2007. 40-49.
- [6] Pecht M, Tuchband B, Vichare N, et al. Prognostics and Health Monitoring of Electronics [A]. International Conference on Electronic Materials and Packaging [C]. 2006.
- [7] Altera. Virtual JTAG (sld\_virtual\_jtag) megafunction user guide [Z/OL]. www.altera.com, 2008.
- [8] IEEE Std 1149.1-2001, IEEE Standard Test Access Port and Boundary2Scan Architecture [S]. New York, USA, 2001.
- [9] 黄 锋, 王建业. FPGA 焊点网络失效的在线测试 [J]. 化工自动化及仪表, 2012, 39 (8): 1062-1065.
- [10] 温熙森, 徐永成, 易晓山, 等. 智能机内测试理论与应用 [M]. 北京: 国防工业出版社, 2002.
- [11] 吴 倩, JTAG 软核测试与应用设计 [D]. 北京: 北京交通大学, 2008.
- [12] 孙 波, 张 雷, 王华茂. 卫星 PHM 系统设计技术研究 [J]. 计算机测量与控制, 2013, 21 (3): 554-559.
- [13] 连光耀, 吕晓明, 黄考利. 基于 PHM 的垫子装备故障预测系统实现关键技术研究 [J]. 计算机测量与控制, 2010, 18 (9): 1959-1962.
- [14] Liu C, Wang J Y, Zhang A T. Research on the fault diagnosis technology of intermittent connection failure belonging to FPGA solder-joints in BGA package [J]. Optik-International Journal for Light and Electron Optics. 2013.
- [15] Hofmeister J P, Vohnout S, Mitchell C, et al. HALT evaluation of SJ BIST technology for electronic prognostics [A]. IEEE AUTOTESTCON [C]. 2010, 1-7.
- [16] Uppalapati R, Goyal S, Williams M, et al. Voltage insitu electrical metrology for test-to-failure BGA Components shock margin assessment [A]. IEEE Electronic Components and technology conference [C]. 2012: 981-989.
- [17] Arfaei B, Mahin-Shirazi S, Joshi S, Anselm M, Reliability and failure mechanism of solder joints in thermal cycling tests [A]. IEEE Electronic Components and technology conference [C]. 28-31 May 2013. 976-985.
- [18] Lim C, Zhan Ping, Xue Ming. Failure characterization of BGA solder joint fracture during field application [A]. Electronic Components and technology conference [C]. 8-10Dec 2010: 556-559.
- [19] Ting Wang, Boping Xiao, Lin Ma. An application instance of FPGA in the field of PHM [A]. IEEE Conference on Digital object identifier [C]. 2012: 1-5.
- [20] Cheng gao, wei guo, yue sun. Research on diagnostics and prognostics of FPGA based system [J]. PHM IEEE on Digital object identifier: 2012: 1-5.