

基于 LabVIEW FPGA 的三相锁相环设计与实现

孙 备¹, 鲁 琴¹, 杜列波¹, 李贞屹²

(1. 国防科学技术大学 机电工程与自动化学院, 长沙 410073; 2. 63758 部队, 福建 厦门 361023)

摘要: 针对传统 FPGA 模式开发的锁相环在实时人机交互方面的不足, 设计了基于 LabVIEW FPGA 技术的三相锁相环; 方案以 sbRIO-9631 模块为硬件平台, 利用 LabVIEW 编程控制 FPGA 逻辑, 在 FPGA 中分三级流水线实现了基于 dq 变换的锁相环算法, 并通过 FIFO 实时上传采集信号、锁定相位至 PC 机, 最后在 PC 机上实现对锁相环性能分析、PI 参数调控和数据显示; 经过实验, 该锁相环具有较高的精度, 锁相时间约为两个周期, 锁相误差约为 0.03 rad, 通过 PC 机可实时调节锁相性能。

关键词: LabVIEW FPGA; 三相锁相环; dq 变换; 人机交互

Realization and Design of A Three Phase Phase-locked Loop Based on LabVIEW FPGA

Sun Bei¹, Lu Qin¹, Du Liebo¹, Li Zhenyi²

(1. Institute of Electromechanical Engineering and Automation, National University of Defense Technology, Changsha 410073, China; 2. Troops No 63758, Xiamen 361023, China)

Abstract: A three phase phase-locked loop (PPL) based on LabVIEW FPGA structure is proposed, to make up the shortages of real-time human-machine interaction based on traditional FPGA model. The solution is designed on sbRIO-9631 platform, use LabVIEW program to control FPGA logic. Adopt three pipelines to implement the improved synchronous transform in FPGA program, and besides, use FIFO to translate acquired signal and output-phase from FPGA to PC. At last, achieve the PLL performance analysis, real-time display and PI parameters setting functions in PC. Experimental results show that the PLL has a phase-locked time with tow cycles and a phase-locked lag with 0.03 rad, it not only has a good phase-locked precision, but also has a well real-time human-machine interaction.

Keywords: LabVIEW FPGA; PPL; dq synchronous transform; human-machine interaction

0 引言

在电力电子系统中, 实时相位是功率器件通断控制、功率计算以及高压直流输电的变换器中各种参考坐标变换的基准, 三相锁相环作为目前最普遍的相位同步方法得到了广泛的应用^[1-2]。随着采用 DSP 和 FPGA 技术, 锁相环的锁相精度和实时性能都得到了很大的改善。然而, 电网中存在着诸多如谐波干扰、相位突变、频率跳变以及电压不平衡等质量扰动, 且这种扰动变化未知, 随时影响着锁相环的输出性能, 因此有必要设计锁相环的实时调控性能。目前基于 DSP、FPGA 的锁相环大多数都不具备性能调控功能, 并且依靠传统的设计方法, 对输入扰动实时调节锁相环的输出性能, 其设计难度和实现效果都不理想。

笔者借助聚星仪器公司的 sbRIO-9631 模块, 利用其基于 LabVIEW FPGA 的图形化编程、直接配置 FPGA 逻辑的特点, 提出了一种数字锁相环实现的新方法^[3]。该方法使用 LabVIEW 在 FPGA 和 PC 机上定义图形化程序, 实现在 PC 机上实时监测调控 FPGA 中的锁相环性能, 对锁相环的实时调控性设计做了几点改进: 1) 设计 PI 参数可调, 实现对锁相性能的实时调节; 2) 设计相位 θ 可显示, 实时监测锁相环输出性能; 3) 设计 FPGA 产生仿真信号, 实时分析锁相性能。

1 三相锁相环模型

三相锁相环是基于静止坐标变换和旋转坐标变换 (dq 变换) 的矢量变换实现的 VCO 反馈控制。基于 dq 变换的改进型锁相环模型, 在 dq 变换的基础上提取正序分量进行 VCO 反馈控制, 以抑制电压不平衡的扰动^[4-5], 如图 1 所示。三相信号首先经过静止坐标变换到 $\alpha\beta$ 坐标系 μ_a, μ_b , 然后经过 T/4 延时单元和计算单元计算出三相信号的正序分量变换到 $\alpha\beta$ 坐标系上的 $\mu_{\alpha p}, \mu_{\beta p}$, 此时 $\mu_{\alpha p}, \mu_{\beta p}$ 是不带电压畸变干扰的分量, 对其进行旋转坐标变换得到 μ_d, μ_q 。

$$u_q = k * \sin(\omega t - \omega_0 t) \quad (1)$$

μ_q 的表达如式 (1) 所示, k 为与输入电压有关的数, ω, ω_0 分别为输入信号角频率和锁定信号角频率。当 μ_q 由交流变量变为直流分量时, $\omega = \omega_0$, 锁相环完成鉴相, 经过 VCO 控制最终锁定相位。

2 方案设计

系统方案如图 2 所示, 包括三相信号的输入、信号锁相和实时调控 3 个部分。其中信号采集和锁相处理在 sbRIO-9631 模块实现, 利用 sbRIO-9631 高速运行的特点, 对三相信号进行采集、锁相和输出; PI 参数和 θ 作为 FPGA 和 PC 机的共享变量实现数据交互, 由 PC 机设置 PI 参数、读取相位 θ 实现锁相环的性能调控、输入输出实时显示和锁相性能分析。

锁相环输入信号设计有外接和 FPGA 仿真两种产生方式。外接的方式是三相交流电压经过电压检测与调理电路的转换变为可供 sbRIO-9631 采集的信号。FPGA 仿真信号按式 (2)、

收稿日期: 2013-12-26; 修回日期: 2014-03-07。

作者简介: 孙 备 (1990-), 男, 湖南常德人, 硕士研究生, 主要从事现代智能无线传感器网络技术方向的研究。

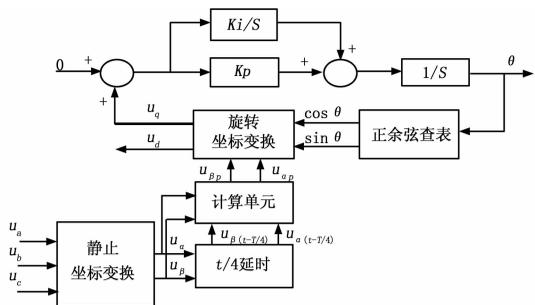


图 1 基于 dq 变换的改进型锁相环模型

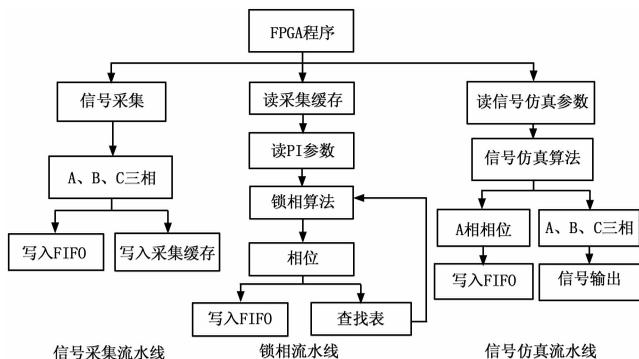


图 3 FPGA 程序流程图

(3) 所示的方式生成:

$$\Delta\theta = 2\pi f * T + \theta \tag{2}$$

$$u_\alpha = (A + A') * \sin(\theta + \Delta\theta) \tag{3}$$

其中: f 为仿真信号频率, T 为仿真信号流水线的运行周期, $\Delta\theta$ 为每个周期的相位递增量, θ' 为干扰相位, A 和 A' 分别表示幅值和干扰幅值。 f 、 T 、 θ' 、 A 和 A' 等参数由 PC 机设置, FPGA 生成仿真信号后经 AO 通道输出, 由此可选择外接信号和 FPGA 仿真信号接入 FPGA 的 AI 采集通道, 由锁相环完成锁相。

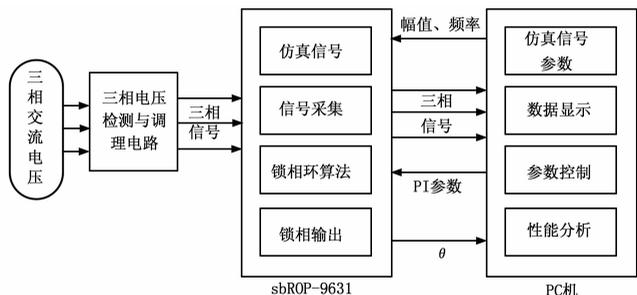


图 2 系统设计方案

3 软件实现

系统软件包括 FPGA 程序和 PC 机程序两部分, 由 LabVIEW 编程实现, FPGA 程序在首次运行时生成编译文件并自动下载到 sbRIO-9631 模块中, PC 机和 sbRIO-9631 模块主要以 FIFO 进行数据传输。

3.1 锁相环实现

锁相是 FPGA 程序中的主要部分, 它和信号采集、信号仿真作为 FPGA 中的并行分支运行。设计的 FPGA 并行流水线结构如图 3 所示, 三部分程序都在独立的 While 循环中运行, 由单独的 LabVIEW 定时子 vi 控制程序的循环周期^[6]。

三相信号经过信号采集流水线采集后, 写入 FIFO 上传至 PC 机并存在缓存区等待锁相处理, 信号采样率由流水线的循环周期控制。锁相流水线周期性的读取缓存区的采集数据, 读取 PI 参数, 按照图 1 所示的改进型 dq 变换锁相环算法处理, 最后将锁相输出的相位写入 FIFO 上传到 PC 机。算法按照查找表的方式计算相位的三角函数, 计算方法如式 (4) 所示, 首先对锁相环输出相位 θ 作 2π 取模, 再转换成对应表中的位置 n 进行查表。

$$n = \frac{|\theta|_{2\pi}}{2\pi} * 2048 \tag{4}$$

其中: n 是对应的查找表位置, θ 是锁相环输出相位,

2048 是查找表的大小。

3.2 实时交互实现

锁相环的实时交互由 PC 机实现 PI 参数可调和 θ 相位的显示来完成。在 LabVIEW FPGA 模块中, PC 机程序通过 Open FPGA VI 与 FPGA 程序建立连接后^[7], 可通过属性节点和 FIFO 两种方式实现数据传输, 其中采样率、PI 参数、信号仿真参数等小数据以全局变量的方式进行传输, 输入输出信号、相位等连续变化的数据以 FIFO 的形式传输。

PC 机程序流程如图 4 所示, 包括参数设置和锁相性能监测两个部分。PC 机程序运行后, 读取界面输入的值后写入 PI 参数、采样率、仿真信号参数等变量的属性节点, 从而修改 FPGA 程序中对应的参数。PC 机从 FIFO 中读取相位以及输入输出数据后以波形控件的形式显示在界面上。在以仿真信号作为输入时, 程序会计算输入信号的相位和锁定信号相位的差并实时显示。

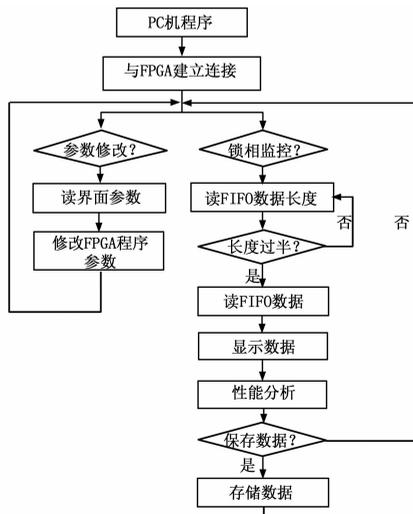


图 4 PC 机程序流程图

3.3 FIFO 数据传输设计

FPGA 和 PC 机之间需要通过 FIFO 来传输的数据包括三相输入信号和锁相环输出相位 4 路信号, 而 sbRIO-9631 模块只有 3 个可以用 LabVIEW 直接编程定义的 FIFO, 因此需要多路信号复用同一个 FIFO 通道进行数据传输。如图 5 所示, 将三相输入信号按照顺序依次写入 FIFO, 共用同一个 FIFO 传输数据^[8]。FPGA 采集到三相信号后, 按照 A 相、B 相、C

相的顺序依次写入 FIFO, PC 机先从 FIFO 中读取所有的数据, 然后按照顺序将数据分成 A 相、B 相、C 相三段显示。

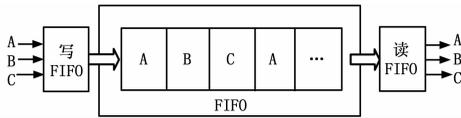


图 5 FIFO 数据流示意图

4 实验验证

选择 FPGA 仿真信号作为三相输入, 通过在 PC 机上实时控制参数变化、调节 PI 参数, 并观测锁相环的输出来实现锁相环性能的实时监测。

PC 机上的锁相环性能测试界面如图 6 所示, 设置 FPGA 程序流水线的重复周期为 10 kHz, 则 FPGA 模拟通道采样率为 10 kHz, 设置 KI 参数为 4 000, KP 参数为 10。设置如下仿真信号的参数进行实验:

设置 A、B、C 三相的幅度为 3 V, 频率为 50 Hz, 观测锁相环输出;

设置 A 相幅值为 4 V, 其他参数不变, 观测锁相环输出。

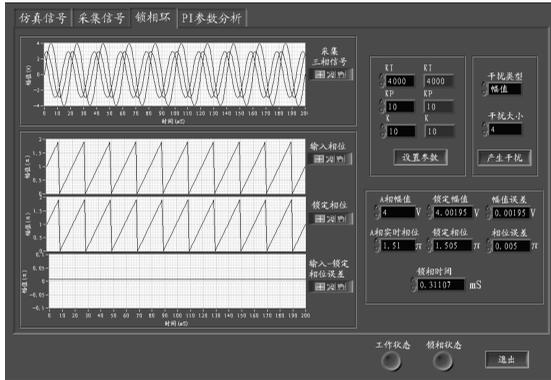


图 6 锁相环性能测试界面

记录实验结果如表 1 所示。当锁相环输出稳定时, 相位误差约为 0.03 rad。

经分析, 锁相程序的运行周期为 10 kHz, 由公式 (2) 可知, T 为 0.1 ms, f 为 50 Hz, 则可知 $\Delta\theta$ 约为 0.031 4 rad, 如果相位误差不考虑 $\Delta\theta$ 的影响, 可得出锁相输出与输入信号相位基本一致。从实验结果中可知, 当 A 相电压的幅值突变时, 锁相环在 0.31 ms 后跟踪到输入相位, FPGA 程序的运行周期为 0.1 ms, 锁相环经过 3 个周期的运算后跟踪到相位,

如果不考虑信号采样的一个周期, 则实际上锁相环经过 2 个周期的运算就能跟踪到相位。

表 1 实验结果

输入信号	锁相误差 /rad	锁相时间 /ms
$\mu_a = \mu_b = \mu_c = 3 \text{ V},$ $f = 50 \text{ Hz}$	0.031 42	--
$\mu_a = 4 \text{ V},$ $\mu_b = \mu_c = 3 \text{ V},$ $f = 50 \text{ Hz}$	0.031 56	0.31

由此可见, 该锁相环具有锁相实时和锁相误差小的特点, 并可直接在 PC 机上进行性能监测。

5 结束语

本文介绍了基于 LabVIEW FPGA 的三相锁相环实现的新方法, 该方法利用 LabVIEW 图形化语言编程控制 FPGA 的逻辑配置, 与传统设计方法相比, 简单灵活, 可靠性高, 实用性强, 设计的三相锁相环具有良好的人机交互界面。经过实验分析, 锁相环具有较高的实时性和较小的锁相误差, 在电力设备的锁相控制中具有较高的应用价值。

参考文献:

[1] Hu J B, He Y K, Nian H. Enhanced control of DFIG used back-to-back PWM voltage-source converter under unbalanced grid voltage conditions [J]. Journal of Zhejiang University Science A, 2007, 8 (8): 1330-1339.

[2] 龚锦霞, 解大, 张延迟. 三相数字锁相环的原理及性能 [J]. 电工技术学报, 2009, 24 (10): 94-99.

[3] National Instruments, NI sbRIO-961x/963x/964x and NI sbRIO-9612XT/9642XT User Guide [Z]. 2010.

[4] 田桂珍, 王生铁, 林百娟, 等. 电压不平衡条件下改进型锁相环的设计与实现 [J]. 电力电子技术, 2010, 44 (4): 85-86.

[5] 王颖雄, 马伟明, 肖飞, 等. 双 dq 变换软件锁相环的数学模型研究 [J]. 电工技术学报, 2011, 26 (7): 237-241.

[6] 胡仁喜, 高海宾. LabVIEW2010 中文版虚拟仪器从入门到精通 [M]. 北京: 机械工业出版社, 2012.

[7] 刘涛, 张盛兵, 黄小平. 微处理器中异步 FIFO 的一种优化方法 [J]. 计算机测量与控制, 2009, 17 (1): 148-149.

[8] National Instruments, LabVIEW FPGA Design for Code Modules [Z]. 2010.

(上接第 2602 页)

参考文献:

[1] Hammad I, Kamal El-sankary. High-speed AES encryptor with efficient merging techniques [J]. IEEE Embedded Systems Letters, 2010, 2 (3): 67-71.

[2] 昂志敏, 孙述鹏, 韦康, 等. 汽车智能无钥匙门控系统的设计与应用 [J]. 电子技术应用, 2007, (8): 48-51.

[3] Becker J. Passive keyless entry and drive system [J]. Auto Technology, 2002, (2): 56-58.

[4] 杨毅, 刘志强. 基于对称分组加密算法的汽车门禁控制系统 [J]. 仪表技术, 2011, (10): 56-57.

[5] Lee Y, Nolan J. Low frequency bidirectional communication transponder for security and automotive applications [J]. Circuit Theory and Design, 2005, (2): 185-188.

[6] 程和生. 被动门禁系统的设计及关键技术的研究 [D]. 合肥工业大学, 2011, 3.

[7] Microchip. PIC12F635/PIC16F636/639 Data Sheet: 8/14-Pin Flash-Based, 8-Bit CMOS Microcontrollers with nano Watt Technology [Z]. 2005.

[8] 王超, 郑宾, 吴柯锐. 汽车被动无钥门禁系统 (PKE) 研究 [J]. 电脑知识与术, 2009, 19 (5): 5304-5305.

[9] 杨彪. 125 kHz 射频识别收发器解调模块的研究与设计 [D]. 武汉: 华中科技大学, 2008, 5.