

基于 FPGA 的 QPSK 信号干扰源设计

梁清龙, 王建业, 王 菊

(空军工程大学 防空反导学院, 西安 710051)

摘要: 针对 QPSK 调制方式特点, 设计了基于 FPGA 的信号干扰源, 分析了系统干扰原理; 利用 m 序列生成均匀白噪声, 采用地址法完成高斯白噪声转换; 以 Logistic 混沌映射电路作为信源, 采用直接数字频率合成技术产生正弦信号作为载波, 用 VHDL 语言设计 FPGA 与单片机的接口电路; 在单片机控制下, 用于 FPGA 生成干扰信号经 AD9760 实现数模转换; 仿真和实验表明, 该系统精度高, 干扰参数易于控制修改, 满足实际要求, 并且稍加改动可生成多路同步干扰信号。

关键词: QPSK; 干扰源; FPGA; 直接数字频率合成

Design of QPSK Signal Interference Source Based on FPGA

Liang Qinglong, Wang Jianye, Wang Jü

(Missile Institute, Air Force Engineering University, Xi'an 710051, China)

Abstract: According to the characteristics of QPSK modulation method, a signal Interference source based on FPGA is designed. The principle of jamming is analyzed; the m sequency is used to generate homogeneous distribution, it is translated to Gaussian noise by address method; Logistic chaotic circuit is used as signal source; direct digital frequency synthesise is used to generate sine wave as carrier; VHDL is used to design FPGA and MCU interface circuit; under control of MCU, the interference signals in FPGA is produced by AD9760 analog-to-digital conversion. The simulation and experiment show that the system has high accuracy and its interference parameters are easy adjusted. The system meets the actual demand and can generate multi-channel synchronous jamming signal.

Keywords: QPSK; interference source; FPGA; direct digital frequency synthesise

0 引言

四相绝对移相键控^[1] (QPSK) 是目前应用非常普遍的调制解调技术, 正因为它抗干扰性强、频谱利用率高、误码性能好, 故在武器装备和卫星通信中得到广泛应用。

复杂的电磁作战环境是现代高科技局部战争的突出特点, 是武器系统必须面对和解决的现实问题。在这种环境之中, 无论是装备的可靠性还是作战人员的指挥操作, 都要接受严峻的考验, 为方便战勤人员根据不同的干扰条件, 进行抗干扰措施的研究, 提高指战员实战场景的操作水平、心理素质, 根据不同的干扰环境, 优化抗干扰措施, 最大限度发挥兵器的作战效能, 本文根据上述实际需求设计了 QPSK 干扰源系统, 可按照一定的战术想定, 形成不同类别和程度干扰。该设计利用 Logistic 映射产生的混沌序列作为干扰基带信号, 采用直接数字频率合成 (DDS) 技术^[2-3] 产生载波, 在单片机控制下选择输出用于 QPSK 干扰的 4 种干扰信号。

1 系统设计原理与方案

1.1 设计原理

QPSK 信号一般由调相法产生, 其表达式为

$$S_{QPSK}(t) = \left[\sum_n g(t - nT_s) \right] \cos(\omega_c t + \varphi_n)$$

将其展开得

$$S_{QPSK}(t) = \left[\sum_n \cos(\varphi_n) g(t - nT_s) \right] \cos(\omega_c t) - \left[\sum_n b_n \sin(\varphi_n) g(t - nT_s) \right] \sin(\omega_c t)$$

令

$$I(t) = \left[\sum_n \cos(\varphi_n) g(t - nT_s) \right], Q(t) = \left[\sum_n \sin(\varphi_n) g(t - nT_s) \right],$$

得

$$S_{QPSK}(t) = I(t) \cos(\omega_c t) - Q(t) \sin(\omega_c t)$$

式中, ω_c 是载波角频率; T_s 为一个码元的发送时间; φ_n 是第 k 个码元的载波相位, 初相位为 0 时, 可能取值 $(0, \frac{\pi}{2}, \pi, -\frac{\pi}{2})$, 初相位为 $\frac{\pi}{4}$ 时, 可能取值 $(\frac{\pi}{4}, \frac{3\pi}{4}, -\frac{\pi}{4}, -\frac{3\pi}{4})$ 。

通信干扰按不同方法有多种分类^[4], 例如按干扰方式可分为压制式干扰和欺骗式干扰, 欺骗式干扰又分为瞄准、半瞄准式、阻塞式、扫频式; 欺骗式干扰分为产生式干扰、转发式干扰、音频仿真干扰和冒充式干扰。针对某型设备所使用的 QPSK 调制方式, 对其信号的干扰方式采用连续噪声干扰、单音干扰和指向性干扰 3 种方式。

连续噪声干扰, 即指仅用载频为 ω_c 的同一窄带高斯噪声 $n(t)$ 对 I、Q 两路进行干扰; 单音干扰, 即利用载频为 ω_c 的单音信号 $I_j \cos(\omega_c t + \varphi_j)$ 对 I、Q 两路进行干扰, φ_j 在 $(0 \sim 2\pi)$ 均匀分布; 指向性干扰, 干扰信号 $I_j \cos(\omega_c t + \varphi_j')$ 采用与 QPSK 传输信号相同的矢量相位, φ_j' 取值范围为 $(0, \frac{\pi}{2}, \pi, -\frac{\pi}{2})$ 或 $(\frac{\pi}{4}, \frac{3\pi}{4}, -\frac{\pi}{4}, -\frac{3\pi}{4})$ 。

1.2 设计方案

由上述原理分析, 该系统的核心是数字噪声发生器、序列

收稿日期: 2013-12-16; 修回日期: 2014-03-26。

作者简介: 梁清龙(1989-), 男, 山东垦利人, 硕士, 主要从事微电子技术应用方面的研究。

王建业(1962-), 男, 陕西耀县人, 教授, 主要从事微电子技术应用方面的研究。

发生器和频率合成器。数字噪声器用来产生噪声 $n(t)$ ，序列发生器产生干扰序列 I_j ；直接数字频率合成器（DDS）用来产生载波 $\cos(\omega_c t + \varphi_j)$ 和 $\cos(\omega_c t + \varphi_j')$ 。

系统原理如图 1 所示，FPGA 部分由噪声模块、信源模块和 DDS 模块组成，该部分主要完成噪声与载波的调制、信源模块产生的干扰序列 I_j 与载波信号的调制；噪声分别与单音干扰信号、指向性干扰信号的混合叠加，最终会生成 4 路干扰信号，分别是 $n(t)$ 、 $n(t)\cos(\omega_c t + \varphi_j)$ 、 $I_j \cos(\omega_c t + \varphi_j)$ 、 $I_j \cos(\omega_c t + \omega_j')$ 。单片机将频率选择、初始相位选择、干扰输出选择等信号传送给 FPGA，其产生的数字式干扰信号再经高速 DA 转换和信号调理电路输出所需的模拟干扰信号。

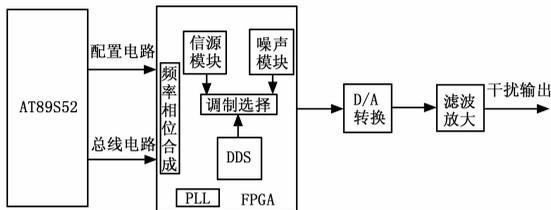


图 1 基于 FPGA 的 QPSK 干扰源

2 FPGA 模块设计

2.1 噪声模块

此模块产生的高斯白噪声分两步得到，首先产生均匀分布的白噪声，再通过均匀分布的白噪声获得高斯白噪声。

本设计采用线性反馈移位寄存器^[5]（linear feedback shift register, LFSR）方法产生均匀分布的白噪声，通过修改程序即可得到所需的噪声参数，扩展性和移植性大大加强。LFSR 所产生的伪随机序列称 m 序列，假设一个 LFSR 长度为 n ，那么其内部状态最多为 2^n ，因为“0”状态是全封闭的，因此它的周期最大为 $2^n - 1$ ，选用周期为 $2^{25} - 1$ 的 m 序列，查表得其质数多项式 $f(x) = x^{25} + x^3 + 1$ ，该 m 序列发生器用 VHDL 语言很容易实现。

系统设计需要的是高斯白噪声，因此还需将 m 序列得到均匀分布的白噪声进行转化。将均匀白噪声转换成高斯白噪声一般用地址法和公式法。考虑到系统对实时性的要求，本设计采用地址法最佳。具体方法是在 ROM 中存入高斯噪声表，再用均匀白色功率谱随机序列作为地址输入，直接寻址，读取相应单元存储的数据，输出即为高斯白噪声。设计最终生成的高斯白噪声仿真结果如图 2 所示。

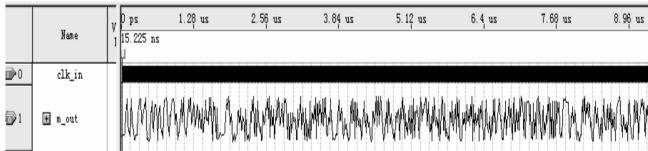


图 2 高斯白噪声时序仿真图

2.2 信源模块

该模块产生的序列 I_j 作为干扰基带信号。用来干扰的基带信号应满足系统的特性要求，在频率域上频率应尽可能丰富，在时间域应具有随机性，单音、双音、点符号作为基带信号都不理想，而噪声具有很强的随机性。因此采用随机噪声作为干扰机带信号，对于数字通信，选择“1”、“0”随机出现的

数字脉冲序列。

在 FPGA 中采用 Logistic 映射生成混沌序列^[6-7]，该序列的自相关和互不相关特性满足数字噪声要求，其迭代方程为：

$$x_{n+1} = \mu x_n (1 - x_n), n = 1, 2, 3, \dots$$

其中： $x_n \in (0, 1)$ ； $\mu \in (0, 4)$ ；当 μ 取值 $[3.571\ 448, 4]$ 时，Logistic 映射进入混沌状态。随着迭代不断进行， x_n 也跟随变化，提取时间序列中的某一位作为量化值，生成 PN 序列，本设计 μ 取值 4，初始值 x_0 取 0.312 5。

电路结构采用 DSP Builder 设计。DSP Builder 是一个算法级设计工具，它架构在 MATLAB/Simulink、Quartus II 等软件之上，通过 Simulink 良好的图形化界面进行建模并进行系统级仿真，然后调用 Quartus II 进行综合网表生成和适配。本模块的设计主要利用 DSP Builder 自动生成 VHDL 程序，取代用硬件语言书写的繁琐性。图 3 为用 DSP Builder 设计的 PN 序列电路图，将得到的序列进行串并转换可以得到十位宽的基带信号，该电路在 ModelSim 中的仿真如图 4 所示。

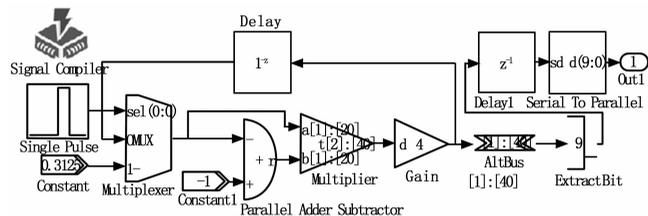


图 3 PN 序列产生电路图

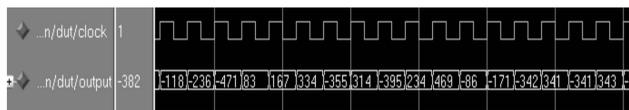


图 4 PN 序列仿真图

2.3 DDS 模块

相位累加器是 DDS 的核心，它是由 N 位加法器和 N 位相位寄存器组成，每来一个参考时钟脉冲，加法器将频率控制字 K 与相位寄存器输出的数据相加，把相加的结果送到相位寄存器的输入端，使加法器在时钟脉冲下继续与频率控制字 K 相加；而另一方面又将输出的相位数据作为波形存储器的地址输入，波形存储器把输入的地址相位信息映射成波形数据输出，输出波形频率和相位为：

$$f_o = \frac{f_{clk} \times K}{2^N}, \varphi_o = \frac{2\pi \times M}{2^N}$$

因此只要选择频率控制字 K 相位控制字 M ，便可以获取所需的载波频率和相位。

根据 QPSK 干扰源系统特性，在 DSP Builder 中设计了一改进型的 DDS 信号发生器，如图 5 所示。为节省 FPGA 资源，设计使用了一个相位累加器，不同的相位控制字与相位累加器相加得到新的地址，分别进行查表获取所需相位的波形。该设计的另一个好处是频率来自同一频率字，对于输出的信号同步性能好，相位可调性好。

2.4 频率相位合成模块

频率字和相位字的合成模块实现了单片机输出的 8 位数据到频率的 32 位字和相位 16 位字的合成，并进行了相应的转换，使之符合 DDS 的频率字和相位字的输入要求。此模块用 VHDL 语言实现，它有一组输入数据信号 $f_{pin} [7 \dots 0]$ ，一组

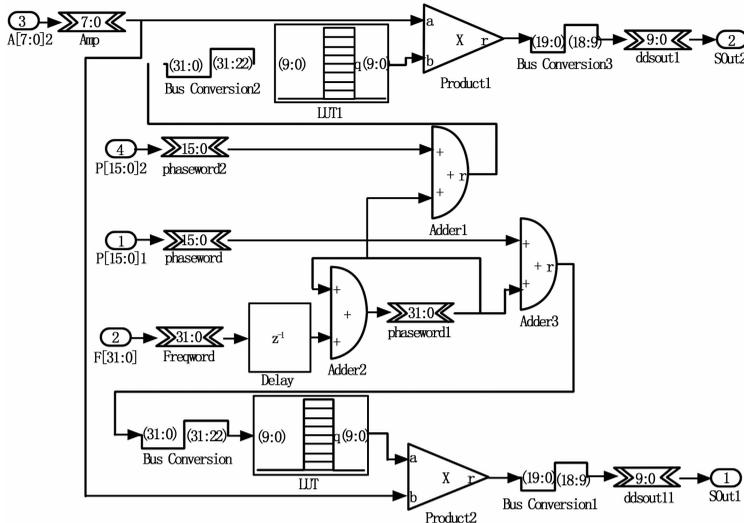


图 5 DDS 电路图

输出数据选择信号 $sel [2 \cdots 0]$ 和输入数据使能信号 fp_en , 频率控制字和两个相位字作为其输出数据信号。在每个输入使能信号 fp_en 的上升沿到来时, 根据 sel 的值, 合成频率控制字和相位字。

仿真结果显示, 在 $fpin$ 输入分别为 12 34 56 78, sel 输入为 000, 001, 010 和 011 情况下, 准确实现了频率字和相位字的合成输出。要获取所需相位值只需改变相位初始输入即可。另外在此模块中, 也实现了对幅度调整的输入输出。幅度输出 amp_out 定义为 8 位的一字节, 每按一次幅度调整按钮, 增加 5 个基数, 即总值的五十之一 (5/255=51)。本设计输出最大值电压为 5 V, 所以每按一次输出约增加 0.1 V, 实现 0.1 V 的递加, 达到最大值之后, 输出归零。

2.5 FPGA 顶层模块设计

顶层模块是基于 FPGA 的干扰源设计的重要模块, 它完成所有模块的分析和综合, 接收来自外部的控制指令, 并按设计输出数据。该部分在 QuartusII 7.2 环境下综合各分模块, 得到顶层结构图。实行模块化设计的优点, 电路层次非常清晰, 各模块分工明确, 整体配合实现了设计意图。其中 PLL 模块不仅提供了内部的参考时钟, 还输出经过倍频的时钟, 为下一级 D/A 转换器, 提供了同频同源的优质时钟源, 可以准确的完成数模转换。

3 硬件设计

3.1 FPGA 与单片机的通信

该系统中 FPGA 选用 Alteral 公司 Cyclone II 系列的 EP2C35F672C6 芯片, 其具有丰富的内部逻辑资源; 单片机选用 AT89S52, 功耗低、性能高, 均满足设计需求。

FPGA 与单片机的通信采用总线方式, P1.0, P1.1 用于输出信号选择; P1.2 用于幅度调节; P2 口给 FPGA 传送数据信息; P3 作为控制接口; P3.7 接 RS, P3.6 接 RW, P3.3~P3.1 组合作为控制信息, 用以频率字和相位字的合成; P3.4 作为频率字输入的标志位, 此标志位上升沿有效。

3.2 DAC 电路与信号调理电路

本设计使用两片 AD 公司生产的具有高性能、低功耗的 AD9760 高速 D/A 转换芯片, 实现输出波形的幅度控制和波形

数据的数模转换功能。用于幅度控制的 AD9760 记为 AD9760 (1), 用于波形数据数模转换的 AD9760 记为 AD9760 (2)。

AD9760 (1) 采用内部参考电压方式, 由于幅值寄存器是 8 位的, 所以只使用低 8 位 DB7—DB0 作为数据输入, 高 2 位接地, 即 DB9—DB8 一直为“0”, 通过改变数据输入, 可输出 0~1.2 V 电压作为 AD9760 (2) 参考电压, 进而最终改变输出波形电压; AD9760 (2) 用于波形数据数模转换, DB9—DB0 为数据输入端, 由幅度控制电路最终可以得到 0~5 V 的输出波形。

由于椭圆模拟低通滤波器的通带和阻带均有等波纹特性, 因而对于给定的技术指标, 用椭圆滤波器实现时, 所需滤波器的阶数最低。本系统设计, 就采用了具有较窄过渡带特性的椭圆模拟滤波器, 并采用 7 阶椭圆低通滤波。用理论分析与测量滤波器的实际频谱特性相结合的方法, 在实际的调试中逐渐改变滤波器的元件值, 以使频谱特性达到最佳。

4 系统测试

在单片机系统, 本设计是利用上海星研公司的星研集成开发系统进行的汇编语言编程调试, 然后在其公司的星研仿真器上进行了仿真调试。经调试, 所有功能均完成了预定设计目标, 流程正确。本系统硬件 VHDL 语言的设计采用了 QuartusII 7.2 集成环境进行开发, 并且在 DE2 开发板上进行测试, 最后完全达到了设计的要求。

5 结束语

本设计基于 FPGA, 在单片机控制下实现了 4 种 QPSK 干扰信号的输出, 而且干扰源的各项参数可通过修改程序进行改变, 通过测试验证了该系统的可行性。综合考虑经济因素, 该系统只选择输出了一路干扰信号, 但只要稍加改动即可同步输出 4 种干扰, 便于多干扰信号的叠加。

设备实际工作时, 干扰信号是由天线端进入接收机的, 而在本系统中, 干扰信号是直接由中频注入的, 这样做是因为其实现与操作比较简单, 但由此带来的负面影响是干扰环境的模拟效果无法最真实地接近实战。因此, 在下一步研究中可以考虑改变干扰信号的注入方式。

参考文献:

- [1] 洪磊, 杨育红, 张瑞. QPSK 最佳干扰研究与仿真 [J]. 通信技术, 2009, 42 (2): 8-11.
- [2] 李国民, 张茜, 廖桂生. 基于混沌序列的跳频信号源 FPGA 设计与实现 [J]. 计算机测量与控制, 2012, 20 (11): 3110-3112.
- [3] 王琪, 邹向阳, 胡巍彪. 雷达干扰训练器噪声干扰源的设计 [J]. 自动化仪表, 2012, 33 (11): 69-71.
- [4] 洪韬, 王超, 张学斌. 压制式毫米波干扰模拟器设计 [J]. 电子技术应用, 2008, 34 (8): 97-99.
- [5] Stahnke W. Primitive Binary Polynomials [M]. Mathematics of Computation, 1973: 977-980.
- [6] Chselt F, Schwarz W. Chaos and cryptography [J]. IEEE Transactions on Circuits and System: Fundamental Theory and Applications, 2001, 48 (12): 1498-1509.
- [7] 张波, 王光义, 韩春燕. 基于 Logistic 映射 PN 序列的 FPGA 实现 [J]. 现代电子技术, 2009, 32 (7): 11-14.