

基于 NIOS II 处理器的 USB 双向数据传输系统

李德明, 徐庆富, 李长俊

(桂林电子科技大学 信息科技学院, 广西 桂林 541004)

摘要: 介绍了一种双向数据传输系统设计方案和实现方法, 采用 USB2.0 接口芯片 CY7C68013A 与 FPGA 相结合构建硬件系统, FPGA 内嵌 NIOS II 软核处理器负责数据处理; 系统通过 USB 接口向上传输数据到上位机, 结合基于 VC++ 开发的数据传输控制软件平台, 发送控制命令及数据到硬件系统端, 从而实现 USB 接口的双向数据传输功能; 详细描述了系统的硬件电路设计和软件实现过程, 实验证明该系统具有高速、便携、通用性强的特点, 系统数据最高传输速度达到 33 MB/s, 且工作稳定可靠。

关键词: USB; 数据传输; FPGA; NIOS II 处理器

USB Double Direction Data Transmission System Based on NIOS II Processor

Li Deming, Xu Qingfu, Li Changjun

(Institute of Information Technology, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: This paper introduces a two-way data transmission system design scheme and realization method. Combination USB2.0 interface chip CY7C68013A and FPGA to build the hardware system. The FPGA embedded soft core processor NIOS II is responsible for data processing. System use the USB interface to transmit data up to the PC machine, and connecting with data transmission control software based on VC++ development platform to send control commands and data to the hardware system. So that can achieve the function of USB interface bidirectional data transmission. Paper described in detail the system design of hardware circuit and the software implementation process. Experiments proved that the system has the characteristics of high-speed, portable, versatility, and the system is stable and reliable.

Keywords: USB; data transmission; FPGA; NIOS II processor

0 引言

数据采集与传输在现代测量仪器及科技研究中发挥着重要作用, 而且对数据传输的实时性和便携性的要求在不断提高。计算机具有强大的数据处理能力和显示界面设计方便等优点, 配合嵌入式系统的实时性和灵活性进行设计, 通过计算机和嵌入式系统之间的数据互通传输, 在多种领域中具有广泛的应用前景, 如便携式数据采集卡、视频监控、虚拟测量仪器及工业控制系统等应用, 其设计需要高速实时的数据传输技术支持。

目前计算机的数据传输接口主要有并行口、串行口和 USB 接口 3 种, 串行口和并行口的数据传输速率比较低, 无法满足高速传输需求。随着计算机的升级更新, 大部分已经不再配置串行和并行接口, 而 USB 接口已成为计算机的主流接口, 具有安装方便、扩展性强、支持热插拔、即插即用、传输速度快等优点, 传输速度最高可达 480 Mbit/s, 可以大大提高数据传输速率, 满足数据容量日益增大的系统需求^[1]。

1 系统简介

系统采用 USB 芯片 CY7C68013A 实现数据的传输, 构建以 PC 机为显示操作界面的数据传输控制平台, 由 FPGA 控制器进行数据的读写传输控制。USB 双向数据传输系统硬件设计主要包括有 FPGA 主控制模块, USB 控制芯片部件, 信号调理与 A/D 转换模块, D/A 转换与信号输出模块等部分。FPGA 作为系统的主控制器件, 负责协调和控制各部件的工

作。USB 接口芯片起着桥梁的连接作用, 保障着 FPGA 与计算机之间的数据传输畅通。系统总体结构如图 1 所示。

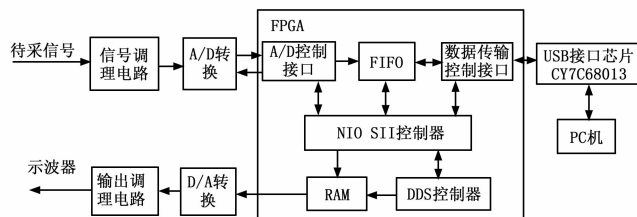


图 1 系统总体结构设计框图

2 数据传输系统设计方案分析

2.1 FPGA 主控制器

数据传输系统采用 Altera 公司的 CYCLONE II 系列 FPGA 作为核心处理器, 型号为 EP2C5T14C8, 该芯片内部资源丰富^[2], 完全可以满足设计要求。下载程序使用 JTAG 接口电路及 EPCS4 串行配置芯片保存数据, 由于系统要运行 NIOS II 系统, 外扩 SDRAM 作为系统运行内存。50 MHz 外部时钟进入 FPGA 后经过锁相环 (PLL) 模块倍频, 产生 100 MHz 时钟作为 NIOS II 系统的工作时钟。

在 FPGA 内部采用 SOPC 技术设计 NIOS II 软核控制器, 可以方便对其他内部逻辑进行控制。在一块芯片内部完成控制模块设计, 可以节省设计硬件成本, 提高系统设计灵活性, 减少信号干扰, 达到良好的设计效果。

2.2 USB 接口控制芯片电路设计

USB 接口电路采用 Cypress 半导体公司生产的 EZ-USB FX2LP 系列芯片 CY7C68013A 作为主控制器。该控制器将

收稿日期: 2013-11-29; 修回日期: 2014-03-03。

基金项目: 广西高等学校科研资助项目 (201204LX138)。

作者简介: 李德明 (1983-), 男, 工学硕士, 讲师, 主要从事自动测试总线与系统、智能仪器仪表技术方向的研究。

USB 2.0 收发器、SIE (串行接口引擎, Serial Interface Engine)、增强的 8051 微控制器以及可编程成的外部接口 (GPIF) 集成于一个单片中, 降低了 USB 通信开发难度。串行引擎 (SIE) 负责完成串行数据的解码、差错控制、位填充等与 USB 协议有关的功能, 简化了 USB 固件程序的开发^[3]。

USB 芯片 CY7C68013A 主要有 GPIF 接口模式和从属 FIFO (Slave FIFO) 接口模式^[4], 系统采用 Slave FIFO 接口模式与 FPGA 进行通信连接, 在这种工作模式方式下, CY7C68013A 在固件程序中只需要配置好相关的寄存器, 在通信期间不需要内部固件程序的干预即可实现高速数据传输。电路连接如图 2 所示, SLOE 是数据输出使能信号, SLRD、SLWR 分别为 Slave FIFO 读和写使能信号, FIFOADR 是选择端点信号, 默认设置 FLAGB 为 Slave FIFO 写满标志位, FLAGC 为读空标志位。

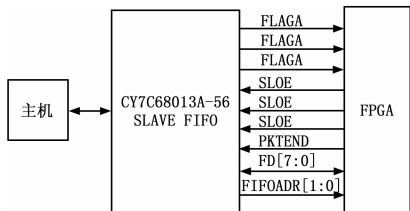


图 2 CY7C68013A 与 FPGA 电路连接图

2.3 A/D 数据采集电路设计

系统采用亚德诺半导体公司的 AD9220 芯片作为模数转换部件, 可以单电源供电, 它是一款高性能的 12 位 A/D 转换器, 采样速率达到 10 Msps^[5]。图 3 所示为采用 AD9220 芯片设计的 A/D 数据采集电路, 电路设计成单端输入模式, 采集电压信号范围为 0~5 V, 被采样信号经过直流偏置和限幅处理后进入高速运放跟随器, 增加电路输入阻抗, 再经过 VINA 端口输入到 A/D 芯片。系统由 FPGA 对 AD9220 进行采样控制, 包括采样时钟的控制和数据读取控制, 根据被采样信号的频率来改变采样时钟。

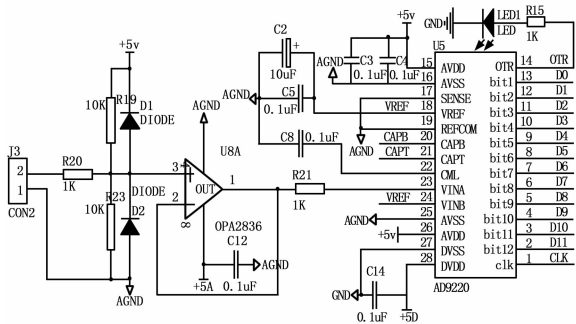


图 3 数据采集电路

2.4 数模 (D/A) 转换电路设计

系统中 D/A 转换电路采用 AD558 芯片进行设计, 该芯片是一款完整的电压输出 8 位数模转换器。如图 4 所示, D/A 转换芯片与 FPGA 进行数据管脚连接, 采用 +5 V 单电源供电和单极性输出。系统根据 FPGA 接收到的波形数据, 由控制逻辑输出波形数据到 D/A 转换电路输出波形信号, 从而直观验证数据传输的准确性。

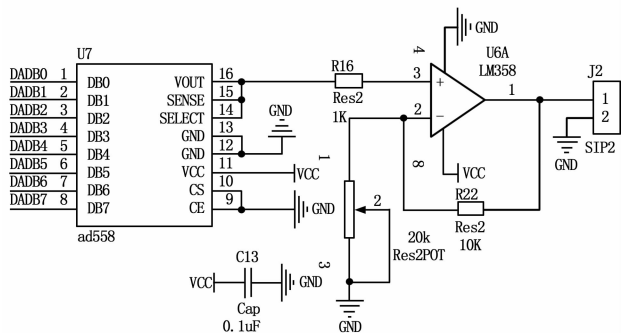


图 4 D/A 转换电路

3 USB 双向数据传输系统实现

USB 双向数据传输系统的实现主要有 3 部分内容: 1) FPGA 内部控制逻辑的设计, 包括 NIOS II 软核资源的配置; 2) USB 控制器固件程序的设计; 3) 数据传输系统上位机操作软件的设计, 包括显示界面、传输数据处理等^[6]。

3.1 FPGA 控制逻辑设计

FPGA 作为系统主控制部件, 负责数据的采集与传输控制。系统在 FPGA 内嵌入 NIOS II 处理器, 与 FPGA 硬件逻辑快速并行运行的特点形成优势互补。FPGA 内部的设计主要包括 A/D 数据采样和 FIFO 存储器控制模块设计, DDS 信号合成控制模块设计, USB 数据发送和接收控制模块设计。NIOS II 软核的主要任务是对各模块进行协调辅助控制及 USB 数据传输控制, 产生相应的控制信号, 发挥其控制操作方便灵活的特点^[7]。

系统初始化后, FPGA 根据采样速率设置要求对系统时钟进行分频, 输出 A/D 芯片的转换时钟信号; 在元件库中调用一个 LPM_FIFO 模块作为 A/D 采样的数据存储, 设置为 12 位数据宽度和 2 048 个字存储深度, 具有独立的读写时钟和读写使能信号, 有写满标志位和读空标志位。NIOS II 软核控制 A/D 芯片进行数据采集, 把采集的数据存储到 FIFO 存储器中, 当 FIFO 写满标志有效后停止采集数据, 由 NIOS II 控制器读取 FIFO 内数据进行处理, 找出信号同步触发点数据, 然后发送触发点后 1024 个字的数据到 USB 芯片的 EP2 端点存储区, 当数据存满一块 FIFO 区后数据自动封包上传, 上位机检测到数据后进行读取显示处理, 显示被采集信号的波形, 从而完成数据的向上传输过程, 传输流程如图 5 (a) 所示。

当 FPGA 接收到数据下传指令后, 设置 USB 芯片的 EP4 输出端点处于选通状态, PC 机通过 USB 总线发送 1 024 个字节波形数据到 USB 芯片 FIFO 存储器中, NIOS II 控制器检测到数据标志位有效后读取数据处理。设计一个 DDS 波形信号生成模块, 包括地址累加器和波形数据存储, NIOS II 控制器把接收到的波形数据存入 LPM_RAM 中, 设置信号输出频率后由 D/A 模块输出波形, 通过示波器观察波形验证数据向下传输的正确性。向下传输流程如图 5 (b) 所示。

3.2 USB 芯片固件程序设计

固件程序是在 CY7C68013A 的 8051 内核运行的软件, 通过程序配置 USB 芯片工作在特定的工作模式下实现数据传输。固件程序主要完成的功能包括: 1) USB 芯片初始化设置; 2) 辅助芯片完成重新枚举过程, 实现与主机的连接; 3) 对中断进行相应处理; 4) 数据接收和发送控制; 5) 以及对外部电路的控制。

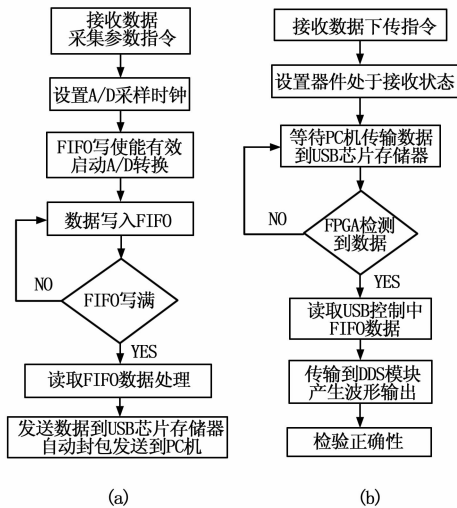


图 5 FPGA 控制双向数据传输流程图

Cypress 公司为用户提供了 EZ-USB FX2LP 开发套件, 包含了一个完整的固件程序架构, 用户开发时只需编写少量与硬件设计相关的代码, 减少设计工作量。在程序中初始化设置寄存器 IFCONFIG = 0xcb, 即设置 CY7C68013A 工作于 Slave FIFO 模式, 工作时钟为内部 48 MHz, FIFO 工作在同步模式下。USB 芯片内有 4 Kbyte 的可配置 FIFO 缓冲区, 可由 EP2, EP4, EP6 和 EP8 几个端点分配, 在设计中选择 EP2 和 EP4 两个端点, 其中 EP2 配置为数据输入端点, 负责传输 A/D 采集的数据到 PC 机软件端, EP4 配置为数据输出端点, 负责传输由 PC 机发送的波形数据及相关控制指令。同时设置 EP2 端点为 AUTO IN 模式, FIFO 填满后自动发送数据, 设置 FIFO 的数据宽度为 8 bits, 配置 4 级 FIFO 缓冲区, 每块存储空间为 512×8 bits, 设置多级缓冲区可以匹配通信双方的读写速率, 有效提高数据传输速度。

3.3 PC 机应用程序设计

PC 机应用程序主要负责数据传输的人机交互工作, 在与 USB 控制器连接成功后, 可以通过 USB 通道向采集系统发送数据采集指令和参数, 读取 FPGA 控制器上传的采集数据, 并通过波形方式和十六进制数据格式实时显示出来, 以便监控向上传输数据的可靠性和稳定性; 在进行批量数据由 PC 机向下传输中, 通过向下发送波形数据和频率控制字实现, 包括发送方波、三角波及正弦波几种数据, 在软件界面中通过几个按钮操作实现, 波形数据由内部程序计算得到。USB 双向数据传输操作显示界面如图 6 所示。

USB 芯片与应用程序的通信连接需要有驱动程序支持, Cypress 公司提供的开发套件包含了驱动程序 Cyusb.sys, 可以满足系统的 USB 双向通信要求, 不需要单独开发驱动程序。系统应用程序在 VC++6.0 软件平台上设计, 建立一个 MFC 对话框应用程序, 在头文件部分加入 3 个 CYAPI 库文件: cyapi.h、cyioct.l.h、cyapi.lib, 加载到工程项目中进行编译后即可调用 USB 传输控制函数与下位机进行通信。

首先要建立一个 USB 设备对象, 用它来打开 USB 设备; 设备打开成功后, 建立对应的输入输出端点对象, 从而完成 USB 设备连接工作。为了提高数据传输速度, 把获取采集数据操作放在单独线程中, 通过控制端点发送传输控制指令到数据

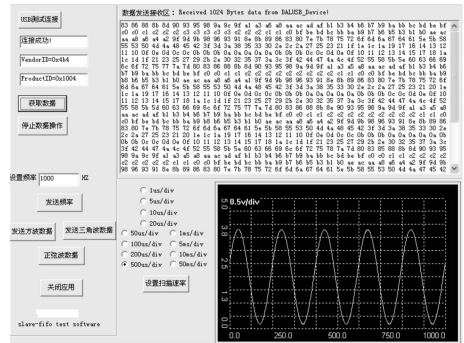


图 6 USB 双向数据传输操作显示界面

采集端, 然后启动上位机数据接收线程, 并依次调用 3 个数据传输处理函数 BeginDataXfer(), WaitForXfer(), FinisataXfer(), 成功返回后实现一次异步数据传输过程^[8]。数据接收线程是循环执行的, 所以可以实现数据的连续接收。向下传输数据的过程与接收上传过程类似, 都需要调用相关函数实现。

4 测试结果与分析

系统采用 FPGA 作为控制核心器件, 内部创建 FIFO 作为数据缓冲区, 与 A/D 数据采集模块、USB 器件组成多级流水线式数据传输结构, 使得数据采集、存储缓冲、传输等操作可以同时进行, 避免数据传输阻塞, 提高传输数据的速度。

采用 AD9220 的最高采样率 10 Msps 进行数据采集传输测试, 采样信号为 100 kHz 正弦波。通过 USB 总线把采集数据实时发送到 PC 机软件端, 设置显示水平扫描速率为 $1 \mu\text{s}/\text{div}$, 信号波形可以完整显示出来。由于传输采用 8 位数据宽度, 而 AD 采样数据为 12 位数据, 需要分两个字节进行传输, 采用 10 Msps 采样率进行数据采集, 理论上每秒会有 20 Mbyte 的数据通过 USB 总线传输。通过 USB 总线分析测试软件 Bus Hound 测得系统数据传输速度为 21.5 MB/s, 因为系统附加了一些信息传输, 所以比理论数据传输速度 20 MB/s 稍高, 通过查看数据文件证明数据传输大小正确。

为了测试系统的最高传输速度, 在 FPGA 内建立一个工作在 20 MHz 时钟下的 12 位累加器, 用来模拟 AD 作为传输数据源, 用测试软件测得系统数据传输速度为 34.5 MB/s, 比数据源 40 MB/s 的生成速度要小, 查看发现有数据丢失现象, 证明数据传输速度达不到 40 MB/s。经过多次试验发现调整数据源时钟使数据源生成速度在 33 MB/s 以下时, 系统能够正确传输数据。实验证明了系统的数据传输可靠性高, 数据最高传输速度达到 33 MB/s。

5 结束语

介绍了一种以 FPGA 为主控制器、以 CY7C68013A 为通信接口的 USB 数据传输系统实现方案, 配合上位机软件操作可以在 PC 机和 FPGA 设备端之间进行大量数据的传输, 数据传输速度较快, 可靠性高。基于 FPGA 内嵌 NIOS II 软核控制器进行传输逻辑控制, 简化电路设计, 方便系统维护和更新。设计方案通用性较强, 对于使用 USB 接口进行数据传输的设计具有一定的参考价值, 系统已经成功应用 USB 便携式数据采集卡系统设计中, 预计在虚拟智能仪器及便携式通信传输系统等领域中将有广阔的应用前景。

(下转第 2558 页)

当飞行器的某个姿态喷管发生故障而无法正常工作时，首先，更改控制策略，即将力耦控制方式变换为非力耦控制方式，并重新选择可正常工作的喷管，基于正常工作的喷管，利用定量反馈的控制方法对姿态控制律进行重构，从而使飞行器的姿态在新的状态下重新达到稳定。在这一过程中，有两个关键点：一是重新选择喷管；二是重构姿态控制律。

3.1 重新选择喷管

对于偏航通道，配置了 1、2、3、4 号共 4 个姿控喷管，假设 1 号喷管发生故障，2、3、4 号喷管正常，此时，喷管的选择有如下三种方式：第一种为使用 2、3 号喷管进行姿控，第二种为使用 3、4 号喷管进行姿控，第三种是使用 2、3、4 号喷管进行姿控。

3.2 重构姿态控制律

选择使用 2、3 号喷管进行姿控，由于可使用的喷管发生变化，所以，根据重新选择的喷管，应用定量反馈的方法得到重构的姿态控制律。此时，飞行器姿控能力下降，控制导数减小，其动力特性的变化可以用姿态动态特性的导数变化描述。用 QFT 对新的不确定对象进行设计，通过重构控制系统，确定新的 QFT 控制律的控制器 $G(s)$ 和 $F(s)$ 如下所示：

$$G(s) = 43.2 \left(\frac{s}{3.2} + 1.65 \right)$$

$$F(s) = \frac{2.35}{s + 2.35}$$

出现故障后，经重构控制系统对飞行器姿态控制进行重构后仍可使飞行器进入稳定运行状态，整个过程如图 5 所示。

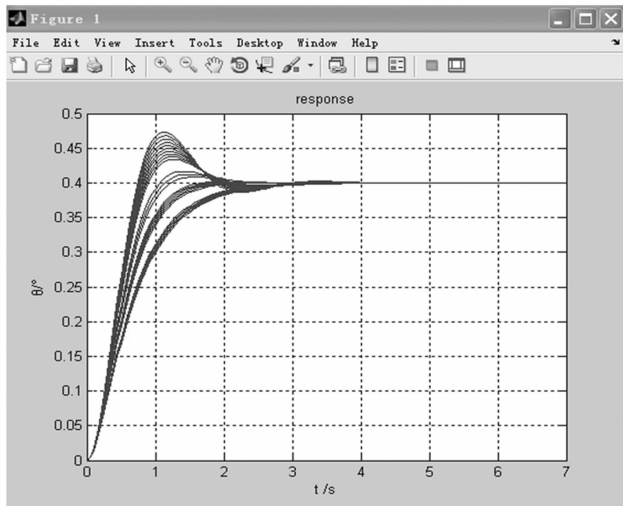


图 5 重构控制律作用下的时域响应

4 结论

本文应用 QFT 方法，为飞行器控制设计了鲁棒控制器和前置滤波器，使其满足鲁棒稳定性要求。

当某个喷管发生故障时，为了避免姿态失稳，重新选择喷管进行姿控。通过 QFT 方法，进行重构姿态控制律设计，经重构控制系统对飞行器姿态控制进行重构后仍可使飞行器进入稳定运行状态，表明了 QFT 在重构飞行控制设计中的应用前景。

参考文献：

- [1] 王增会, 陈增强, 孙青林, 等. 定量反馈理论发展综述 [J]. 控制理论与应用, 2006, 23 (3): 403-410.
- [2] Phillips S N, Pachter M. A QFT Subsonic envelope flight control system design [A]. Proc of the IEEE1995onNational Aerospace and Electronics Conference [C]. Dayton, OH: IEEE Press, 1995: 537-544.
- [3] Keating M S, Pachter M, Houppis C H. Fault tolerant flight control system: QFT design [J]. Int. J. of Robust and Nonlinear Control, 1997, 7 (6): 551-559.
- [4] Pachterm, Houppisch, Torosen P W. Design of an air-to-air automatic refueling flight control system using quantitative feedback theory [J]. Int. J. of Robust and Nonlinear Control, 1997, 7 (6): 561-580.
- [5] Pachterm, Houppisch, Kang K. Modeling and control of an electro-hydrostatic actuator [J]. Int. J. of Robust and Nonlinear Control, 1997, 7 (6): 591-608.
- [6] Horowitz I, Arnold P B, Houppisch. Yf16ccv flight control system reconfiguration design using quantitative feedback theory [A]. Proc of the IEEE on National Aerospace and Electronics Conference [C]. Dayton, OH: IEEE Press, 1985: 578-585.
- [7] Wu S F, Grimble J, Weiw. QFT-based robust/fault-tolerant flight control design for remote pilotless vehicle [J]. IEEE Trans on Control Systems Technology, 2000, 8 (6): 1010-1016.
- [8] Clough B T, Horowitz I, Houppis C H. Robust controller design for a short take-off and landing (STOL) aircraft using quantitative feedback theory [A]. Proc of the IEEE on National Aerospace and Electronics Conference [C]. Dayton, OH: IEEE Press, 1986: 440-447.
- [9] Navid N, Nariman S. A QFT fault-tolerant control for electro-hydraulic positioning systems [J]. IEEE Trans on Control Systems Technology, 2002, 10 (4): 626-632.
- [10] Karpenko M, Nariman S. Fault-tolerant control of a servo-hydraulic positioning system with crossport leakage [J]. IEEE Trans on Control Systems Technology, 2005, 13 (1): 155-161.

(上接第 2555 页)

参考文献：

- [1] 倪明辉, 周军, 杨庚. USB 在 FPGA 控制的高速数据采集系统中的应用 [J]. 计算机测量与控制, 2006, 14 (2): 268-271.
- [2] 李朋勃, 张洪平. 基于 FPGA 和 USB2.0 的高速数据采集系统 [J]. 单片机与嵌入式系统应用, 2009, 09: 32-35.
- [3] 吕超, 张玉霞, 王立欣. USB 接口高速数据传输的实现 [J]. 计算机测量与控制, 2009, 17 (5): 1003-1005.
- [4] 钱峰. EZ-USB FX2 单片机原理、编程及应用 [M]. 北京: 北京航空航天大学出版社, 2006.

- [5] 曾虹, 等. 基于 USB 的高速并行数据采集系统的设计与实现 [J]. 计算机测量与控制, 2007, 15 (8): 1105-1007.
- [6] 徐庆元, 张天序. 基于 USB 总线的高速视频采集系统设计 [J]. 微计算机信息, 2006, (10): 247-248.
- [7] Bi B, Sun S Y, Wang C P. Design of Data Acquisition Equipment Based on USB [A]. Proceedings of 2007 8th International Conference on Electronic Measurement and Instrument [C]. 2007: 1-2.
- [8] 袁江南. 基于 USB2.0 与 FPGA 技术的高速数据采集系统的设计 [J]. 电子技术应用, 2007, 07: 116-118.