

基于 1553B 总线和以太网的接口卡设计

王淑琴, 甄国涌, 文丰, 李辉景, 周涛

(中北大学 仪器科学与动态测试教育部重点实验室 电子测试技术重点实验室, 太原 030051)

摘要: 为实现指令的可靠接收和远距离、大容量数据的高速回收, 结合 1553B 总线的实时性、高可靠性和以太网传输的速度快、距离远等优点, 设计了基于 1553B 总线和以太网的接口方案; 介绍了 BU-65170 作为 RT 端与 BC 端通信的硬件设计、初始化配置及消息的接收, 阐述了 W5300 与远端上位机通讯的硬件设计及 UDP 传输, 并针对以太网采用快速 UDP 传输方式的不可靠性, 从硬件设计和逻辑实现进行了可靠性优化, 经过试验验证, 采用 20 m 屏蔽双绞线, 以 7 MB/s 速度传输数据, 未出现丢数和误码现象, 已成功应用在工程实践中。

关键词: 1553b 终端; 以太网; UDP 传输; 可靠性

Design of Interface Card Based on 1553B Bus and Ethernet

Wang Shuqin, Zhen Guoyong, Wen Feng, Li Huijing, Zhou Tao

(Ministerial Key Laboratory of Instrumentation Science and Dynamic Measurement, Science and Technology on Electronic Test and Measurement Laboratory, North University of China, Taiyuan 030051, China)

Abstract: To achieve the reliable receiving of the command and the high-speed access of large capacity of data, combined with the real time and high reliability of 1553b bus and the high speed and long distance of Ethernet transmission, designed a interface scheme based on 1553b bus and Ethernet protocol. Introduced in detail the hardware design, pattern configuration and implementation of receiving message of BU-65170 as RT communicating with BC, and expounded hardware design and UDP transfer of the communication between W5300 and terminal computer. The reliability is optimized via hardware design and logical realization to overcome the unreliability of the rapid UDP transmission. Through the test, with 20m shielded twisted-pair cable, 7 MB/s data transmission speed, no data lost and error phenomenon. It has been successfully applied in engineering practice.

Keywords: 1553b terminal; Ethernet; UDP transmission; reliability

0 引言

MIL-STD-1553B 总线最初是由美国在 20 世纪 70 年代为适应飞机发展提出来的飞机内部电子系统联网的标准, 其高度可靠性、实时性及灵活性使其应用领域从美国飞机航空电子系统逐步扩展到飞行控制等系统及坦克、舰船、航天等领域^[1]。以太网因其具有传输速度快、传输距离远, 可以方便地实现系统的远程控制、硬件构架上实现容易且成本较低等特点, 被广泛应用于航空、航天领域^[2]。本文综合 1553B 总线的高可靠性、灵活性和以太网的高传输速度、硬件构架简单等优点, 设计并实现了基于 BU-65170 和 W5300 的接口方案, 可靠地接收 1553 总线命令, 并通过以太网快速回收大容量数据。

1 系统结构及原理

本系统实现方案如图 1 所示, 主要包括 3 个功能模块: 1553B 接口模块、以太网接口模块和 FPGA 控制模块。1) 1553B 接口模块选用 BU-65170 收发器作为 RT 端, 接收 1553 总线上消息; 2) 以太网接口模块选用 W5300 以太网协议芯片作为数据发送端, 将数据通过 20 m 双绞线传输给远端

上位机; 3) FPGA 控制模块选用 Xilinx 的 XC3S400 作为中心控制器, 控制 1553B 接口, 实现总线消息的接收及解码, 并通过内部总线转发至各采集卡, 执行相应操作; 控制以太网接口, 接收到读数指令后, 将各采集卡上传给接口卡的数据, 通过 20 m 电缆发送至上位机。

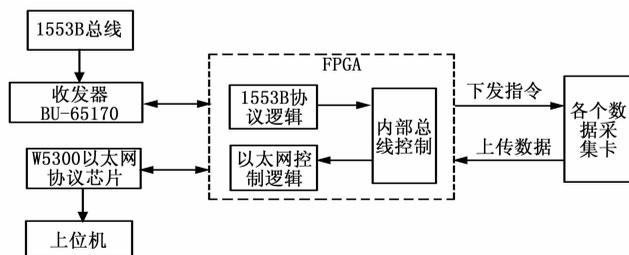


图 1 系统组成图

2 硬件电路设计

2.1 1553B 接口与 FPGA 连接

1553B 硬件接口设计如图 2 所示, 选用 BU-65170 1553B 接口芯片, 由两个低功耗双端收发器、协议逻辑、存储器管理逻辑、处理器接口逻辑及内置共享静态 RAM 和直接面向主微处理器的缓存接口等组成^[1]。D0-D16 数据线、中断请求信号 INT 及 READY 信号分别通过 16 位电平转换芯片和 2 位电平转换芯片与 FPGA 相连, 匹配引脚电平, 同时控制数据传

收稿日期:2013-12-09; 修回日期:2014-03-13。

基金项目:中北大学校基金。

作者简介:王淑琴(1990-),女,山西临汾人,硕士研究生,主要从事数据采集与存储研究。

输方向。TRANSPARENT/BUFFERED、ZERO_WAIT 引脚置低，16/8 引脚置高，选择 BUFFER 模式下的零等待模式及 16 位数据传输模式。FPGA 通过地址线 A0-A11 访问 BU-65170 寄存器及 4 K 的内部 RAM，并通过复位、存储器寄存器选择、读写控制等信号实现对 BU-65170 的逻辑控制。

1553B 接口与总线之间采用短截线进行连接，短截线与总线的连接方式有两种：直接耦合和变压器耦合。直接耦合是将短截线直接连接到总主线，变压器耦合是在直接耦合的基础上加了一个耦合变压器，对终端实行两级隔离，增加了数据传输距离，同时提高了系统的可靠性。直接耦合短截线的长度最大为 1 英尺（约 0.3 m），而变压器耦合方式短截线长度最大可以达 20 英尺（约 6 m），在本设计中采用变压器耦合方式^[3]。

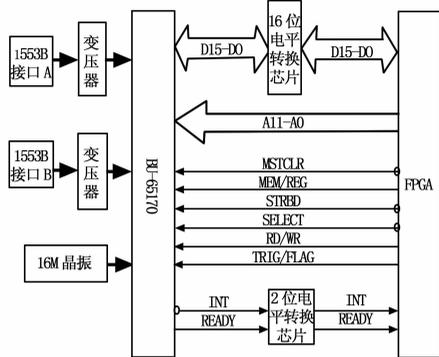


图 2 BU-65170 硬件接口连接图

2.2 以太网接口与 FPGA 连接

以太网接口硬件设计如图 3 所示，选用 W5300 以太网协议芯片，内部集成了 10/100 M 以太网控制器，MAC 和 TCP/IP 协议栈，支持 8 独立的端口同时连接，通信速率最高可达到 80 Mb/s；与主机接口支持 8/16 bit 数据总线，支持两种主机接口模式；内部有 128 KB TX/RX 存储器，可根据端口通信数据吞吐量动态调整其分配^[2]。采用 T1-6T 变压器，保护接口电路。BIT16EN 引脚置高，选用 16 位直接地址总线模式，TEST-MODE [3: 0] 和 OP-MODE [2: 0] 置低，选用内部 PHY 和自动握手模式^[4]。FPGA 通过 CS、RD、WR、RESET 等信号实现对 W5300 逻辑控制。

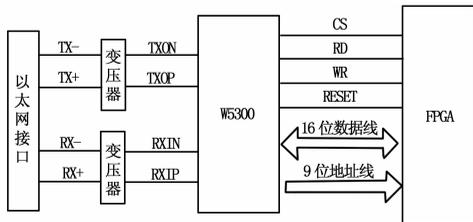


图 3 W5300 硬件接口连接图

3 FPGA 关键逻辑设计

3.1 BU-65170 初始化及 1553b 总线消息接收

BU-65170 共有 25 个寄存器，17 个内部寄存器用于与主机之间进行正常的操作，其余 8 个寄存器用于测试。设备上电复位后，首先配置 17 个内部寄存器：复位寄存器，复位整个芯片；配置寄存器 #1，配置 RT 模式；配置寄存器 #3，设置

RT 堆栈大小；中断屏蔽寄存器，消息结束后产生中断；配置寄存器 3，增强模式允许；配置寄存器 1，开启 RT。

1553B 模块主要完成的功能是接收总线上消息并解码出命令，通过内部总线转发给各个采集卡，执行相应的操作。BC to RT 的消息格式：控制字+命令字+数据字。控制字不发送到总线上，故 RT 端接收的消息为：命令字+数据字。在 RT 模式下，在堆栈中有个实时的堆栈表，对于每一条消息都有一个 4 word 的 Description Block，依次为 Block status、time tag word、指向数据的地址指针和收到的 16-bit 命令字，每接收一条消息后，堆栈指针增加 4。

消息的接收过程：检测 INT 产生中断后，读中断状态寄存器，判断是否为消息中断，若非消息中断，则等待下一个中断产生；若为消息中断，则读堆栈指针，在堆栈地址：堆栈指针-1，读取接收到命令字，获取 RT 子地址及消息字节数；堆栈指针-2，获取数据地址指针。根据子地址，在 Lookup Table 中找出对应子地址的消息块，在消息块中，根据数据地址指针及消息字节数，读取数据，完成消息接收，等待下一次消息中断的产生。

3.2 W5300 初始化及数据发送

W5300 不支持上电复位，需对其进行软件复位，RESET 信号低电平 20 μs，恢复高电平后保持 15 ms，等待锁相环逻辑稳定。复位完成后，需对 W5300 进行初始化，包括主机接口配置、网络信息配置和内部 TX/RX 存储空间分配。调用 FPGA 内部 IP 核，生成 Block Memory 模块，将配置信息写入 coe 文件中，Block Memory 模块读取 coe 文件，完成 W5300 的初始化，简化配置过程并且增加程序的修改、调用的灵活性^[5]。初始化内容主要有：1) 模式寄存器，16 位总线模式、禁止 FIFO 交换数据、直接地址模式；2) 通用寄存器，数据发送完成中断、超时中断、本机硬件地址及 IP 地址；3) SOCKET 寄存器，TX/RX 端口号、端口类型、存储空间分配、目的端口号及 IP 地址。

以太网接口主要实现内部总线接口上大量数据的高速上传。W5300 支持 TCP 和 UDP 两种数据传输协议。TCP 传输是一种面向连接的传输协议，数据传输之间需建立端口连接，可以保证数据的可靠传输。UDP 传输是一种数据电报传输协议，数据传输前不需要建立连接，与 TCP 传输相比，操作简单，且传输效率高，虽然不保证数据的可靠传输，会出现丢包的问题，但在一定的传输速率及可靠性设计之下，依然可以保证数据的完整传输，所以本文选用 UDP 方式传输数据。

数据传输过程：接口卡接收到读数指令时，打开端口，将发送数据包写入指定端口的 S_TX_FIFO 寄存器，并将数据包长写入 S_TX_WRSR（由于是点对点传输，目的 IP 地址及端口号等在初始化配置中已设定），配置 Sn_CR 寄存器，开启数据发送，数据发送后，检测 S_IMR 中断屏蔽寄存器，产生数据发送完成中断或超时中断后，清除中断，一包数据发送完成，开始发送下一包数据，发送结束后，关闭端口，具体流程如图 4 所示。

超时时间计算 (ARPT_o): $ARPT_o = (RTR \times 0.1 \text{ ms}) \times (RCR + 1)$ (RTR 超时重传时间, RCR 超时重传次数) (1)

4 可靠性设计

针对以太网接口采用 UDP 传输方式的不可靠性，从硬件

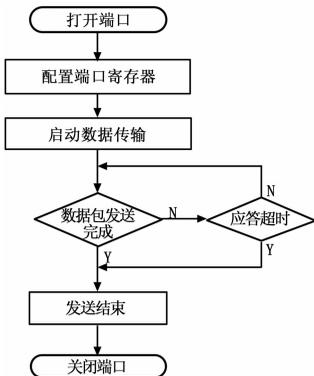


图 4 W5300 数据发送流程图

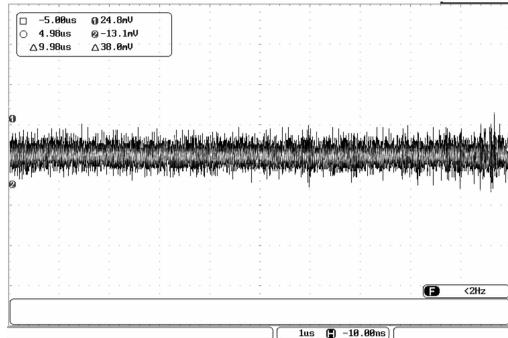


图 6 磁珠隔离后电源纹波图

电路和逻辑设计上对其进行可靠性优化, 以保证数据的可靠传输。

4.1 硬件电路设计

4.1.1 使用隔离变压器并进行阻抗匹配

在 W5300 数据发送端使用隔离变压器耦合信号电平, 增强信号并使其传输距离更远; 将芯片与外部隔离, 抗干扰能力增强, 保护接口。对差分信号线进行阻抗匹配, 降低差模信号和共模信号的影响。

4.1.2 严格的 PCB 布线

PCB 布线时, 差分信号线尽量平行且等长, 去耦电容靠近电源放置, 采用多点接地, 在 PCB 的外层, 采用覆铜的办法, 防止外界信号影响板内的信号。

4.1.3 使用磁珠隔离 1.8 V 数字电源和模拟电源

数字电源中会带有一些噪声信号, 这些信号对数字电路可能影响不大, 但对于模拟电路来说, 很可能会引起逻辑的误判, 磁珠专用于抑制信号线、电源线上的高频噪声和尖峰干扰, 还具有吸收静电脉冲的能力。因此, 采用磁珠滤除尖峰信号, 同时将数据电源与模拟电源进行隔离, 彼此互不影响。如图 5 所示, 使用直流电源给接口供电, 不加磁珠隔离, 1.8 V 电源的纹波, 可见电源上有尖峰信号, 由于直流电源本身纹波就小, 因此只有 64 mV, 图 6 为加磁珠隔离后, 1.8 V 电源的纹波示意图, 从图中可以明显看到, 尖峰信号被滤除。

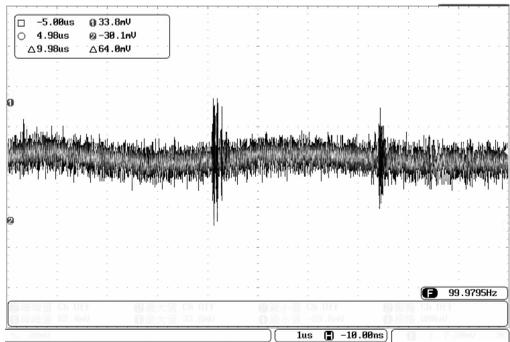


图 5 磁珠隔离前电源纹波图

4.2 逻辑设计

4.2.1 逻辑冗余设计

系统逻辑设计的可靠性直接影响其工作的稳定性, 因此, 在进行逻辑设计时, 一定要考虑信号的延迟及电路中可能存在的“毛刺”所带来的影响, 进行冗余设计提高逻辑的可靠性。

例如: 复位时, 低电平持续时间大于 $2 \mu\text{s}$, 高电平保持时间大于 10 ms , 让锁相环稳定, 保证芯片在高低温环境及振动环境下都能充分复位。读寄存器时, re 低电平时间至少 65 ns , re 低电平 42 ns 后数据开始建立, 此时数据是不稳定的, 如果在这个时间段读取数据, 必然会出现误码, 在高低温或振动等其他条件下, 数据的建立时间会更长, 所以, 需充分考虑恶劣环境下的影响, 在数据稳定后读取, 提高逻辑可靠性。

4.2.2 采用双口 ram 缓存数据

以太网数据发送的速率与内部总线接口上数据接收的速率不相等, 如果采用直接数据传输, 会导致大量的数据丢失, 而调用 FPGA 内部的双口 ram 作为数据的缓存, 通过比较 ram 读写地址, 判断 ram 中的数据量, 协调以太网和总线接口数据传输的速度, 即使在系统工作环境影响传输速率的情况下, 依然能有效保证数据的完整性。

5 系统验证与分析

本系统功能验证, 需使用 1553B 测试卡充当 BC 端, 向接口卡 RT 端发送读数指令, 接口卡接收到读数指令后, 接收采集卡上传数据, 并通过 20 m 双绞线传输至上位机。上位机接收到的数据, 每帧数据均由数据帧头、帧计数和真正数据构成, 共 1 024 个字节, 从数据中可以观察到, 各数据帧帧头对齐, 且帧计数递增, 表明没有丢数现象。

6 结束语

本文介绍了一种基于以太网和 1553 总线的接口设计方案, 实现了 1553B 总线命令的可靠接收, 并通过以太网快速回收内部总线数据, 本设计通过高低温循环实验、振动实验等, 无出现丢数及误码现象。

参考文献:

[1] 凌志华, 谭立英, 陶坤宇. 基于 BU-65170 的 1553B 终端设计 [J]. 微计算机信息, 2008, 24 (2): 273-274.
 [2] 白佳俊, 孟祥勇, 张德平. 基于 W5300 和 FPGA 的实时数据采集系统设计 [J]. 电子技术应用, 2013, 39 (4): 19-25.
 [3] 于雅丽, 陈锦莉. 1553B 通信研究及其在导弹测试系统中的应用 [J]. 计算机测量与控制, 2009, 17 (2): 360-362.
 [4] 乔立岩, 梁宇, 赵浩然. 基于 W5300 的以太网接口设计 [J]. 电子测量技术, 2012, 35 (7): 129-132.
 [5] 焦亚涛, 任勇峰, 李娜娜. 基于一种可靠的百兆以太网接口设计与实现 [J]. 化工自动化及仪表, 2012, 39 (1): 71-73.