

阻性电子负载卡的设计及其在航空测试中的应用

宰辰熹, 胡向阳

(凌云科技集团技术中心, 武汉 430040)

摘要: 阐述了采用 PCI 接口芯片和 FPGA 技术研制阻性电子负载卡的方法, 重点分析了基于 FPGA 芯片控制逻辑的实现方法, 总结了使用接口芯片开发 PCI 总线板卡的关键要点和开发驱动软件的步骤; 通过在航空测试系统中的实际应用, 验证了该 PCI 阻性电子负载卡的设计能够达到航空修理领域对电阻模拟的实时响应性、准确性的需求。

关键词: PCI 总线板卡; 阻性电子负载; FPGA; 驱动设计

Design and Application of PCI Resistive Loads in Avionics—Testing

Zai Chenxi, Hu Xiangyang

(Technology Center, Lingyun Science & Technology Group Co., Ltd., Wuhan 430040, China)

Abstract: This article expounds the approach of how to develop a PCI resistive load card based on PCI interface chips and FPGA technology, mainly focusing on the implementation of control logic on FPGA, key points of using PCI interface chips to develop PCI cards and procedures to develop driver. Actual application of this card which offers guaranteed low resistor tolerance errors of $\pm 1\%$ with a temperature coefficient of 35 ppm/ $^{\circ}\text{C}$ in several avionics testing equipment indicates that the card's responsivity and veracity can meet the requirements in aviation maintenance field.

Keywords: PCI card design; resistive loads; FPGA; driver design

0 引言

航空修理过程中经常用传统电阻箱来模拟飞机上各种类型的阻性传感器的工作特性, 用以辅助对其他机载部件进行内场配套或者单件性能测试。但是, 当面对测试中多通路阻值模拟的需求, 则必须采用多个电阻箱配合现场搭建电路, 接线复杂, 操作繁琐, 不利于实现内场测试过程的自动化。即便采用市面常见的数字采集卡输出模拟电压替代模拟阻值输出的方式来实现自动化测试, 也会由于这种测试手段的实现机制的不同, 必定造成用修正系数修正非线性测量误差的难度, 也给飞机机载部件的单机测试工艺带来标定困难。一般在这种以模拟电压等效替代阻性传感器工作方式的测试过程中, 必须加入一定的修正系数才能弥补模拟误差, 而对于部分国外产品, 还有可能因为资料原因, 造成得到精确地非线性修正系数相当复杂。

阻性电子负载的出现使这个问题迎刃而解, 但由于市面上基本上没有符合航修需要的精度和功率参数的货架产品, 面对这一现状, 自行开发了一款 PCI 板卡, 利用 PCI 总线特性和现场可编程门阵列 (FPGA) 器件的用户可编程性, 设计出 PCI 阻性电子负载卡, 成功应用于某型战斗机极限信号计算机测试系统和某大型运输机的杆力调节系统负载机构测试设备中, 满足了上述机载产品的内场测试需求。

1 硬件设计

PCI 阻性电子负载卡的硬件设计框图如图 1 所示。

如图 1 中所示, PCI 接口控制芯片将计算机 PCI 总线发来

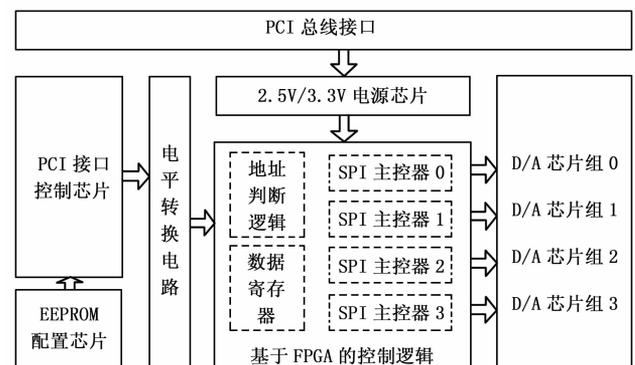


图 1 板卡硬件框图

的指令和数据, 按照配置好的模式转发到局部数据总线和局部地址总线; 局部总线信号经电平等效电路后, 由 FPGA 读取局部总线上的数据和地址; 在 PCI 接口芯片读写信号的控制下, FPGA 进行局部总线数据并/串转换, 并判断数据用于控制哪一组 D/A 芯片组。由 FPGA 内部编程设计的 SPI 主控器会输出一系列满足 SPI (Serial Peripheral Interface) 时序要求的控制信号及读写信号, 将 FPGA 收到的数据以约定的 SPI 串行通信方式传输到 D/A 阻性负载芯片组中, D/A 阻性负载芯片组收到串行数据后, 将串行数据转换成模拟电阻值进行输出。

1.1 PCI 接口设计

本卡 PCI 接口的设计确定为采用 5V/32 位 PCI 连接器规范, 板卡上芯片供电取自 PCI 总线接口, 板卡的功率设计为不超过 15 W, PCI 接口的设计符合 PCI V2.1 规范, 达到 PCI 总线目标设备实现基本的传送要求。设计中使用 PCI 接口芯片的 5 个局部地址空间和 4 个局部设备片选信号, 并采用了非多路复用 32 位总线, 局部地址空间 2, 直接从数据传输模式

收稿日期: 2014-01-25; 修回日期: 2014-03-05。

作者简介: 宰辰熹 (1978-), 男, 湖北武汉人, 工学学士, 主要从事自动化测试系统、嵌入式系统以及 PCI 板卡的研究, 航空器维修等方向的研究。

(目标模式)，局部地址空间映射到 PCI 存储器空间，局部地址范围为 0x0000000 到 0x0000000C，每 4 个连续单元存储一个模拟阻值通道的 32 位数据。

1.2 串行 EEPROM 的配置

PCI 接口芯片是由串行 EEPROM 配置的，PCI 接口芯片的配置寄存器分为 PCI 配置寄存器和局部配置寄存器，二者都可以由 PCI 总线和串行 EEPROM 访问。寄存器的内容在芯片复位时通过串行 EEPROM 进行加载。以下是 EEPROM 的配置设计思路：

首先，在 PCI 配置寄存器中实现的设备 ID、制造商 ID、版本号、首区类代码、类别代码、指令寄存器和状态寄存器等寄存器。通常情况下，操作系统使用这些寄存器的内容来决定该 PCI 设备，并加载其驱动程序。

其次，PCI 配置寄存器提供有 6 个基地址寄存器 (BASE0 ~BASE5) 这些基地址都是系统中的物理地址，其中 BASE0 和 BASE1 是用来访问局部配置寄存器的基地址，BASE0 是映射到内存的基地址，BASE1 是映射到 I/O 的基地址，可用于通过内存和 I/O 来访问局部配置寄存器。这两个基地址可固定用于接口芯片的寄存器操作。通过 BASE2~BASE5 四个空间最多可以访问局部端所接的 4 个芯片，实现 4 个局部地址空间(局部空间 0~3) 的 PCI 总线访问。

再次，PCI 总线对局部端所连接芯片的局部地址映射是通过 4 个寄存器组 (PCI 基地址寄存器、局部范围寄存器、局部基地址寄存器、局部总线区域描述符) 来实现的。这个组定义了每个空间以及相应局部空间的特性。它们将局部端的芯片通过局部端地址 (在局部配置寄存器中设置) 翻译成 PCI 总线地址，也就是将本地的芯片映射到系统的内存或 I/O 口。而片选信号寄存器则是用来选定这些局部端所接的芯片的。这样，用程序操作这一段内存 (或 I/O) 实际上就是对本地芯片的操作。

设计的板卡上搭载有 EEPROM，它存储了 PCI 接口芯片的重要配置信息。当系统上电时，PCI 的 RST 复位后，PCI 接口芯片首先会检测 EEPROM 的是否存在，是否为空。若不为空，PCI 接口芯片将读取 EEPROM 的内容来初始化内部寄存器，BIOS 根据配置寄存器的内容进行系统资源分配，保证整个 PCI 设备的资源不会发生冲突。在编写配置时，各属性寄存器和控制寄存器的设置不能自相矛盾，地址范围和基址寄存器的设置必须符合要求。EEPROM 的内容非常重要，它直接关系到 PCI 板卡是否正常工作，在设计时需要非常注意。

表 1 EEPROM 的配置及装入顺序

偏移地址	值	说明
0h	520110B5	设备 ID 和制造商 ID
4h	06800000	类型号
8h	905010B5	子设备号和子制造商号
18h	FFFE0000	局部地址空间 2 范围寄存器
2Ch	01000001	局部地址空间 2 寄存器
40h	00800001	局部地址空间 2 描述寄存器
5Ch	00001043	中断/状态寄存器
60h	007C4252	控制寄存器

1.3 FPGA 的周边电路设计

本卡设计中，FPGA 芯片采的核心工作电压为 3.3 V，为防止计算机启动时电源冲击烧坏芯片，芯片电源两端都加置了

滤波和退偶电容。由于该芯片的工作电压与 PCI 接口的 5 V 电压不一致，因此卡上配备一枚电源芯片，将 5 V 转换为 FPGA 工作所需的 2.5 V 和 3.3 V 工作电压。

鉴于 FPGA 与 PCI 接口芯片的信号电平标准分别为 3.3 V 和 5 V TTL，为做到信号的电平匹配，必须在 QuartusII 软件中将 FPGA 的 I/O 端口电平模式设置为 PCI 信号兼容模式，并在两者的连接线路间加入输入和输出转换电路，保证芯片正常工作。设计原理图如图 2 所示。

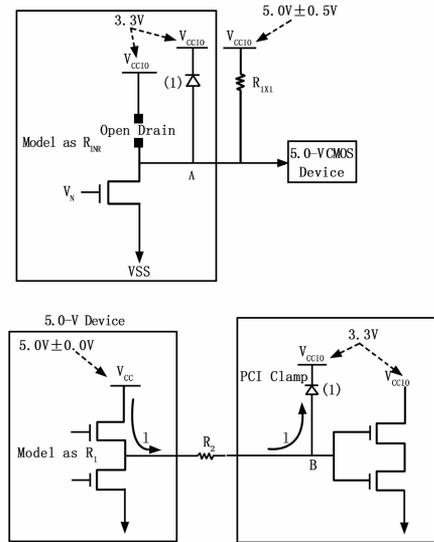


图 2 输入与输出电平转换电路原理图

2 软件设计

软件设计工作主要包括两个方面：(1) 设计 FPGA 内部控制逻辑；(2) 开发板卡的驱动程序。

2.1 基于 FPGA 的控制逻辑的设计

FPGA 的逻辑设计是在 Altera QuartusII 中使用 Verilog HDL 语言编写完成的，最终通过软件仿真测试。基于 FPGA 的控制逻辑设计是研发该卡的工作重点，它实现 PCI 接口控制芯片与 D/A 阻性电子负载芯片之间的数据传输控制，完成数据并/串转换功能，提供 SPI 时序要求的读写信号。

2.1.1 SPI 控制逻辑的设计

如图 3 所示 FPGA 内部逻辑设计有 4 个 SPI 主控器，每个 SPI 主控器的负责一个 SPI 通道，每个 SPI 通道用 SCLK, MOSI、SYNC 3 个信号同时控制 8 片具备 SPI 接口的 D/A 阻性电子负载芯片。

图 4 是 FPGA 向 D/A 阻性电子负载芯片写入数据的 SPI 逻辑时序图，图中 SCLK 是芯片的时钟线，它是板卡上的晶振时钟信号通过 FPGA 分频后所产生的；MOSI 是由 FPGA 并/串转换后，发送给 D/A 阻性电子负载芯片的串行数据；SYNC 是低电平有效的片选信号。所有信号的时序均由 FPGA 负责产生和控制。

2.1.2 FPGA 芯片与接口芯片通讯逻辑的设计

为利用 PCI 接口芯片的非复用 32 位传输功能，将并行数据传输到 FPGA 中，控制 FPGA 完成数据的串/并转换并输送到正确的通道上去，应首先分析接口芯片的数据输出时序图 (如图 5 所示)。

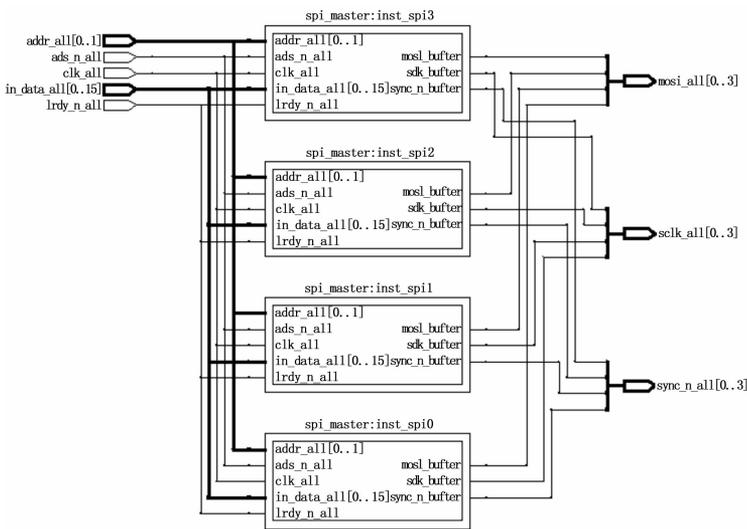


图 3 FPGA 顶层逻辑图

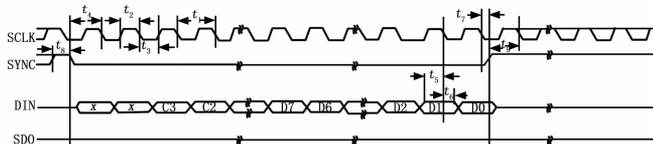


图 4 SPI 控制时序图

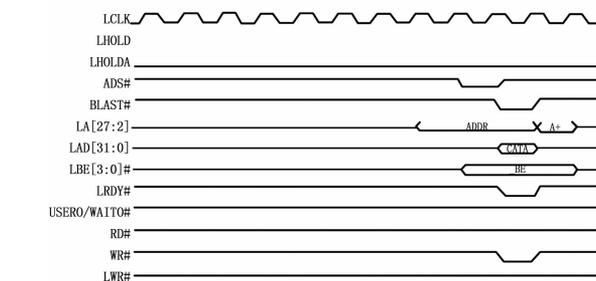


图 5 接口芯片的写 32 位数据时序图

由图 5 可以看出, FPGA 可以采用读取接口芯片局部总线上的 ADS# 和 WR# 信号 (ADS# 为局部总线地址准备好信号, WR# 为局部总线数据准备好信号) 的方法来判断局部总线上的地址和数据是否已经准备好, 因此只需根据这两路信号即可控制 FPGA 的动作时机。

在实际设计中, FPGA 一旦读到 ADS# 的有效电平, 便从局部地址总线读入地址, 用 FPGA 内部的设计地址分析逻辑判断出该数据将发往哪个 SPI 通道上的芯片组。待 WR# 有效信号出现后, 局部数据总线的数据才被并行读入 FPGA。在这里需要注意的是, 地址与数据的读入是分先后进行的, 地址的正确读入是数据正确读入的前提条件。在没有正确读入地址时, FPGA 是不会读入任何局部数据总线上的数据的, 这样可以保证数据传输的正确性, 避免误传输。

最后 FPGA 内部设计好的 SPI 主控器会将局部总线数据进行并/串转换, 并严格按照 SPI 的 SCLK 时钟的节拍, 将数据逐位送至 D/A 阻性电子负载芯片, 使 D/A 阻性电子负载芯片输出用户所指定的阻值。

2.2 驱动程序的开发

由于调用该卡工作的用户软件是在 LabWindows/CVI 的编程平台中开发完成的。PCI 板卡的驱动又是以动态链接库和头文件的形式供用户软件调用的, 所以, PCI 板卡开发的另一个关键问题是驱动程序的开发。

设备驱动程序提供链接到 PCI 卡的软件接口, 文件扩展名为 .sys 动态链接库。驱动程序开发的关键是如何完成硬件操作, 基本功能是完成设备的初始化, 对端口的读写操作、中断的设置和响应及中断的调用, 以及对内存的直接读写。本设计中的板卡驱动程序是利用 PCI 接口芯片的 SDK 进行开发的, 使用 SDK 可以直接访问和修改接口芯片串行 EEPROM 的配置信息及 PCI 内部配置寄存器的值, 并支持基于 API 函数的在线测试, 方便对中断控制和访问板卡映射的存储器等, 可以有效缩短开发调试周期。

2.3 应用程序设计

编写驱动程序本身不是最终目的, 最终目的是调用驱动程序管理资源, 并为用户应用程序使用。在本设计中, 当在计算机中将卡的驱动程序加载以后, 就可以在应用程序的可视化集成编程环境中加入 “PlxApi.h” 和 “PlxApi.lib” 文件, 利用接口芯片 SDK 中的 API 函数包即可直接调用驱动程序, 实现驱动程序和应用程序的信息交互。具体来说, 用下表所示的 API 函数包中函数, 就可以达到控制 D/A 阻性电子负载芯片输出阻值的目的。

表 2 应用程序中所用到的 API 函数

API 函数名	函数用途
PlxPci_DeviceFind	查找符合指定参数的 PCI 扩展卡
PlxPci_DeviceOpen	开启 PCI 扩展卡
PlxPci_DeviceReset	重置指定的 PCI 扩展卡
PlxPci_PciBarSpaceWrite	向卡上的 PCI 接口芯片的指定空间写数据
PlxPci_DeviceClose	关闭 PCI 扩展卡

3 设计中的关键点

板卡上所有器件的时钟信号应注意尽量需保持采用同一时钟源。本设计中 PCI 接口芯片的 PCLK 局部时钟信号与 FPGA 的全局时钟信号均取自 24 MHz 的有源晶振。采用全局统一的时钟源, 可以保证接口芯片的局部总线信号的时钟与 FPGA 的动作时钟同步, 使 FPGA 能准确的捕捉板卡局部总线上的数据同步信号, 避免 FPGA 读丢数据; 其次, 统一的时钟源在 FPGA 设计中也是提倡的, 这样做可以尽量减少 FPGA 内部组合逻辑出现冒险的几率, 保证 FPGA 动作结果正确可靠。

4 测试结果

本文中设计的阻性电子负载卡已成功运用在两套 PCI 总线平台的自动测试系统中, 分别用于模拟大型运输机上阻性空速传感器和战斗机的极限信号传感器。经测试, 该卡的阻值模拟效果良好, 具有精度高, 可靠性高, 响应快的特点, 测试结果达到了预期设计目标, 符合被测航空机载部件内场检测维修的标准与要求。

5 结束语

阻性负载是航空修理行业领域里最基础也是最不可或缺的测试资源。摒弃传统阻性负载试验方法, 提高阻性负载自动化

应用水平，能够显著提升航空修理行业的生产效率和修理质量；同时该技术在测试测控及相关行业领域内的普遍推广与应用，也是具有实际意义的。

参考文献：

[1] Single-Channel, 1024-Position, 1% R-Tolerance Digital Potentiometer [EB]. Analog Devices Inc. 2011.

[2] PCI9052 Data Book [EB]. PLX Technology Inc. 2008.

[3] MAX II Device Handbook [EB]. Altera Corporation. 2009.

[4] PCI Local Bus Specification Revision 2. 3 [EB]. PCI Special Inter-

est Group. 2001.

[5] 宋宇峰, 郝文化. LabWindows/CVI 逐步深入与开发实例 [M]. 北京: 机械工业出版社, 2003.

[6] 钱 能. C++ 程序设计教程 [M]. 北京: 清华大学出版社, 1994.

[7] 李贵山, 陈金鹏. PCI 局部总线及其应用 [M]. 西安: 西安电子科技大学出版社, 2003.

[8] 聂 鑫, 田建生, 梁远灯. 基于 FPGA 的 PCI 总线仲裁器设计 [J]. 计算机测量与控制, 2005, 13 (8): 817 - 820.

(上接第 2169 页)

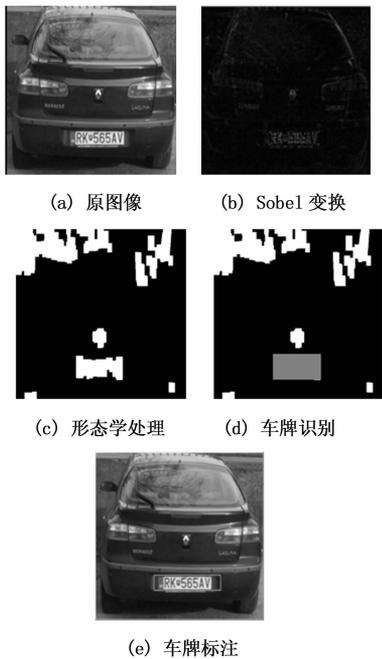


图 3 车牌识别结果

分别求得每个车牌候选区域的高、宽和坐标，依据车牌在原图像中的几何特征，定位车牌^[7]。考虑车牌的以下 4 种几何特征，从上述区域中筛选出包含车牌的区域。

- ①宽：车牌区域的宽度像素应该大于 90。
- ②高：车牌区域的高度像素应该大于 30。
- ③宽高比：车牌区域的宽高比例应大于 2。
- ④位置：车牌区域在车辆图像中出现的位置一般在某一范围内。

经过形态学处理后的图像中，车牌区域并不一定是完全是白色区域的矩形，本文规定只要白色面积大于矩形面积的 90%，就认为是车牌区域，实验结果如图 3 (d) 所示。

3.3 敏感对象识别

对所有的样本，分别提取纹理、颜色、形状和车牌特征，将得到的特征向量集放到后续识别的特征库中训练。训练完以后，就可以应用于输入图像中的敏感对象的检测识别。为了在图像中检测识别未知大小的敏感对象，本文的扫描程序采用不同比例大小的搜索窗口对图片进行多次扫描，最终优化检测结果可得到识别结果，图 4 给出了识别结果。

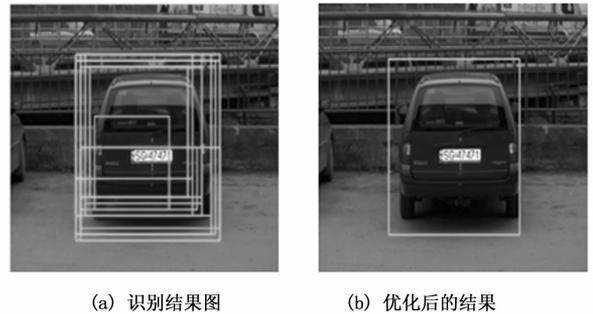


图 4 识别结果图

4 结论

一般方法只能识别指定的图像对象，而本文与其他方法不同，本文提出了一种图像敏感度对象的识别方法。该方法可以准确给出一幅图像中每个对象的敏感度值，结合敏感度值的大小，识别出图像中敏感度高的对象，这种方法更能接近于人类的视觉注意机制。

参考文献：

[1] Rafale C Gonzalez, Richard E Woods. 数字图像处理 [M]. 阮宇智, 等译. 北京: 电子工业出版社, 2004.

[2] 徐贵力, 毛罕平, 李萍萍. 彩色图像颜色和纹理特征提取的应用算法 [J]. 计算机工程. 2002, 28 (6): 25 - 27.

[3] Itti L, Koch C, Niebur E. A Model of Saliency Based Visual Attention for Rapid Scene Analysis [J]. IEEE Transactions on Pattern Analysis and Machine Intelligence. 1998, 20 (11): 1254 - 1259.

[4] Hou X D, Zhang L Q. Saliency Detection: a Spectral Residual Approach [A]. Proceedings of IEEE Conference on Computer Vision and Pattern Recognition [C], Minneapolis, USA: IEEE Computer Society, 2007.

[5] Hu Y, Rajan D, Chia L T. Adaptive Local Context Suppression of Multiple Cues for Salient Visual Attention Detection [A]. Proceedings of IEEE International Conference on Multimedia and Expo [C], Amsterdam, the Netherlands: IEEE Computer Society, 2005.

[6] 董 燕, 朱永胜, 刘 聪. 图像融合技术在车牌识别中的应用 [J]. 计算机测量与控制, 2013, 21 (3): 791 - 793.

[7] Clady X, Collange F, Jurie F. Cars detection and tracking with a vision sensor [A]. IEEE Proceedings of Intelligent Vehicles Symposium [C], 2003: 593 - 598.