

基于 LBIST 的纠检错电路验证方法与实现

崔媛媛, 李振辉, 张洵颖

(西安微电子技术研究所, 西安 710054)

摘要: 基于逻辑内建自测试的设计原理, 提出了一种针对纠检错电路进行功能自测试的方法, 根据纠检错电路具有固定纠检错能力的特点, 无需存储海量的比较数据, 也不需要设计响应特征分析器对结果数据进行压缩处理, 针对具体的纠检错电路, 通过增加特别设计的注错逻辑可实现任意类型的故障注入, 并根据注错信息可对结果进行预测, 通过与预期结果比较, 可达到验证的目的; 最后, 以 (40, 32) 海明编码与解码电路为例, 实现了其功能自测试结构, 并对所有 $2^{40}-1$ 种故障进行了注入与验证; 结果表明使用本文的验证方法, 可实现纠检错电路的自动化随机验证。

关键词: 逻辑内建自测试; 纠检错电路; 故障注入; 单粒子翻转; 线性反馈移位寄存器

Verification Methodology and Implement Ation of EDAC Circuit Based on LBIST

Cui Yuanyuan, Li Zhenhui, Zhang Xunying

(Xi'an Microelectronics Technology Institute, Xi'an 710054, China)

Abstract: Based on design principle of the logic built-in self-test, a verification method of the error detection and correction circuit self-test is developed. As EDAC circuit having fixed EDAC ability, a large amount of compared data need not be stored, response signature analyzer used to compressing results is not required to be designed. By specially designing fault injector, an EDAC circuit can realize any type of fault injection. According to information of the fault injection, the result can be predicted. In order to detect correctness, the outputs from the EDAC circuit can be compared with the expected results. Finally, take a (40, 32) Hamming circuit for example, its structure of function self-tests can be realized, and all $2^{40}-1$ faults are injected. The conclusion indicates that the proposed technique can implement automatic random verification.

Keywords: logic built-in self-test; error detection and correction circuit; fault injection; single event upset; linear feedback shifter register

0 引言

针对太空环境的实际应用, SEU (Single Event Upset) 等软错误是最受关注的一类瞬时故障, 是威胁数字集成电路可靠性最严重的挑战之一 [1]。目前, 在系统设计中增加 EDAC 电路 (Error Detection And Correction Circuit) 是对 SEU 防护的主要措施之一。EDAC 电路设计完成后需要进行充分的验证。因为译码的结果与输入的数据信息本身无关, 只与故障所在的位置有关, 所以从译码功能的验证角度, 应遍历所有的故障位置。但通常为了使验证译码逻辑的判据简单, 只是遍历纠检错能力之内的故障位置。实际上, 对于某一具体的 EDAC 电路, 码字发生任意位数的翻转, 其译码的结果都是固定的, 于是从验证的角度, 纠检错能力范围之外的错误位置的遍历也是必须的, 而且输入的数据信息应该是随机生成。

为了实现 EDAC 电路的充分验证, 借鉴了 LBIST (Logic Built-In Self-Test) 的设计原理, 该方法相当于把测试机的部分功能转移到了电路内部, 不是由外部施加而是由硬件电路自身生成测试向量 [2], 并依靠自身逻辑电路判断测试结果的正确性, 大大降低了对测试机的依赖, 减少了测试成本, LBIST

方法开始越来越受重视 [3-4]。针对 EDAC 电路的特点, 通过增加错误注入逻辑以及利用 LBIST 的结构, 提出了一种 EDAC 电路功能自测试的方法, 并针对纠 1 检 2 的 (40, 32) 海明码的编解码模块, 实现了其功能自测试的硬件结构, 并对其进行了验证。结果表明使用本文的方法可实现 EDAC 电路的自动化随机验证。

1 LBIST 结构概述

图 1 中给出了 LBIST 的测试结构, 主要包括测试向量生成器 (Test Pattern Generation, TPG)、控制器、响应特征分析器 (Response Signature Analysis, RSA) 与比较器等, 以及存储在 ROM 中正确的待比较数据 [5-6]。

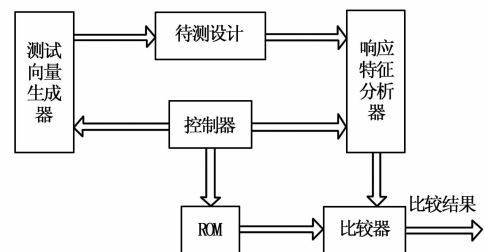


图 1 LBIST 测试结构框图

测试向量生成器主要是为待测设计生成测试向量。控制器主要用于生成其他模块的控制信号, 协调整个测试过程, 确保

收稿日期: 2014-01-16; 修回日期: 2014-03-21。

基金项目: 十二五核高基项目(2011AA120201)。

作者简介: 崔媛媛(1984-), 女, 河北沧州人, 在读博士, 主要从事嵌入式 SOC 设计方向的研究

待测设计的功能自测试能够正确进行。比较器是用于对预先存入 ROM 中的数据与待测电路的输出结果进行比较, 判断待测电路是否发生了故障。由于需要比较的数据量很大, 存储的数据可能是经过压缩后的数据, 于是, 还需要设计响应特征分析器模块, 用于对待测电路的输出结果也采用相应的压缩技术, 最后再进行比较。

2 EDAC 电路功能自测试设计方法

本文基于 LBIST 的设计原理, 设计的 EDAC 电路的功能自测试结构, 包括测试向量生成器、控制器和错误注入逻辑以及比较器。无需 ROM 存储比较数据, 因此也不需要响应特征分析器对结果数据进行压缩处理。其结构如图 2 中所示, 针对 EDAC 电路的编码器和译码器的功能, 待测设计实际上可以将编码器与解码器相连构成。以下就图中其他四部分模块的设计方法进行详细说明。

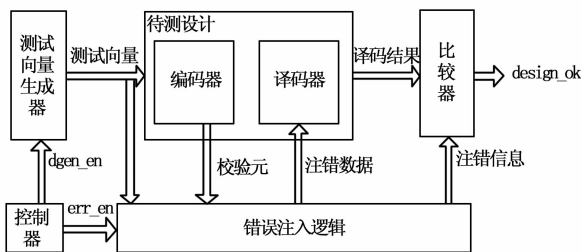


图 2 纠检错电路功能自测试结构框图

2.1 测试向量生成器

测试向量有两类生成方法: (1) 确定性生成方法, 用专门的算法, 例如 D 算法, FAN 算法生成; (2) 用随机 (伪随机) 方法生成^[7]。测试向量生成器的结构目前可以用二进制计数器、线性反馈移位寄存器 (Linear Feedback Shifter Register, LFSR) 和细胞自动机 (Cellular Automaton, CA) 等实现。其中, 采用线性反馈移位寄存器的结构生成伪随机测试向量的方法, 实现结构简单, 得到了广泛使用^[8-9]。图 3 中给出了用 in-tapping 方法得到的 LFSR 的结构。其中, 若 h_i 为 '1' 时表示该处的反馈存在, 为 '0' 表示反馈不存在。符号 '+' 表示异或逻辑, d_0, \dots, d_{n-1} 分别表示移位寄存器中的值。如果图 3 中异或逻辑的反馈位置是由本原多项式决定的, 能够生成的不重复的测试向量是最多的。N 阶的 LFSR 结构可以生成 $2^n - 1$ 个不重复的测试向量。因此, 对于数据信息是 n 位的纠检错电路来说, 使用一个 n 次的本原多项式构造的 LFSR 就可以为其提供除零向量之外的其他所有的 $2^n - 1$ 个数据。

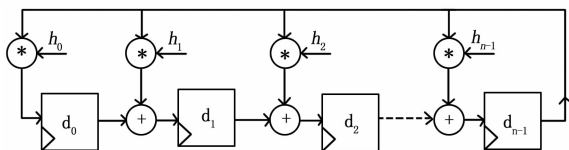


图 3 LFSR 结构的测试向量生成器图

2.2 控制器

控制器首先为测试向量生成器提供数据产生使能信号 $dgen_en$, 用于控制在正确的时机产生下一个测试向量。其次为错误注入逻辑产生注错使能信号 err_en , 用于控制是否对数据和校验元进行注错。

2.3 错误注入逻辑

对于 EDAC 电路的测试来说, 还需要增加错误注入逻辑。把编码器得到的校验元以及编码数据一起送入错误注入逻辑进行注错, 数据信息与校验元都可以进行注错, 之后将错误注入后的数据和校验元送入译码器, 验证译码逻辑的正确性。实际上, 如果译码结果是正确的, 也说明了编码器与译码器的设计是相符合的, 即都是正确的。错误注入逻辑是根据具体的纠检错能力设计的, 注错的情况应该涵盖所有的错误类型。错误注入逻辑可以选择用若干个计数器来实现, 例如, 计数值可以用来表示注错数据的分量值。注错逻辑还需要把注错数据的分量位置以及注错的个数信息提供给比较器, 用于判断译码结果的正确性。

2.4 比较器

针对 EDAC 电路具有固定纠检错能力的特点, 只要知道错误注入的个数以及位置, 就能预判译码的结果, 因此, 无需预先向 ROM 存储体中保存海量的预期结果。只要对预判的结果与译码器得到的结果进行比较, 就可知道编码器与译码器设计的正确性。

最终, 比较器产生一个 $design_ok$ 指示信号, 如果比较结果相同, 则 $design_ok$ 信号一直有效, 只要结果比较不同, 则该信号将无效, 指示编码器与译码器设计中有错误。

3 (40, 32) 海明码电路的功能自测试结构

图 4 中给出了纠 1 检 2 的 (40, 32) 海明码电路的功能自测试的实现结果。编码器的输入信号是 32 位的数据信息, 因此, 测试向量生成器需要为编码器提供 32 位的测试向量。为了能够提供最大数量的不重复测试向量, 可以使用本原多项式 $h(x) = \sum_{i=0}^{31} h_i x^i = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$ 根据 $h_i (i=0, \dots, 31)$ 的取值情况, 基于图 3 中的电路结构, 实现具体的 32 阶的 LFSR。这 32 个寄存器的复位值可以是除零向量以外的任意的 32 位向量 (否则生成器只产生零向量)。当然复位值非零的 LFSR 结构也不会产生零向量, 于是可以将测试向量生成器稍作修改, 由控制器产生一个使能信号 $dgen_en$, 当 $dgen_en$ 有效时, 由 LFSR 结构为待测设计产生测试向量, 否则 LFSR 暂不产生一个测试向量, 而是将零向量作为待测设计的输入, 如图 4 中的控制器部分所示, 当 32 位的计数器 $cnt0$ 为 $ffff_ffff$ 时, 信号 $dgen_en$ 无效。于是, 测试向量生成器就可以产生全部 2^{32} 个测试向量。

当测试向量 $D [31: 0]$ 输入编码器后, 将得到 8 位的校验元 $par [7: 0]$, 将测试数据与校验元一起送入错误注入逻辑, 并拼接为码字 $C [39: 0]$, 如果注错使能的话, 即信号 err_en 有效, 将进行注错。因为要遍历所有的错误位数与错误位置, 可以设计一个 40 位的计数器 $cnt [39: 0]$, 当 cnt 从 1 计到全 1 时, 就实现了错误类型的全遍历。注错使能信号在 $2^{40} - 1$ 个周期后变为无效, 可用来表示验证结束。同时还需要保存对应的一致校验矩阵 $H_{8 \times 40}$, 图中的 H_0, \dots, H_{39} 是 $H_{8 \times 40}$ 的列向量, 目的是求出注错的伴随式 $S = XOR_{i \in \{cnt(i)=1, i=0, \dots, 39\}} H_i$ (即将 cnt 中的所有分量为 1 的指标对应的 $H_{8 \times 40}$ 的列向量按位异或), 并将注错后的码字 C_err 、伴随式 S 以及注错信息 cnt 作为待比较的信息, 送往比较器。同时也将注错后的码字信息 C_err 送往译码器模块, 得到纠正后的码字信息 C_corr ,

(下转第 2153 页)

- [4] 张光义, 赵玉洁. 相控阵雷达技术 [M]. 北京: 电子工业出版社, 2006.
- [5] 林昌禄. 天线测量技术 [M]. 成都: 成都电信工程出版社, 1987.
- [6] 张良, 等. 固态有源相控阵雷达幅相误差影响分析及校准方法研究 [J]. 现代雷达, 1996, 18 (1): 54-60.
- [7] 毛乃宏, 俱新德. 天线测量手册 [M]. 北京: 国防工业出版社, 1987.
- [8] 胡文华, 薛东方, 李永军. 雷达天线方向图测试仪设计 [J]. 计算机测量与控制, 2007, 15 (8): 1113-1117.

(上接第 2147 页)

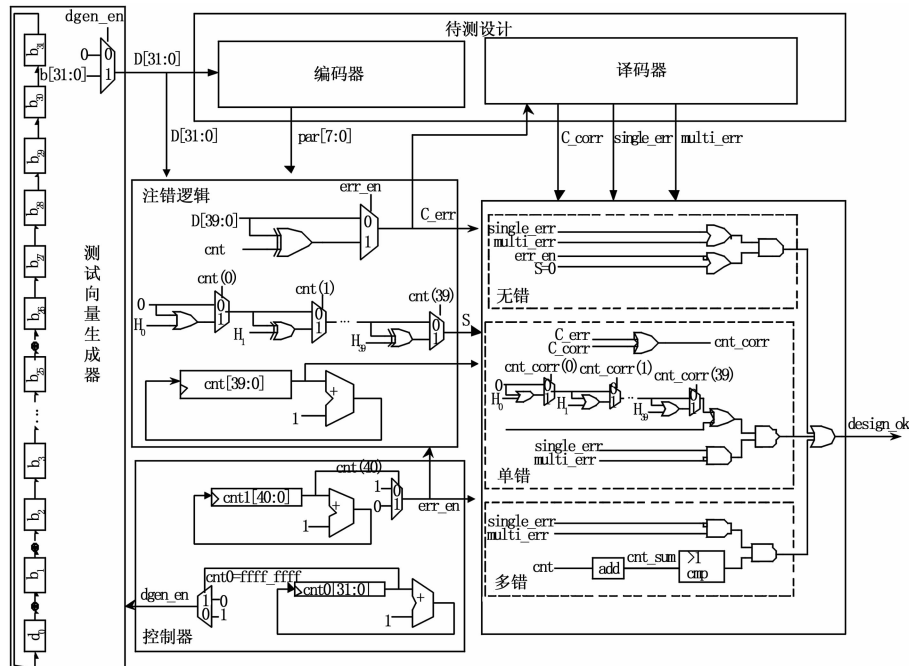


图 4 (40, 32) 海明码电路自测试实现结构

以及指示发生单位错的信号 `single_err` 与指示多位错的信号 `multi_err`。这些信息都将送入比较器, 进行结果的比对。

比较的情况可以分为 3 类: 无错、单错和多错。当没有对码字注错, 或注入的多位错没有校验出来, 并使得 `S` 是零向量时, 译码的结果是无错。当单位错信号 `single_err` 有效时, 可将注错码字 `C_err` 与纠正后的码字 `C_corr` 对比, 如果相同则说明译码正确。当指示多位错的信号 `multi_err` 有效, 并且用于注错的计数器 `cnt` 中分量为 1 的个数大于 1, 则说明译码正确。如果待测设计一直无错, 则 `design_ok` 信号一直有效。

本节设计的自测试电路在 Synopsys 的 VCS 工具下进行仿真测试。如前所述, 测试全部类型的错误需要 $2^{40}-1$ 个周期。 $2^{40}-1$ 是个庞大的数字, 于是可以设计多个图 4 中的结构, 并且将不同模块中的故障注入计数器以及 LFSR 中的寄存器的复位值置为不同值, 实现测试电路的并行仿真。控制 `err_en` 有效的计数器 `cnt1` 的位数可以相应减少。为了加快仿真速度, 也可以将例化了多个图 4 结构的自测试设计综合为 FPGA 网表, 在 FPGA 上进行验证。

4 结论

本文基于 LBIST 的设计原理, 根据 EDAC 电路具有固定的纠错能力的特点, 给出了一种对 EDAC 电路进行功能自测试的验证方法, 利用该方法可以自动检测 EDAC 电路的各种错误类型, 验证其功能正确性。文中并以具体的一个纠错码设计模块为例,

详细研究了它们的功能自测试电路设计过程。本文的验证方法可以广泛用于各种纠错电路的功能自测试。

参考文献:

- [1] 李晓维, 胡瑜, 张磊, 等. 数字集成电路容错设计 [M]. 北京: 科学出版社, 2011.
- [2] 李吉, 徐勇军, 韩银河, 等. 应用于逻辑核的 BIST 关键技术研究 [J]. 计算机工程, 2005, 31 (23): 55-57.
- [3] Agrawal V D, Kime C R, Saluja K K. A Tutorial on Built-in Self-test, Part I: Principles [J]. IEEE Design and Test of Computers, 1993, 10 (2): 73-82.
- [4] Agrawal V D, Kime C R, Saluja K K. A Tutorial on Built-in Self-test, Part I: Applications [J]. IEEE Design and Test of Computers, 1993, 10 (2): 69-77.
- [5] 丁琳, 虞美兰. 逻辑内建自测试高故障覆盖率设计 [J]. 计算机测量与控制, 2008, 16 (1): 24-26.
- [6] 谢明恩, 于蓝林. 组合电路可测试性技术的研究 [J]. 电子测量技术, 2007, 30 (6): 25-28.
- [7] 雷绍尧, 邵志标, 梁峰. 生成确定性测试图形的内建自测试方法 [J]. 西安交通大学学报, 2005, 39 (8): 880-884.
- [8] Bushnell L, Agrawal V D. Essentials of Electronic Testing for Digital Memory and Mixed-signal VLSI Circuits [M]. Boston: Kluwer Academic Publishers, 2000.
- [9] 梁国华, 蒋翠云. 使用双重种子压缩的混合模式自测试 [J]. 计算机研究与发展, 2004, 41 (1): 214-220.