

数字 IO 电路板的嵌入式测试性设计方案

杜影, 吴朝华, 李洋, 徐鹏程

(北京航天测控技术有限公司, 北京 100041)

摘要: 近年来, 随着 DSP、FPGA 等大规模集成电路的发展, 电子系统的性能也在大大提高, 但同时给电子系统带来了新的测试和故障诊断问题; 为了解决电路板快速诊断维修问题, 嵌入式测试正以全新的概念成为板级电路测试的研究方向; 文中从嵌入式测试的基本概念出发, 介绍了嵌入式边界扫描、非侵入式测试等先进的板级嵌入式测试技术, 并阐述了模拟嵌入式测试性设计的难点和基础电路原则, 同时给出了基于 FPGA 的嵌入式测试控制器设计方案; 然后, 面向数字 IO 电路板, 针对其关键功能电路展开嵌入式测试性设计, 简要说明了测试程序的开发与下载; 根据测试验证结果, 嵌入式测试性设计可以增强测试自动化、提高测试效率, 从而能够更好地降低产品整个寿命周期的测试维修成本。

关键词: 嵌入式测试; 可测性; 边界扫描; BIST

Embedded DFT Solution of Digital IO Circuit Board

Du Ying, Wu Zhaohua, Li Yang, Xu Pengcheng

(Beijing Aerospace Measurement & Control Technology Co., Ltd., Beijing 100041, China)

Abstract: In recent years, with the development of DSP, FPGA and other VLSI, the performance of electronic systems is greatly increasing. However, they also brought a new problem of testing and fault diagnosis at the same time. For solving the problem of fast diagnosis and maintenance on circuit board, the embedded test has becoming a research topics. Based on it, the embedded boundary-scan technology and the non-incurive board test technology are introduced firstly. Then the difficulty of the analog BIST (built-in self test) and its fundamental principle are illustrated. And an embedded controller solution based on FPGA is given. The embedded DFT targeted at the key function circuits of the digital IO board is presented, the test program development and download are described in brief. Based on the prepared test results, the embedded DFT is used to further enhance the test automation and the test efficiency. It can decrease the life cycle cost of test and maintenance greatly.

Keywords: embedded test; DFT (design for test); boundary-scan; built-in self test

0 引言

未来十年, 电子设计将走向超系统构架 (System of system, SOS), 多内核和硬件加速的模式将成为系统设计的主流。由此, “嵌入式”计划被启用在 IC 设计、电路板设计及系统设计中, 甚至于为了解决伴随而来的繁重的测试与诊断问题, 也提出了“嵌入式测试”的概念。嵌入式测试是一种软硬件结合的测试, 采用嵌入式测试意味着必须把外部测试设备的某些功能性能设计到被测单元 (UUT) 中, 以增强测试自动化, 提高测试覆盖率和测试效率, 并降低产品整个寿命周期的测试维修成本。

本文以 CAN 总线 8 路数字 IO 电路板为典型被测系统, 针对其测试需求和关键功能电路的测试性设计指标, 应用通用的及专用的测试性设计方法, 开展数字 IO 电路板的嵌入式测试性设计, 最后根据实际试验测试结果, 完成测试性评估与验证。

1 板级嵌入式测试技术概述

1.1 嵌入式边界扫描

自 IEEE1149.1^[1]标准之后, IEEE 先后制定了与其相类似的标准 IEEE P1149.4~IEEE 1149.7。边界扫描标准的制定与

推广, 吸引着芯片厂商和业内人士的广泛关注。同时, 越来越多的 CPLD、FPGA 和 DSP 产品支持边界扫描规范, 使得边界扫描技术逐渐成为可测试性设计的主流技术。

随着 DFT (可测试设计) 技术的发展和测试自动化程度的提高, 嵌入式边界扫描成为必然的发展趋势。嵌入式边界扫描的实现需要电路板具有 JTAG 工作能力和测试向量 (测试图形)、编程算法的存储空间。外部 JTAG 系统的多少能力嵌入到一个特定的电路板中取决于被测电路的边界扫描可测试性设计。为了执行嵌入式边界扫描测试, 需要使用电路板上的处理器, 并开发相应的测试程序。测试结果是简单的“通过/不通过”指示, 如果需要精确诊断, 则被测电路要提供更多的存储空间保存测试数据和算法。

1.2 非侵入式板级检测

非侵入式板级检测 (Non-incurive board Test), 是一种针对研发设计验证与生产测试的最新方法, 它是一种软件驱动技术, 利用了嵌入式仪器设备原理。一般来说, 只需一个简单的硬件连接器连接到待测板, 然后在电脑上执行具有非侵入式板级检测技术的软件。

非侵入式板级检测的验证和测试策略同时包含多种不同的测试方法, 例如: 边界扫描、处理器测试控制器 (Processor-controlled test) 以及嵌入式自测试 (BIST)。跟传统的方式比较, 可以大幅的改进设计验证结果并提高测试覆盖率。

由于该检测方法是基于芯片中嵌入式仪器的软件检测方法, 其对模拟电路的测试有限, 只能通过访问寄存器间接测试

收稿日期: 2014-02-08; 修回日期: 2014-04-02。

基金项目: 总装备部预研项目 (51317040204)。

作者简介: 杜影 (1981-), 女, 高级工程师, 主要从事测试测量技术与可测试性设计研究。

模拟部分，因而其推广与应用在当前还有一定的局限性。但随着芯片 BIST 程度的提高，非侵入式测试将成为测试领域的一个发展新方向。

1.3 模拟电路嵌入式测试

1.3.1 模拟电路 BIST 面临的挑战

模拟电路测试包括对信号的检查，是在两个电压之间，是数字值还是时间阈值；还要检查信号统计值是否在极限内；或检查一个有关信号的算术运算值是否在极限之内。对所有具备模拟信号的电路，都应采用模拟测试原理。

设计用于模拟电路的 BIST 要比精确提供和捕捉模拟信号更复杂，因为信号变动和需要测量的参数要远远多于数字 BIST 处理的逻辑 0 和逻辑 1。一般，测试设备必须比被测电路精度高一个数量级，因此模拟 BIST 面临的挑战就是如何实现比被测电路更高的精度^[2]。

1.3.2 模拟 BIST 的基础电路原则

根据以上所述，模拟 BIST 的基础电路设计要遵循以下几个原则。

第一个原则是：测试机制本身必须是可测的，模拟 BIST 电路的纯数字部分包括 BIST 逻辑应是可测的。例如，一个常用的环绕 BIST 技术将一个 DAC 输出连回到一个 ADC 输入(图 1 所示)。该技术与微处理器的联合可以完成一定范围的模拟信号的检测，也就是电路板上多个功能之间共享一个 BIST 电路。但是在所有测试之前，要先完成对 DAC 和 ADC 的独立测试，才能用整个 BIST 电路测试其它模拟电路。

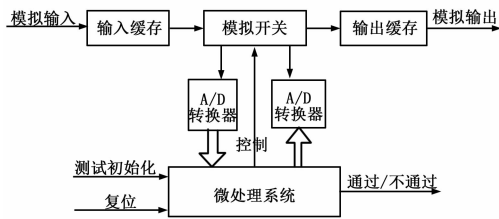


图 1 模拟环绕技术框图

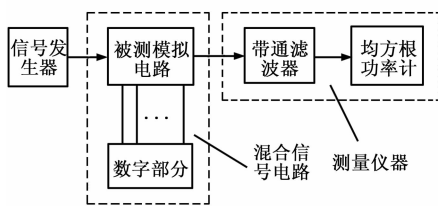


图 2 模拟电路测试设计框图

第二个原则是：通过减去系统误差来提高精度。如，测量电压时，必须消除任何比较器或运算放大器的偏移电压。模拟测量电路一般是用低通滤波或用一个电容做电荷积分实现均化，这样可以提高精度，减少系统误差。如图 2 所示为某混合信号电路的模拟电路测试方案，其信号发生器和“测量仪器”均可以设计在电路板上，从而实现较高精度的模拟 BIST 设计。

最后原则是：必须通过与上下测试极限值的比较，给出一个通过/不通过的结果。因为，如果给出一个模拟电压结果做特性描述，它本身就可能遭到破坏(如混入噪声)，从而使测试模拟电路的 BIST 电路受到影响。

2 板级嵌入式测试控制器设计

嵌入式测试控制器是嵌入式测试的执行机构，而嵌入式测试程序是嵌入式测试流程中的重要组成部分。当今电子设计的发展趋势使支持 FPGA 的嵌入式选择越来越多，同时，使用 FPGA 的嵌入式系统也越来越多。因此，基于 FPGA 的嵌入式测试控制器更具开发灵活性和发展前景^[3]。

基于 FPGA 开发嵌入式控制器，要以 FPGA 作为电路板的核心测试器件，完成电路板的嵌入式测试性设计，包括基于 FPGA 的嵌入式测试流程设计、嵌入式配置功能设计和嵌入式软硬件协同设计(包括设计综合、软硬件协同仿真和软硬件协同验证)。而嵌入式自测试逻辑也是必不可少的。图 3 为基于 FPGA 的嵌入式控制器的内部逻辑设计方案。

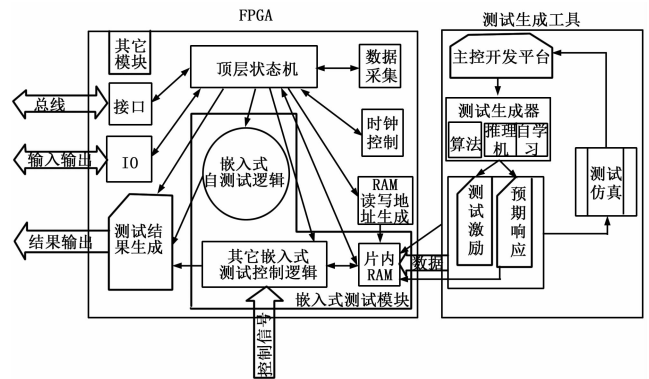


图 3 基于 FPGA 的嵌入式控制器设计方案

从图中可以看出，基于 FPGA 的嵌入式控制器采用分块原则，在 FPGA 内部进行功能划分和模块设计。基于 FPGA 的板级嵌入式测试实现除了硬件电路的测试性设计外，核心部分是 FPGA 内部的自测试逻辑和嵌入式控制逻辑。而测试程序的开发由外部测试生成工具完成，其通过被测对象的输入资料 and 测试需求分析，由测试生成器进行算法分析、推理机制，以完成测试激励生成、预期响应生成和测试流程设计。然后，经过基于测试用例的仿真和测试生成循环过程，得到最终的测试向量和测试程序，将其下载至 FPGA 即可执行电路板的嵌入式测试和 FPGA 自身的测试。测试结束仅以简单的“通过/不通过”报告测试结果，而诊断能力和测试配置则是由测试需求决定的。

3 数字 IO 电路的嵌入式测试性设计

3.1 电路功能描述

8 路数字 IO 模块具有静态发生、静态捕获、动态发生、动态捕获、动态发生捕获协同工作和波形编辑功能，可通过软面板或驱动函数进行控制。该模块在测试系统中可用于模拟总线、产生测试向量、分析响应数据和扩展 I/O 数等，能够广泛应用于多种测量系统。具体技术指标如下：

- 1) 2 路 CAN 接口，支持 CAN2.0B/2.0A 协议，1 路 JTAG 口；
- 2) 采集的 IO 量经冗余的 CAN 口将转换后的数字信号往外发送；
- 3) 通道数：8 路；
- 4) 分为 2 组，每 4 个一组，每组可独立配置；
- 5) 输入输出通道复用。

数字 IO 功能结构及 CAN 协议转换模块硬件设计如图 4 所示。

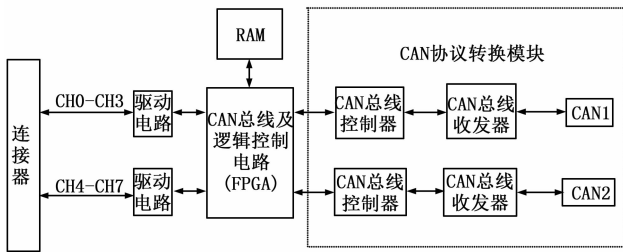


图 4 基于 CAN 总线的 8 路数字 IO 功能结构图

3.2 故障分析

数字 IO 模块按照功能模块划分, 主要的故障如下:

- (1) 电源无输出。
- (2) 电源电压不在允许范围内。
- (3) 驱动电路输入/输出故障。
- (4) 驱动电路与 FPGA 连接故障。
- (5) FPGA 与 RAM 连接故障。
- (6) FPGA 核心控制逻辑故障。
- (7) FPGA 与 CAN 模块连接故障。
- (8) CAN 总线控制器故障。
- (9) CAN 总线收发器故障。

3.3 嵌入式测试性设计

3.3.1 总体方案

数字 IO 电路板嵌入式测试性设计总体方案如图 5 所示。

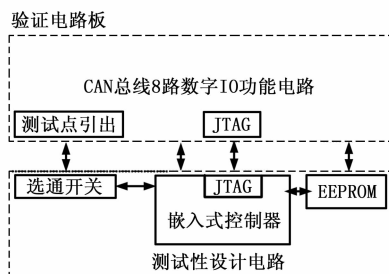


图 5 数字 IO 电路板嵌入式测试性设计总体方案

根据对功能电路的故障分析, 在进行测试性设计时首先在关键功能电路引出测试点, 并对具有边界扫描结构的芯片进行了菊花链设计; 对测试性设计电路则是以不影响功能电路工作为前提, 并考虑占用最少的电路板面积, 增加了选通开关、嵌入式控制器和 EEPROM 3 个模块。其中, 选通开关用于切换功能逻辑电路运行和嵌入式测试运行; 嵌入式控制器是测试性设计电路的主控模块; EEPROM 用于存放自测试和嵌入式测试结果。下面将分述各主要功能电路的嵌入式测试性设计。

3.3.2 电源电路测试性设计

验证板电源除了为其本身供电外, 同时为嵌入式控制模块供电。为了保证在功能电路发生电源故障的时候, 嵌入式测试控制电路的电源不受其影响, 本方案对电源电路进行了冗余设计, 功能电路电源与测试控制电路的电源各自独立。

功能电路电源采用电压求和 BIT 的方法实现快速故障检

测^[4]。对各路电源电压衰减后求和, 将求和信号与允许电压范围进行比较, 如果比较通过则认为电源情况正常, 如果比较结果超过允许范围, 则认为电源出现异常, 但无法定位具体哪一路电源电压异常。

若需要对每一个基准电源进行准确的测量, 从而得到详细的电压指标。则需要按照嵌入式控制器电压范围要求, 对被测电压进行降压处理(如电阻分压), 然后接入控制器由测试程序进行精确测量。

在电路板上电工作后, 首先进行电源检测, 若该项测试不通过, 直接给出报警信号, 无需进行其他测试项。

3.3.3 边界扫描测试性设计

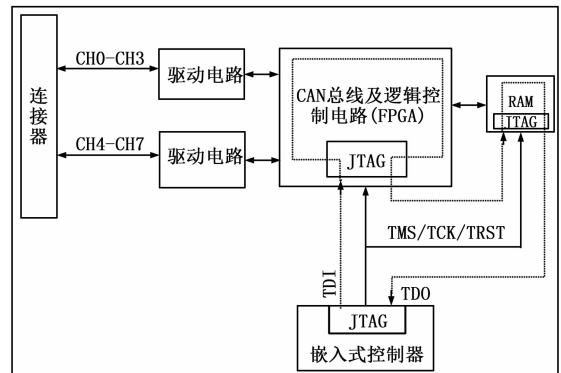


图 6 边界扫描测试链路设计

由于板上 FPGA 和 RAM 是边界扫描标准芯片, 因此它们可以通过嵌入式控制器执行边界扫描测试, 扫描链路如图 6 所示。能够测试的项目有:

- (1) 扫描链路的完整性测试。
- (2) FPGA 芯片的 IDCODE 和 USERCODE 测试。
- (3) FPGA 与 RAM 的互连测试。
- (4) FPGA 读写 RAM 操作。
- (5) FPGA 的逻辑 IO 操作(通过边界扫描单元控制 FPGA 的 IO 管脚输入输出)。

上述测试能够覆盖的故障检测包括:

- (1) 驱动电路与 FPGA 连接故障。
- (2) FPGA 与 RAM 连接故障。
- (3) FPGA 核心控制逻辑故障。
- (4) FPGA 与 CAN 模块连接故障。

3.3.4 IO 通道测试性设计

IO 通道测试采用环绕 BIT 设计^[4], 即功能电路 FPGA 发送数据至通道 1, 然后经由通道 2 将该数据回读, 进行比较。如果数据一致, 说明 FPGA 至 IO 连接器没有故障。可依次对所有通道进行交叉测试。如果有通道发生故障, 则故障可能为输入通道故障、输出通道故障、连接器故障、驱动芯片故障。

为了进一步的故障隔离, 在 IO 通路上增加了选通开关, 将必要的测点引入嵌入式控制器, 即由嵌入式控制器控制测试点的输出/捕获逻辑, 通过比较分析不同测试点的捕获值, 隔离输入通道故障、输出通道故障、连接器故障、驱动芯片故障。

3.3.5 CAN 通讯通道测试性设计

数字 IO 电路板的 2 路 CAN 接口, 本身就采用了冗余设计, 而在测试性设计时则设计成环绕 BIT^[4]。即以 CAN1 发送

数据, CAN2 接收数据的方式测试 CAN 通讯通道故障。另外, 在测试通路的关键点处增加选通开关, 由嵌入式控制器执行测试控制与测试捕获, 并保存各关键点测试数据, 通过比较分析不同测试点的捕获值, 隔离 CAN 通讯收发通路的故障及与核心 FPGA 的连接故障。

4 测试程序生成与下载

测试程序开发环境由北京航天测控公司自主研发, 主要完成测试需求分析、测试任务开发、测试数据生成与压缩及测试程序下载等。该开发环境集成了板级电路的可测试性设计模型库, 包括数字部分 (如边界扫描测试)、模拟部分和数模混合电路的可测试性设计模型。用户在开发过程中只需按照测试需求配置每种模型的相关参数, 系统软件将按照测试任务的模块测试顺序, 以预定协议生成测试程序和测试数据, 并可通过下载器下载至电路板上的嵌入式控制模块中。具体过程如图 7 所示。

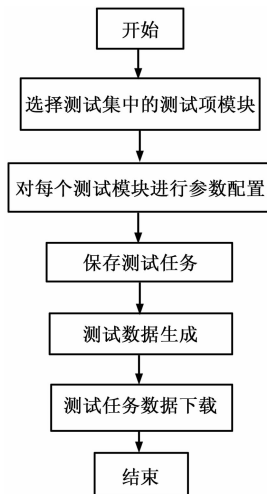
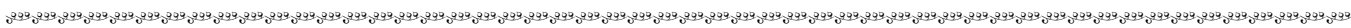


图 7 测试流程设计过程



(上接第 2026 页)

该方法在确定不同工况特征参数正常值的基础上, 通过实时计算故障征兆值, 运用额定工况下典型故障样本训练好的神经网络对不同控制方式和不同负荷下的四管泄漏故障进行在线诊断, 并以故障分离度为目标对征兆缩放比例寻优, 以获得最佳诊断结果。仿真结果表明: 该方法可准确地诊断不同控制方式和不同负荷下不同程度的四管泄漏故障, 具有良好的故障识别效果。

参考文献:

[1] 张磊, 廉根宽. 电站锅炉四管泄漏分析与治理 [M]. 北京: 中国水利水电出版社, 2009.

[2] 马良玉, 马永光, 王兵树. 不同负荷下高加给水系统程度迥异故障诊断的新方法 [J]. 中国电机工程学报, 2010, 30 (2): 115 - 121.

[3] 马良玉, 王兵树, 佟振声, 等. 对分式凝汽器故障诊断的模糊模式识别及神经网络方法 [J]. 中国电机工程学报, 2001, 21 (8): 68 - 73.

[4] 倪宏伟, 彭辉. 神经网络在热电厂对象建模中的应用 [J]. 计算机测量与控制, 2006, (5): 622 - 624.

[5] 吴今培, 肖健华. 智能故障诊断与专家系统 [M]. 北京: 科学出版社, 1997.

[6] 马良玉, 王兵树, 高建强, 等. 大旁路布置 U 型管式高加系统故

5 测试结果与分析

为验证上述测试性设计方案, 在数字 IO 电路板的关键功能电路中设置了故障跳线, 可测试项目有:

- (1) 模块自检。(2) 电源检测。(3) CAN 通讯通道测试。(4) 边界扫描测试。(5) IO 通道故障诊断。

在嵌入式测试执行前, 嵌入式控制器先进行上电自检, 自检通过后再启动嵌入式测试。嵌入式测试首先进行电源检测, 如该项测试不通过则测试结束, 直接由故障指示灯给出“不通过”显示。电源检测通过后, 再进行其他测试项目。经测试验证, 板级嵌入式测试性设计能够完成数字 IO 电路板的关键功能电路的故障检测和故障隔离, 满足测试需求。从而实现了数字 IO 电路板故障的自动检测, 增强了测试自动化。

6 结论

随着电路板嵌入式测试技术的研究和新设计技术的发掘, 未来的测试诊断将实现: 在系统运行中或基本不拆卸的情况下, 利用系统自身的检测能力, 独立掌握系统当前的运行状态, 独立查明产生故障的部位和原因, 预知系统的异常和故障动向, 以声、光和显示屏等多种形式进行信息输出, 并辅助操作人员和维修人员采取必要对策。由此, 嵌入式测试性设计技术将成为提高武器装备测试性, 维修性和提升复杂武器系统快速维修能力的最为简单有效的技术手段。

参考文献:

[1] IEEE Std 1149.1 - 2001. IEEE Standard Test Access Port and Boundary-Scan Architecture [S].

[2] Wilson, Ron. ITC 2009 Panel Explores Future of Analog Test [J], Test & Measurement world, 2009, 11.

[3] 杜影, 等. 基于 FPGA 的板级 BIST 设计与实现策略 [J]. 计算机测量与控制, 2008, 16 (3): 389 - 391.

[4] 田仲, 石君友. 系统测试性设计分析与验证 [M]. 北京: 北京航空航天大学出版社, 2003.

[5] 障碍模糊知识库及其神经网络诊断研究 [J]. 动力工程, 2002, 22 (1): 1615 - 1621.

[7] 马良玉, 段巍, 高建强, 等. 电站热力系统故障智能诊断系统的功能结构与诊断模型 [J]. 电力系统自动化, 2002, 26 (7): 50 - 54.

[8] 马良玉, 王兵树, 高建强, 等. 生产过程轻微和早期故障智能诊断的一种新方法 [J]. 中国电机工程学报, 2002, 22 (6): 116 - 119.

[9] 马良玉. 结合仿真技术的电站热力系统故障智能诊断研究 [D]. 华北电力大学 (河北), 2004.

[10] Butler K. L., Momoh J. A. A neural net based approach for fault diagnosis in distribution networks [J]. IEEE PES Winter Meeting, 2000 (2): 1275 - 1278.

[11] Mourad E., Nayak A. Comparison-based system-level fault diagnosis: a neural network approach, parallel and distributed Systems [J]. IEEE Transactions on Parallel and Distributed Systems, 2012; 23 (6), 1047 - 1059.

[12] 朱凯, 王正林. 精通 MATLAB 神经网络 [M]. 北京: 电子工业出版社, 2010.

[13] 史业峰, 王小川, 等. MATLAB 神经网络 30 个案例分析 [M]. 北京: 北京航空航天大学出版社, 2010.

[14] 杨卫娟, 周俊虎, 曹欣玉, 等. 锅炉四管泄漏热力计算分析 [J]. 中国电机工程学报, 2000, 20 (8): 85 - 88.