

基于 FPGA 的 ARINC429 总线嵌入式接口板的设计与实现

何 焱, 李 睿

(遵义医药高等专科学校, 贵州 遵义 563002)

摘要: 提出了一块芯片内实现 ARINC429 总线协议, 并将 USB、PCI 两种接口结合在一块接口板上的新构想; 并根据板卡的功能和技术指标要求, 设计了基于 FPGA 的 ARINC429 总线接口板; 在硬件设计上采用模块化方法设计了系统的硬件电路, 分析了各部分的功能, 并对硬件接口进行了详细的设计; 软件设计上从硬件和软件两方面论述了 NIOS II 处理器的设计, 从总体设计、发送通道、接收通道、接口逻辑等方面设计与实现了多通道总线协议 IP 核; 最后对板卡的功能进行测试, 结果表明设计的接口板能够达到 ARINC429 数据通信的要求, 能够克服专用芯片中的数据格式固定, 使用不够灵活方便等缺点。

关键词: FPGA; ARINC429 总线; USB; PCI

Design and Implementation of ARINC429 Bus Interface Board Based on FPGA

He Yan, Li Rui

(Zunyi Medical and Pharmaceutical College, Zunyi 563002, China)

Abstract: This paper introduces a novel design of achieving ARINC429 Bus protocol in one chip and synthesizing USB PCI in one interface board. According to the performance and technical indexes of the platform, the ARINC429 bus interface board has been designed. In terms of hardware, the modularization was adopted to design the system circuit; the functions of each part of the system were analyzed; the hardware interface was designed in detail. In the software design, this paper gave out the conclusion of design and achievement of NIOS II processor in terms of both hardware and software; the design and achievement of multi-channel bus protocol IP kernel from the aspects of overall design, transmission channel, receiving channel and interface logic were also introduced. Finally, the test of interface function was done. The test results indicated the designed ARINC429 interface board can work properly. This interface board can avoid the fixed data format of specialized chip, and It is expedient and reliable.

Key words: FPGA; ARINC429 bus; USB; PCI

0 引言

ARINC429 总线具有接口方便、数据传输可靠等特点, 目前已成为商务运输航空领域应用最广泛的航空电子总线, 在空客的 A310/A320、A330/A340 飞机, 波音公司的 727、737、747、757 和 767 飞机等上均有应用^[1-2]。另外, ARINC429 总线在导弹、雷达等军事领域也得到大量的应用^[3]。

目前国内对 ARINC429 总线接口板的设计一般都是基于 HARRIS 公司的 HS3182、HS3282 芯片, 并通过单一的 ISA 总线接口或 PCI 接口与计算机相连完成数据交互^[4]。这些芯片的数据格式固定, 需要额外进行数据转换, 同时通用性、兼容性比较差, 使用起来不够灵活方便, 并且价格昂贵、保密性差。

通过设计基于 FPGA 的 ARINC429 总线接口芯片, 可以克服以上不足, 并可以根据应用环境进行相应的更改, 无需重新设计制作电路板。另外, 使用 USB 总线、PCI 总线作为接

口板与主机之间的通讯接口, 使得接口板具有更好的通用性和便携性^[5]。

1 总体设计

本文借助 IP 核设计的思想, 充分利用 FPGA 芯片资源, 自主设计满足 ARINC429 总线协议的多通道 IP 核。采用该方式可以使硬件电路简单, 完全能够实现 ARINC429 总线标准, 满足本系统的需要。在总线接口板与计算机的连接方式上, 本文采用了 USB+PCI 双接口模式的设计。

接口板的硬件设计主要由 4 部分构成: ①与主机通信的 USB 控制器 EZ-USB FX2, 主要实现 FPGA 内 ARINC429 总线数据与主机进行通信; ②与主机通信的 PCI 控制器 PCI9054, 主要实现 FPGA 内 ARINC429 总线数据与主机进行通信; ③基于 NIOS II 处理器的 FPGA 设计, FPGA 实现 NIOS II 硬件平台的搭建, 并实现多通道总线协议 IP 核, 该 IP 核主要实现 ARINC429 总线协议, 它既能接收经过转换成数字信号的符合 ARINC429 总线协议的数据, 通过 NIOS II 处理器将其送入 USB 和 PCI 控制器, 又可将 USB 和 PCI 控制器发出的数字信号, 通过 NIOS II 处理器按照 ARINC429 总线协议的数据格式输出; ④电平转换电源管理电路。系统总体结构如图 1 所示。

收稿日期: 2013-12-27; 修回日期: 2014-02-12。

基金项目: 贵州省科学技术基金项目(黔科合 J 字[2013]2335 号)。

作者简介: 何 焱(1975-), 女, 贵州人, 硕士, 副教授, 主要从事计算机网络方向的研究。

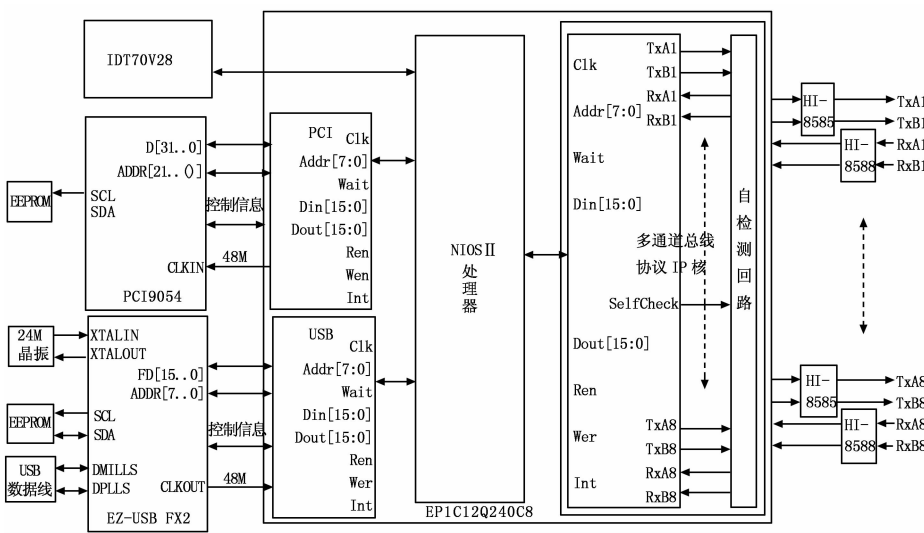


图 1 基于 USB+PCI 接口的多通道接口板结构

2 FPGA 设计

2.1 基于 NIOS II 处理器的系统设计

为了满足接口板要求, 结合微处理器功耗、性能等因素, FPGA 选用 Altera 公司的 EP1C12QC240C8 芯片, 并使用集成在 QuartusII6.5 中的 SOPC Builder 工具来配置生成片上系统^[6]。根据应用需要, 从 SOPC Builder 库中选择 IP 模块、存储器、外围接口和处理器, 通过双口 RAM 和 PCI9054 进行通信, 通过 EZ-USB FX2 内的 FIFO 和 EZ-USB FX2 进行通信, 并且配置生成一个高集成度的 SOPC 系统。我们选取以下一些模块组成片上系统: NIOS 32bit CPU、Boot Monitor ROM、Timer、User PIO、LED PIO、External RAM Bus、External RAM Interface、External Flash Interface。同时, SOPC Builder 自动产生一些必需的仲裁逻辑来协调系统中以上各个部件的工作。

将系统硬件生成后下载完毕后, 就可以在软件开发平台 NIOS II IDE 中进行系统的软件设计。在本系统中, NIOS II 在作为下位机来使用, 它通过 PCI 或 USB 与上位机 (PC) 进行通讯, 接收来自上位机的命令, 并解释执行。NIOS II 的软件需要完成以下任务: PCI 总线通信管理模块、USB 总线通信管理模块、命令解释模块、多通道总线协议通信模块及内部控制模块 5 部分组成。

整个软件的体系结构如图 2 所示, 程序的编制采用前后台方式进行。NIOS 上电或复位后初始化程序完成整个系统的初始化, 包括 CPU 各 PIO 的输入输出方向, 启动定时器, 初始化中断向量表, 初始化 DPRAM 和 FIFO 内容, 初始化多通道总线协议 IP 核内容, 最后开放中断。

如果采用 USB 作为板卡与 PC 机的通信接口, 考虑到 EZ-USB FX2 采用 16 位数据总线进行通信, 因此在 USB 模式时多通道总线协议 IP 核工作在 16 位数据方式。同时, 由于 USB 的传输速率和 ARINC429 总线标准传输速率相差很大, 所以 NIOS II 通过该接口必须解决两者之间的读写速度的问题。另外通过该接口, 还必须将 NIOS II 读写 EZ-USB FX2 得到的数据, 最终能按照多通道总线协议 IP 核提供的 CPU 接口逻辑的要求对 IP 核进行读写操作。

对于 EZ-USB FX2, NIOS II 主要完成 FIFO 的选择, 判断相关标志引脚, 根据其取值进行读写操作。对于多通道总线协议 IP 核, 可以通过 CPU 接口逻辑提供的 Wait 信号来中断或继续读写 IP 核, 通过 Int 信号来判断当前发送通道内的 FIFO 已满或接收通道内的 FIFO 已空。主要包括两种情况: ①读 USB 内的数据然后通过该接口写入多通道总线协议 IP 核; ②读多通道总线协议 IP 核内的数据然后通过该接口写入 USB。由于两种情况设计思想非常相似, 下面仅以读 USB 内的数据并通过该接口写入多通道总线协议 IP 核为例来说明实现方法。其流程如图 3 所示。

如果采用 PCI 作为板卡与 PC 机的通信接口, 由于 PCI9054 采用 32 位数据总线进行通信, 因此在 PCI 模式时多通道总线协议 IP 核工作在 32 位数据方式。考虑到 PCI 和 ARINC429 总线标准传输速率相差很大, 所以本接口必须解决两者之间的读写速度的问题。另外通过该接口, 还必须将 NIOS II 读写 PCI 得到的数据, 最终能按照多通道总线协议 IP 核提供的 CPU 接口逻辑的要求对 IP 核进行读写操作。综上所述, 本接口板采用双端口 RAM 的方式作为 PCI9054 与 NIOS II 通信的数据缓存。

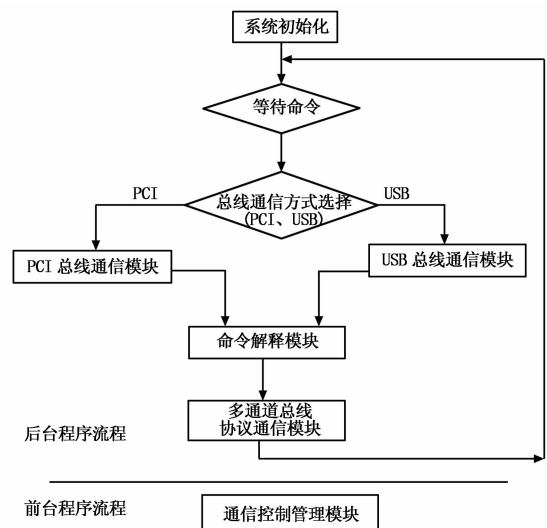


图 2 系统软件结构

双端口 RAM 起到数据缓存的关键作用, 本系统采用 IDT 公司的 IDT70V28, 其规格是 64 k×16。考虑到数据传输无间隙的要求, 将双端口 RAM 分为读、写两部分。其中前 32 kB 用来存储发送的数据, 后 32 kB 用来存储接收的数据。结合对双端口 RAM 可以同时读写的特点, 又将读、写 RAM 地址区各划分为 8 部分, 分别对应 8 个发送、接收通道。以发送通道 1 为例, 其地址范围 0x0000~0x07FF, 在发送通道 1 内, 又分为 4 个小部分, 地址空间为 0x0000~0x01FF, 0x0200~0x03FF, 0x0400~0x05FF, 0x0600~0x07FF, 当 0x0000~0x01FF 写满时, PCI9054 将产生 TXFULL 信号, 由 NIOS 读

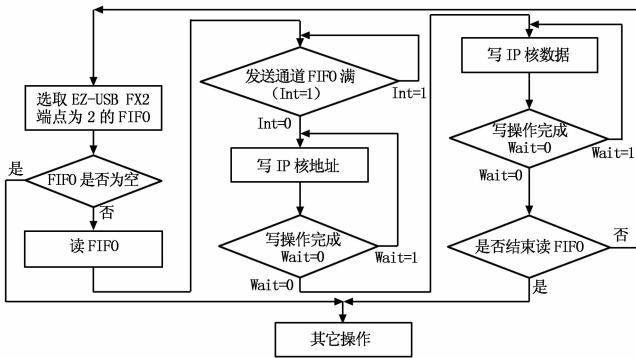


图 3 NIOS II 读 USB 写多通道总线协议 IP 核流程

取其双端口 RAM 内的数据，同时发送数据可以存入下个地址空间 0x0200~0x03FF，从而达到数据的无间隙传输。其它通道的 RAM 工作过程类似。

NIOS II 软件主要完成如下工作：(1) 对可能到来的 8 通道中断信号进行排队；(2) 向 PCI9054 提供数据满信号 (RAMRX1FULL 等)、未满信号 (RXNOTFULL) 和字计数器 (COUNT [7.. 0])；(3) 接收 PCI9054 传来的数据满信号 (TXFULL)、未满信号 (TXNOTFULL)、字计数器 (PE [7.. 0]) 和 RAM 地址块选择信号 (PA [7.. 4])。

2.2 多通道总线 IP 核的设计

多通道总线 IP 核的主要功能是实现 ARINC429 总线协议 [3,7]。它既能接收经过转换成数字信号的符合 ARINC429 总线协议标准的信号并将其送入 CPU 或其它设备，又可将 CPU 或其它设备发出的数字信号按照 ARINC429 总线协议标准的数据格式输出，该 IP 核提供 8 通道同时收发，且每路通道数据传输相互独立。在这个 IP 核中，每个通道可以单独定义总线频率，能单独定义通道标志，每个通道可以选择是否允许校验，其校验方式可单独定义为奇校验或偶校验等，另外提供 8, 16, 32 位的 CPU 总线接口。其总体结构如图 4 所示。

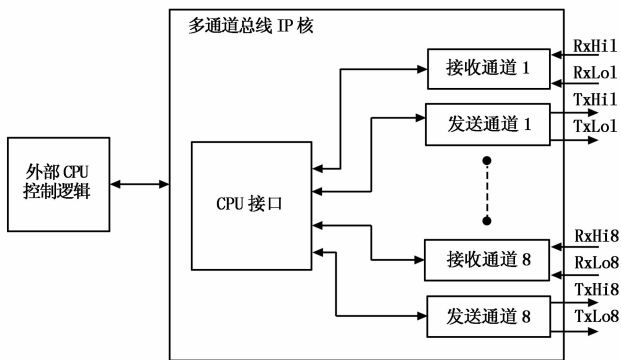


图 4 多通道总线 IP 核总体结构图

2.2.1 发送通道设计

发送通道主要功能是将 CPU 或其它设备发出的数字信号按照 ARINC429 总线的数据格式输出。主要包括 FIFO、32 位并行转串行移位寄存器、控制逻辑、奇偶校验产生逻辑、波形产生逻辑及 CPU 接口逻辑。其发送通道逻辑如图 5 所示。

FIFO 具有 256 个 32 位的存储单元，充当 CPU 与移位寄存器之间的数据缓冲；移位寄存器和波形产生逻辑负责将 32

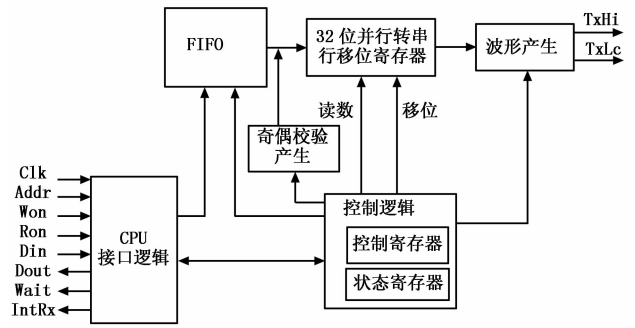


图 5 发送通道逻辑框图

位的数据按照特定频率产生符合 ARINC429 总线标准的串行信号；奇偶校验逻辑负责奇偶校验的产生；控制寄存器中不同数据位提供相应的控制方式，状态寄存器则提供发送通道的状态信息 [8]。

发送通道从 CPU 接口逻辑中取得 32 位数据并写入 FIFO，控制逻辑一直检测 FIFO，一旦发现 FIFO 不为空，控制逻辑置取数据信号有效，取出的数据根据控制寄存器内容选择奇偶校验方式，并读入移位寄存器，出来的串行数据通过波形产生逻辑最终产生信号 TxA、TxB。

2.2.2 接收通道设计

接收通道主要功能是接收经过转换成数字信号的符合 ARINC429 总线协议标准的信号并将其送入 CPU 或其它设备。主要包括数据接收和时钟恢复逻辑、32 位串行转并行移位寄存器、控制逻辑、FIFO、标志寄存器、标志比较逻辑及 CPU 接口逻辑。其逻辑如图 6 所示。

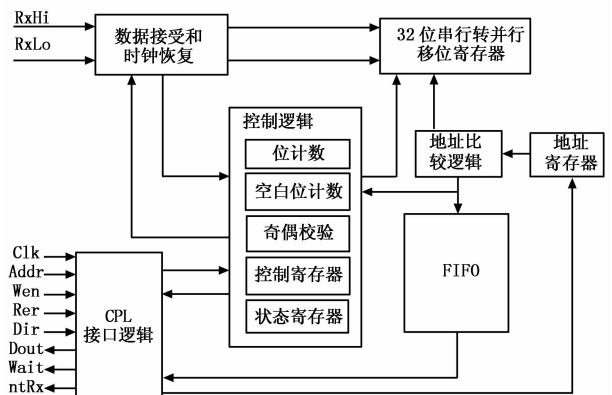


图 6 接收通道逻辑框图

FIFO 具有 256 个 32 位的存储单元，充当 CPU 与移位寄存器之间的数据缓冲；移位寄存器将串行数据转换成并行数据；标志寄存器存放该通道的标志，标志比较逻辑负责对接收的数据字中标志域与标志寄存器比较。控制逻辑中包括位计数、空闲位计数、奇偶校验、控制寄存器、状态寄存器。控制寄存器中不同数据位提供相应的控制方式，状态寄存器则提供发送通道的状态信息。

接收通道首先通过数据接收和时钟恢复逻辑判断是否开始接收数据并取得数据时钟信号，然后经过移位寄存器获得 32 位并行数据，根据控制寄存器内容进行标志和奇偶校验比较，正确的数据写入 FIFO，修改状态寄存器的值，并通知 CPU 接

口逻辑已经正确接收数据, 等待 CPU 接口逻辑读取 FIFO。

2.2.3 CPU 接口逻辑

CPU 接口逻辑主要有两方面的功能: 一方面接收 CPU 或其它设备传来的控制信息, 标志信息, 数据信息从而控制 8 个发送、接收通道的工作; 另一方面将各个通道的状态信息和接收的数据传给 CPU 或其它设备。另外该接口逻辑中含有时钟信号分频电路, 从而提供各个通道的时钟信号。

CPU 接口信号, 负责与 CPU 或其它设备进行数据通信。具体定义见表 1。

表 1 CPU 接口信号

名称	类型	说明
Clk	时钟	时钟信号
Addr [7: 0]	输入	CPU 地址信号
Ren	输入	CPU 读允许信号, 高电平有效
Wen	输入	CPU 写允许信号, 高电平有效
Din [Dwidth-1: 0]	输入	数据输入信号, 位宽可以是 8、16、32 位
Dout [Dwidth-1: 0]	输出	数据输出信号, 位宽可以是 8、16、32 位
Wait	输出	CPU 等待信号, 表明发送活接收忙
Int	输出	表示接收通道或发送通道中断有效

通过 USB 或 PCI 与 IP 核接口, 可以完成 USB 或 PCI 和 IP 核的通信, 最终实现通过主机来控制接口板完成多通道 ARINC429 总线协议的通信。在测试中, 通过 JTAG 端口, 使用 QuartusII 的 SignalTapII 逻辑分析仪进行测试。

3 实验测试

在 Quartus II 6.5 集成开发环境中完成仿真验证和综合后, 进行系统的总体调试和功能实现。调试的主要工作是系统能否同时实现 8 通道 ARINC429 总线数据的传输, USB 和 PCI 驱动程序能否正常安装和应用程序能否实现对多通道板卡的控制等。本系统提供双模式多通道 ARINC429 总线调试助手对板卡进行调试, 该测试软件在 VC++6.0 环境下编写。其使用方法如下: 将板卡通过 USB 线或 PCI 接口插到计算机相应的插槽上, 按照提示安装好 USB 或 PCI 驱动, 点击应用程序就可以运行。该调试助手包括控制部分, 发送数据部分和接收数据部分。

本论文设计的多通道总线 IP 核含有自测试的回路, 因此接口板具有自测试功能。在图 5.1 中自测试选项中填入允许, 准备好数据, USB 或 PCI 向接口板传送的数据格式包括两部分, 控制指令和测试数据, 然后对比接收到的数据是否与发送数据相同。比如: 选择通道 1 发送、接收功能如下: 频率为 100k, 接收通道只允许接收标志域为 01 的数据, 采用奇校验; 其指令格式在 16 进制下表示为发送通道 (bf 14), 接收通道 (bf 04 01 0c)。发送通道发送 32 个字节的数据 (16 进制): 01 10 af 11 12 12 a0 13 02 30 bf 31 34 32 91 33 03 50 cf 51 56 52 82 53 04 70 df 71 78 72 73 73。那么只有标志域为 01 且奇偶校验位正确的数据才能接收, 即接收通道接收的数据为 01 10 af 11 12 12 a0 13, 组合成 32 位有效数据为 a0 12 af 01。

系统测试的另外一个方面是测试该接口板是否符合 ARINC429 总线通信数据格式要求, 即发送一组数据, 看是否能和其它该类接口板完成良好的通信, 满足 ARINC429 总线的要求。通过对该接口板大量的试验表明, 该接口板能够保证

与 ARINC429 总线设备进行可靠的通信。用示波器采样得到的典型通信波形如图 7 和图 8 所示。

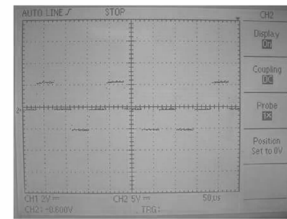


图 7 通道 1 工作在 12.5 K 总线波形图

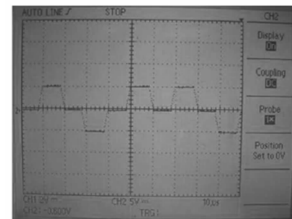


图 8 通道 2 工作在 50 K 总线波形图

4 结束语

本文设计的接口板实现了 8 通道 ARINC429 总线收发功能且每个通道完全符合 ARINC429 总线数据的通信要求, 采用 USB 和 PCI 双接口真正实现了一卡双模、使用更加方便灵活。相对其他接口板而言, 本板卡具有以下优点:

- (1) 实现 8 通道 ARINC429 总线同时收发功能, 每个通道数据传输相互独立。每个通道可定义总线频率和通道标志, 可选择校验方式。
- (2) 总线驱动能力强。每路发送通道能够连接 20 个接收通道。
- (3) 串行信号的位速率: 板卡能工作在 12.0~14.5 kbps、48~50 kbps、100 kbps、250 kbps, 且选定后的位速率误差范围应在 $\pm 1\%$ 之内。
- (4) 时钟源输入频率最大误差在 $\pm 0.01\%$ 。

参考文献:

- [1] ARINC Specification 429-12 Mark33 Digital Information Transfer System [Z]. The Airline Electronic Engineering Committee, 1990.
- [2] (美) C. R. 斯比策. 谢文涛等译. 数字航空电子技术 [M]. 北京: 航空工业出版社, 2010, 1-44.
- [3] 郑玉. USB-ARINC429 总线通信接口的设计 [D]. 成都: 电子科技大学, 2009, 7-9.
- [4] 邓智敏. 基于 HS3282 的 ARINC429 总线通讯卡的设计与应用 [J]. 计算机测量与控制, 2004, 12 (5): 476-478.
- [5] 黄金新. USB-ARINC429 通讯接口卡软件设计 [D]. 成都: 电子科技大学, 2009, 2-8.
- [6] Cyclone II Series Characters [EB/OL], 2011. <http://www.altera.com>.
- [7] 丛伟, 于宏坤, 刘安. 基于 USB 接口的军用总线通信模块的设计与实现 [J]. 火力与指挥控制, 2010, 35 (10): 163-165.
- [8] 王瑞敏, 苗克坚, 王亚妮. 基于 ARM 微处理器的 ARINC429 接口板软件设计 [J]. 计算机工程与设计, 2008, 29 (21): 5471-5473.