

基于 PXI 总线高速数据传输卡的设计

郭柳柳, 储成君, 甄国涌, 刘东海

(中北大学 电子测试技术国家重点实验室, 太原 030051)

摘要: 为了实现数据采集存储设备产生的高速、大容量地数据能够快速、可靠、远距离地实时传输, 提出了以 PXI 系统为平台, 采用单一周期和线性突发模式相结合的总线访问方式, 以 PCI9054 作为“桥梁”芯片, 高速 FPGA 为微控制器, 结合 LVDS 及高速光纤传输技术的总体方案设计; 经实践测试, 传输数据正确可靠, 实现了 177 Mbps 长距离通信速率。

关键词: 实时传输; PCI9054; 突发模式; PXI 总线

Design of High-speed Data Transmission Card Based on PXI Bus

Guo Liuliu, Chu Chengjun, Zhen Guoyong, Liu Donghai

(State Key Laboratory for Electronic Measurement Technology, North University of China, Taiyuan 030051, China)

Abstract: For the purpose to realize high-speed, storage of huge data generated by stored acquisition device real-time transmission fast and reliable over a long distance, a scheme is proposed to solve this problem, which adopted the new bus access combining single cycles with burst mode, used PXI system as the platform, PCI9054 as the “bridge” chip and high-speed FPGA as micro controllers and combined LVDS with high-speed optical fiber transmission technology. The result is to achieve the rate at 177Mbps with accuracy by means of practical test.

Key words: real-time transmission; PCI9054; burst mode; PXI bus

0 引言

PXI 总线与 PCI 兼容, 总线数据传输速率能达到 132 MB/s (最高可达 528 MB/s), 其高速的传输速率、开放的软件架构以及价格优势使之成为当今自动化应用和测试的标准平台。本设计以 PXI 为平台, 应用专用接口控制器 PCI9054, 设计者只需要通过接口控制器便可以作为目标设备来进行 PXI 总线的高速数据传输, 大大减少了开发周期^[1]。

1 总体设计

FPGA 通过背板总线接口接收主机卡发出的指令, 再经过光纤接口转发给转接器; 另外, 通过光纤接口接收转接器的高速数据, 再通过背板总线接口上传给主机卡。设计框图如图 1 所示。

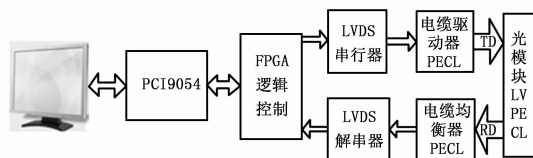


图 1 总体设计框图

基于低压差分信号传输技术可以支持较高的数据传输速度, 而且功耗远比同类技术低, 因此数据收发芯片选择 TI 的 LVDS 芯片 SN65LV1023A 并串器和 SN65LV1224B 解串器。

两者的串行数据传输率在 100~600 Mbps, 满足本设计 177 Mbps 的传输速率。虽然 LVDS 串行/解串器接口可以驱动不同机架之间的连接电缆, 但电缆的长度受到一定的限制, 最长不过几米, 无法单独实现长距离传输。由此, 我们采用 TI 公司的专为较长电缆而设的 CLC006 电缆驱动器以及与之搭配的电缆均衡器 CLC014^[2-3], 光模块选择单模光收发一体模块 OCM3723。

2 数据收发接口的实现

2.1 硬件电路设计

硬件连接电路如图 2 所示, 这样的设计引入了另一个问题, LVDS 电平、PECL 电平和 LVPECL 电平三者之间的匹配。

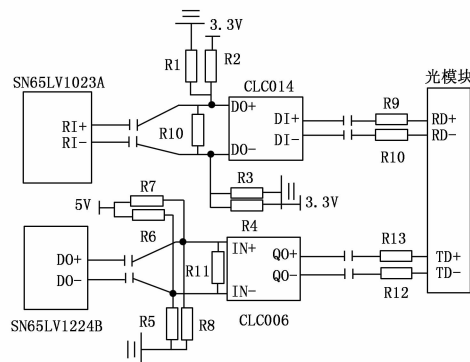


图 2 硬件连接电路

三者之间匹配可以选择直流耦合、交流耦合或专用转换芯片, 在设计中我们选择 AC 耦合, 采用 AC 耦合可以减少上级和下级芯片之间偏置电位上的牵连, 不破坏上一级的内部偏置, 同时相对专用转换芯片可以节省 PCB 空间及成本。如图 2

收稿日期: 2013-10-13; 修回日期: 2013-12-27。

作者简介: 郭柳柳(1988-), 女, 陕西省咸阳市人, 硕士研究生, 主要从事电路与系统方向的研究。

甄国涌(1971-), 男, 山西省阳泉市人, 博士, 副教授, 主要从事嵌入式系统和动态测试等方向的研究。

所示, R25 跨接靠近 CLC006 输入端, CLC006 输入端阻抗很大, 其作用一是终端匹配电阻, 其二是将 SN65LV1023A 输出的恒流值转换为电压 780 mV_{pp};

R1/R3、R2/R4、R30/R31、R29/R32 分别为 LVDS 解串器为和电缆驱动器提供 1.2 V 和 3 V 左右的直流偏置, R23 用于调节输出信号大小 (信号大小因调节电阻而变, 具体值可参考芯片资料); R27/R28、R33/R34 是传输线上的阻抗匹配。在接收模块中, CLC004 内部已经自偏, 不需额外的偏置电路。其差分输出端的电压理论上电压值的大小为 R5 和 10 mA 乘积。偏置电压在 1.2 V 左右。从高速传输线阻抗匹配的概念出发, 将光模块外接电阻等效阻抗为 50 Ω, 直流偏置 2 V, 完全满足其高电平逻辑是 2.3 V, 低电平逻辑 1.5 V 要求^[4]。

2.2 数据控制模块的设计

控制模块主要由 XiLinx 生产的 XC3S400 的高速 FPGA 完成, 并利用其内部 FIFO 完成数据的缓存, 中心控制模块如下图 3 所示。

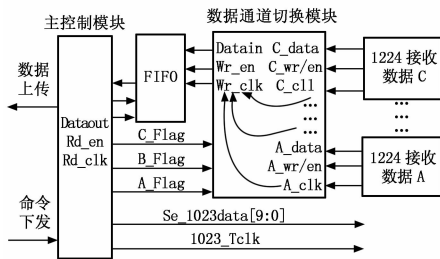


图 3 中心控制模块

上位机下发命令后由主控制模块识别命令, 采用系统时钟 1023_Tclk 通过 Se_1023data [9: 0] 将命令通过芯片 SN65LV1023A 送出去, 指令包括 10 位, 高两位用于区分有效数/无效数, 其作用在关键技术的研究中会讲到。第八位用于区分指令类别, 无需上传数据的指令用“1”表示, 需要上传数据的指令采用 Fifo_half 标志位表示, 当第八位为“1”时说明 Fifo 半满, 此时上位机突发取走 2K 数据, 转接器停止送数据给传输卡, 否则, 传输卡的 Fifo 一直接收数据直至半满。如图 3 所示, 接收的数据来自 3 个不同的接口, 主要是通过数据通道切换模块控制, 当下发的指令目的是读 A 数据时, A_flag 标志位被拉高, 当数据切换模块检测到 A_flag 置 1 时, 将 A_data、A_wr/en、A_clk 分别赋给 Fifo 的 Datain、Wr_en、Wr_clk 即将数据 A 上传给上位机, 其它数据也分别用 B_flag、C_flag 作为切换标志。

3 PXI 接口设计

3.1 传输模式选择

LOCAL 总线有 3 种工作方式分别为 C、J、M 模式。C 模式是 PCI9054 芯片通过片内逻辑控制器将 PCI 地址线 and 数据线分开, 可以很方便地为本地工作时序提供各种工作方式, 设计者只需要关注 Local 端的时序控制从设备, 就可以通过 PCI9054 实现所需功能。考虑到设计需求中主要实现的功能是实现高速 LVDS 数据的接收, 相比较其他两种模式而言, C 模式可以简化设计, 提高模块的可靠性, 节约 PCB 版面, 因此 LOCAL 总线的工作方式选择为 C 模式^[5-6]。Local 总线和 PCI 总线之间的数据传输则选择 PCI Target 模式, 在此模式下 PCI 总线主控设备可以以编程的等待状态、总线宽度和突发传输功

能访问 PCI9054 的 3 个空间 (空间 0、空间 1 和扩展 ROM 空间), 满足实际需求。

3.2 FPGA 与 PXI 接口之间的通信

FPGA 与 PXI 接口之间的通信是通过专用接口控制器 PCI9054 实现的。与之相关的几个主要的应用信号分别为: ADS#、Blast#、LW/R#、Ready#^[7]。

ADS# 信号, 表示有效地址和新的总线的开始;

Blast# 信号, 用于决定一个单周期被执行或突发周期被执行。如果在第一个数据阶段的开始 Blast# 为低, 那么在这个阶段 PCI9054 执行了一个单总线周期。否则, PCI9054 执行一个突发访问周期, 而 Blast# 有效时被用于结束这个周期;

LW/R# 信号, 表示读有效为低, 写有效为高;

Ready# 信号, 有效时表示总线上读的数据有效或者一次写数据传输结束。

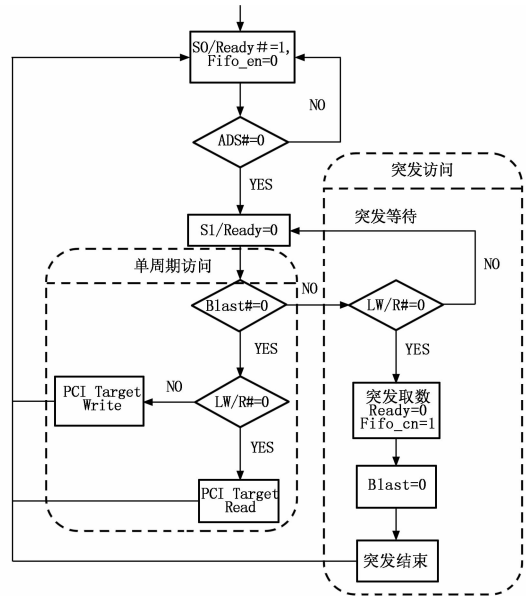


图 4 读写操作流程图

读写操作流程如图 4 所示。程序起始循环在 S0 状态下, 当上位机没有任何指令下发的时候, ADS# 为高, 一直处于空闲状态; 当有指令下发时 ADS# 拉低, 跳入 S1 状态下进行单周期访问。在单周期访问中分为读和写操作, 首先执行写操作, 即 FPGA 从本地 Local 数据端接收上位机下发的命令。一次单周期结束后跳回 S0 状态继续判断 ADS# 状态。当 ADS# 拉低时, 再次进入 S1 状态进行读操作, 目的是将前一次刚接收的命令写入约定好的地址, 跳回 S0 状态。上位机判断该地址中的指令与前一次下发的指令是否一致, 若一致, 说明指令下发成功, 反馈给上位机操作界面, 否则, 自动重新下发前一次的指令; 若经过 3 次均未确认成功, 上位机显示指令发送失败。当 FPGA 接收到需要上传数据的指令并且上位机已经确定指令下发成功时, 进入 S1 状态后执行第二个读操作, FPGA 将 Fifo 半满时和上位机约定好的标志写入约定好的地址中, 上位机再从该地址中读取此标志, 若是半满, 说明 FPGA 准备好数据, 可以进入突发访问周期, 上位机可以突发获取数据; 否则, 说明数据未准备好, 上位机需要反复判断该地址中的数据等待数据准备好, 若超过 3 s, 数据仍未准备好, 则退出当前的操作。

4 关键技术的研究

4.1 数据传输可靠性的研究

为了接收到有效的数据, 解串器必须同步到串行器上。而在长距离数据传输过程中因为各种干扰, 解串器不可避免地会失锁。针对此问题, 从两方面着手解决: 一方面减少失锁概率, 在基本的屏蔽保护措施采取后, 考虑频率影响长距离电缆衰减的情况下, 提高传输速率, 利用 FPGA 内部双口 RAM 缓冲, 在满足有效数据速率的同时, 无效数发同步码来减少失锁的概率; 另一方面实现快速地恢复同步。设计中选择的 SN65LV1224B 同步模式有两种: 随机数同步和快速同步。在随机数同步模式解串器的 LOCK 端不必和串行器的 SYNC 端相连, 可以工作在开环状态下, 随机数据可以使其同步上, 因此, 锁定的时间就只能根据数据流特征而定, 当解串器上电后, 主要约束锁定时间的是初始相位和 REFCLK 之间的关系。鉴于此, 为了更快地同步上, 当解串器上电后, 发送大于 20 个 TCLK 的同步码 (6 个“1”和 6 个“0”) 即可快速同步上。但这种设计的弊端是: 数据传输过程中的失锁无法快步同步上, 造成丢数现象。

快速同步模式不会发生以上现象。将 LOCK 端和 SYNC 端直接连起来, 当检测到失锁时, LOCK 端拉高 6 个 TCLK 后并串器端会发送连续 1 026 个同步码再次同步^[8], 此时需要考虑的是失锁到再次锁定之间 6 个数据不稳定, 需要同步后再次重新发送这 6 个数。

4.2 重要环节的设计

指令识别错误, 采集存储设备不能正确进入相应的工作状态, 最终可能导致不能采集到任何数据, 因此指令设计上要充分考虑冗余及校验, 发送方式上也要考虑解串器能正确解码。

指令长度为 10 位, 最低位为奇校验位, 奇校验可以将错误降到 1/2, 最高两位区分有效指令和无效数。并串器实际传输有 12 位, 作为内嵌时钟的起始位和终止位, 解串器将收到的串行数据转换为 10 位并行数据并存入输出锁存器, 同时从内嵌时钟中重建并行时钟, 并用此时钟来选通输出锁存器及输出数据。当连续发送同一个指令时且 9 位 (除过最高位) 数中有多个相邻的 0-1 变化会使解串器错误地将数据当做起始终止位 (RMT)^[8], 数据传输出错。

针对此问题, 设计采取有效指令和同步码 1: 7 的比率来下发指令, 从根源上解决连续重复发含多个 0~1 变化的数据串引起的数据紊乱问题。该方法经过测试, 指令接收正确, 通讯正常。

5 仿真调试结果

调试过程中采用 ChipScope Pro 软件在线调试分析, 如图 5 (a)、5 (b) 所示。

采用单一周期和线性突发模式相结合的总线访问方式。在单周期访问周期时, FPGA 可以接收上位机命令并执行相应操作, 而线性突发的数据传输模式, 可确保总线不断满载数据, 提高数据的传输率, 充分发挥 PCI 总线数据传输速率高的优点。如图 5 (a) 所示为单一周期读操作时序。

FPGA 将半满标志 AA 标志写入 000C 地址中, 上位机判断该地址内容为 AA 后开始突发取数, 从图 5 (b) 可以看出执行突发取数时各个重要信号的变化。上位机确认读数指令 f_cmd 为 X41H 发送成功后, 每 445 个 CLK 进行一次单周期访问, 如图 5 (a) 所示, 检测 FIFO 半满情况, 检测到 f_fifo_hf 半满为 1 后, 将半满标志 AA (未半满为 55) 写入约定好

地址, 再经过 395 个 CLK 上位机开始突发取数。

设计中数据的缓存用 FIFO 而非双口 RAM。因为执行一次突发读数速度比较快 (本设计为 191.436 8 Mbps), 相对 RAM 而言, FIFO 更容易用自身的半满信号控制读写操作。上传数据时, FPGA 利用内部 4 kFIFO, 采用半满即读的工作方式, 将突发的 2 K 数据存在约定好的 X0400-X05FF 地址中, 每次突发四字节, 这样可以实现高速突发有数可读。

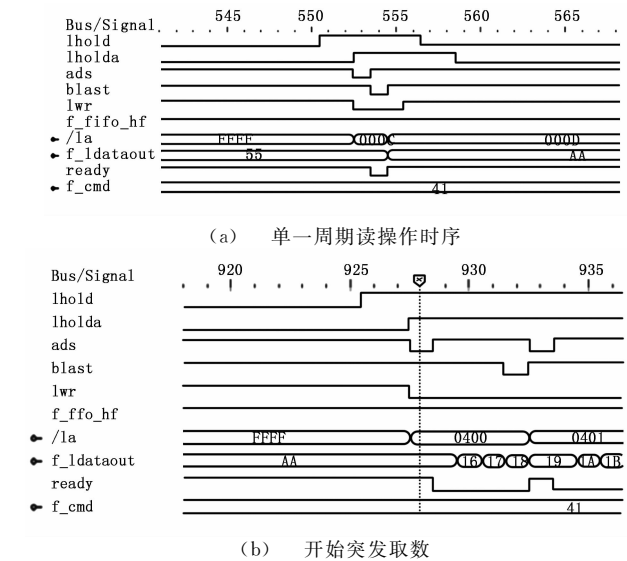


图 5 单一周期读操作时序

FIFO 半满后就停止写数进入 FIFO 中, 因为突发取数速度是写数读数的 4 倍, 刚取部分数字后 FIFO 半满信号立即拉低, 又开始往 FIFO 中写数, 所以读完 2 K 数据后, 既不会发生 FIFO 缓存空的情况也不会出现缓存数据溢满的现象。即使在最坏情况下 (FIFO 半满后仍然写数进去, FIFO 半满后 840 个 CLK 之后才突发取数), 在突发取数之前缓存又写入 168 个 BYTE (5 个 CLK 写一个 BYTE), 也不会出现溢满现象。

6 结论

经过测试, 利用 DriverStudio 开发的 PCI9054 驱动程序成功地实现了单次读写和突发模式结合的功能, 传输卡能正确无误地收发远距离传输的数据, 此设计已成功应用多个自行研制的 PXI 模块中。传输速度稳定可靠, 值得推广。

参考文献:

- [1] 刘红. 通用 Compact/PXI 接口技术研究 [D]. 四川: 四川大学, 2005.
- [2] 杨翠虹, 文丰, 姚宗. 基于 LVDS 的高速数据传输系统的设计 [J]. 通信技术, 2010, 43 (9): 60-61.
- [3] Glisic D. 数百 Mbps@数百米扩展 LVDS 的传输距离. 电子产品世界 [Z], 2004: 123-124.
- [4] Wuhan A—Create Optics & Electronics Tech. Co. LTD. OCM3723 [Z]. <http://www.a—create.com.cn/search.jsp>.
- [5] 谢冲, 董鹏举. 基于 PCI9054 的 PCI 接口板设计 [J]. 技术应用, 2010: 69-70.
- [6] 王金陵, 崔永俊, 白先民. 基于 PCI9054 的测试系统计算机接口设计 [J]. 计算机测量与控制, 2012, 20 (12): 3201-3202.
- [7] PLX Technology. PCI9054 Data Book. Version 2.1. [Z]. 2000.
- [8] SN65LV1224b [DB/OL]. <http://www.ti.com.cn/product/cn/sn65lv1224b>.