

基于 FPGA 的智能网络接口设计

张兴堂

(江苏自动化研究所, 江苏 连云港 222061)

摘要: 为了实现一种基于 FPGA 及片上系统 (SOC) 的智能以太网接口设计, 在 FPGA 内集成了 PowerPC440 硬核处理器、以太网接口控制器 IP (TEMAC)、DDR2 控制器、通用串行接口 IP 核及定时器等; 该设计使用 Verilog HDL 硬件描述语言, 在 ISE12.4 下的嵌入式集成开发环境 XPS 下进行 IP 核定制、系统的集成设计、综合、布局布线, 在 Model Sim 下完成功能、时序仿真, 在 SDK 环境下完成片上系统软件程序的开发; 最后在 XILINX 的 Virtex-5 系列 FPGA 器件上实现了具有千兆以太网接口的智能片上系统, 智能网络接口具有可重配置、可扩展性、灵活性、兼容性、功耗低等优点。

关键词: 片上系统; 网络接口控制器; IP 核

Design of Intelligentized Network Card based on FPGA

Zhang Xingtang

(Jiangsu Automation Research Institute, Lianyungang 222061, China)

Abstract: In order to design a Intelligentized Network Card based on FPGA and SOC, that composed of the PowerPC440 Processor, the Interface IP of Network, UART, DDR2 and Timer. Meanwhile, it enhances the precision of synchronous, as well as the anti-jamming ability. So it is ideal for the research and develop of SOC. Verilog hardware description language in the XPS environment of ISE12.4 has been used for its design, compilation and simulation. The Intelligentized Network Card based on SOC and TEMAC has been implemented in the Virtex-5 of XILINX. The Network Card has the advantages of flexibility, configurability, opening, extending, smallness and low consuming.

Key words: SOC; TEMAC; IP core

0 引言

随着超大规模片上系统需求日益扩大, 在嵌入式微处理器系统中使用以太网 MAC 越来越普遍^[1]。Xilinx 已将以太网 MAC 集成到 Virtex-5 系列 FPGA 的架构中, 支持与 MII、GMII、简化 GMII (RGMII)、串行 GMII (SGMII) 和 1000BASE-X 接口^[2]。本文以 XILINX 公司 Virtex-5FX 系列器件中片内集成的硬核 PowerPC440 为主处理器, 以太网接口控制器 IP (TEMAC) 通过 GMII 与 PHY 接口设计为例, 说明基于片上系统的智能网络端点模块设计方法。

1 设计原理

基于片上系统及 TEMAC 的智能以太网系统的硬件结构主要是围绕 Virtex-5 系列的 FX70T 进行的, 系统的网络通讯功能是通过片内的 TEMAC 和外部的三态以太网物理层 (PHY) 实现的, 以 VxWorks6.3 作为智能以太网的操作系统, 其典型结构如图 1 所示。

由于 FPGA 内部 BlockRAM 的容量无法满足 VxWorks 对存储空间的需求, 因此使用一片 32MB 的 FLASH (PROM) 来存储 VxWorks 映像和引导程序, 并且以 256MB 的 DDR2 为其提供运行程序的空间。另外增加 1 个 RS232 串口, 以及 GPIO 作为调试用。其片外集成了 256MB 的 DDR2 存储器、32 Mb 的 Prom、RS232 串行接口收发器、网络 PHY 层芯片、拨码开关、LED 灯、供电电路, 时钟电路等。

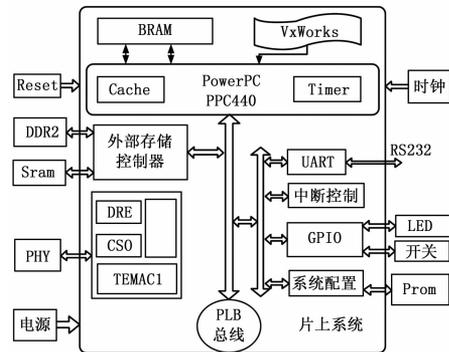


图 1 智能网卡组成原理图

2 硬件设计

2.1 TEMAC 定制设计

以太网 MAC 是一个库原语, 名为 TEMAC^[3]。该原语包括一对 10/100/1000 Mbps 的以太网 MAC^[4]。Virtex-5 系列器件一般内含有 4 个以太网 MAC 模块; Virtex-5 以太网 MAC 完全符合 IEEE802.3 规范。以太网 MAC 模块结构如图 2 所示。根据对外接口类型可以分为以下几个部分: 物理接口、控制接口、客户端接口, 另外每个以太网 MAC 还有一个可选的管理数据 I/O (MDIO) 接口。它允许对外部 PHY 的管理寄存器和以太网 MAC 中 PCS/PMA 内部的物理接口管理寄存器进行访问^[5]。

为增强设计, 将以太网 MAC 的物理接口通过跳线选择为 GMII 和 SGMII 接口可选两种方式: (1) 选择 GMII 方式, 外部接 88E1111-RCJ 为 PHY 层芯片; (2) 选择 SGMII 接口, 可减少与外部 PHY 的接口接线数量, 使用 PCS/PMA 模块与

收稿日期: 2013-11-21; 修回日期: 2014-01-19。

作者简介: 张兴堂 (1981-), 男, 江苏徐州人, 硕士, 主要从事 FPGA 以及嵌入式系统开发方向的研究。

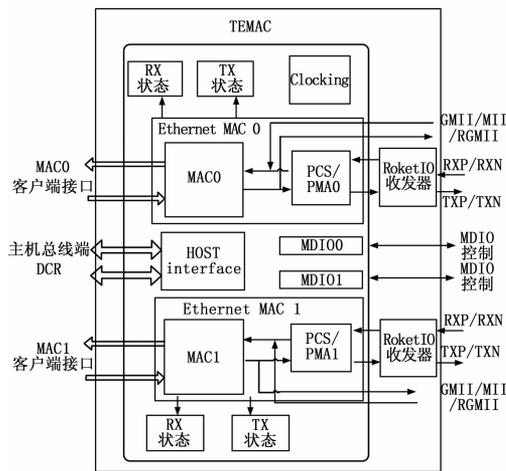


图 2 以太网 TEMAC 的模块结构图

RocketIO 收发器一起工作，能够提供与吉比特转换器 (GBIC) 或者小型可插式 (SFP) 光纤收发器进行直接连接所需要的所有功能。这可以避免 1000 BASE-X 网络应用所需的外部 PHY 芯片。

同时为了简化设计以及片上系统集成，特引入 PLB 总线，Xilinx 提供一个可参数化的处理器本地总线 (PLB) 接口，用于提供对硬 TEMAC 的连接。这个 PLB_TEMAC 核具有大小可变的 FIFO 和一个 Scatter/Gather DMA 引擎，可以大大简化构建嵌入式 PowerPC 系统的过程^[6]。本系统中的 PLB_TEMAC 已配置，可用来使用 Scatter/Gather DMA，包括接收 (Rx) 和发送 (Tx) 硬件数据重新对齐引擎 (DRE) 以及校验和卸载 (CSO)，PLB_TEMAC 的模块组成如图 3 所示。

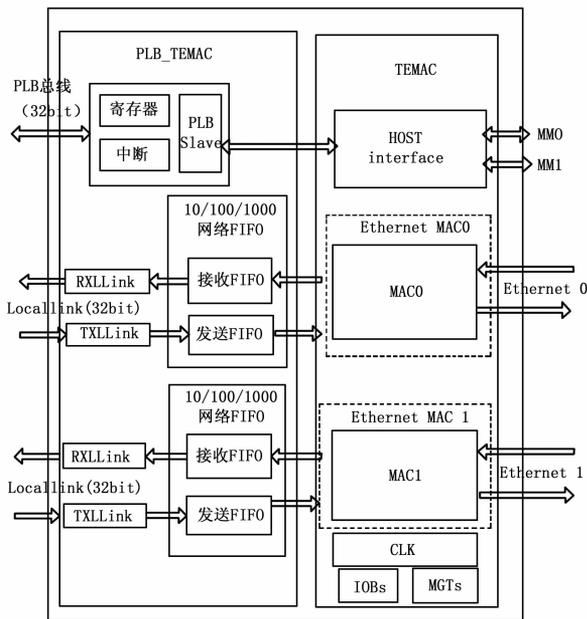


图 3 PLB_TEMAC 的模块组成结构图

PLB_TEMAC 提供标准的 PLB 总线，为 PowerPC440 访问以太网 MAC 模块配置寄存器提供了通道。配置选项包括巨帧使能、暂停、单播地址设置以及帧检验序列生成等。32 位的 LocalLink 总线为网络接口数据收发提供移动通道，并且可

以直接接入 PowerPC440 内的 DMA 组建 DMA 访问。通过内部寄存器还可以实现基本的中断生成、中断控制逻辑、设置接收与发送 FIFO 深度从而确定 DMA 操作的深度^[7]。

2.2 片上系统集成设计

基于 PowerPC440 硬核处理器的片上系统集成，是在 XILINX 的 XPS 环境下完成的，片上系统集成主要完成的是对片上系统处理器及外设的定制、片上系统资源分配、总线交换操作及中断处理等几个关键点。

片上系统的定制设计主要是完成设置系统主频，同时可选配指令、数据 Cache 大小及外部数据指令等特性，并设置 Cache 和 CPU 直接相连的存储器。外设 IP 主要包括外部 DDR2 控制接口 IP、外部 Flash 接口 IP、外部 GPIO 接口 IP、PLB_TEMAC 网络接口 IP、同时要指定物理地址和收发 FIFO 大小。FLASH 单元需要设置 FLASH 类型和读写时间。为了方便调试，还需要加入调试用串口，本设计使用的是 Uart16550 模块，设置需要的波特率和校验类型。提供各个模块需要的不同时钟，系统还需要时钟管理模块 (DCM)。还需要设置一段 FPGA 内部 RAM 区域，放置 PPC 的 boot 文件。外设是通过 PLB 总线和 PPC 通信，均需要统一分配地址，将 DDR2 内存空间地址分配到 0x0 开始。

DDR2 控制器采用 XPS 提供的 Multi-Port-Memory Controller 模块，需要设置 DDR2 芯片厂商、大小和数据位数等，特别指出的是，要设置独立的两条 PLB 总线和 PPC 连接，作为 PPC 的指令和数据总线。MAC 单元需要加入 XPS_PLB_TEMAC 模块来控制。整个片上系统定制集成设计结构如图 4 所示。

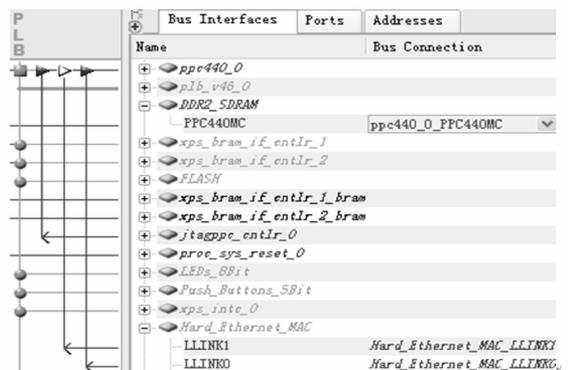


图 4 片上系统的定制集成设计结构图

整个片上系统的定制是在 XPS 环境下完成的，PLB 总线在添加外设之后会自动生成，并且随着外设的添加和删减而自动调整，最终 PLB 总线结构是针对外设配置而生成的最佳结构。

2.3 外围硬件电路设计

在进行电路设计时，是以 FPGA 为核心，向外扩展各种设备，因此 FPGA 各个引脚的指定需要注意在不同 BANK 的分配 VCCO 电压，由于 DDR2 和 PHY 都需要提供 +2.5 V 和 +1.8 V 电压，还有片外需要 +3.3 V 电压，因此和 DDR2、PHY 芯片连接引脚所在的 BANK 需要分别提供 +2.5 V、+1.8 V 电压参考。同时需要将时钟信号放置在全局时钟引脚上。由于 FPGA 需要通过外部 PROM 配置芯片 XCF32P 启动操作系统。

在 DDR2 布线时，数据和地址线需要走等长线，数据线之间不能相差 10 Mil，地址线要控制在 20 Mil 以内，时钟也需要走差分等长线，长度应大于地址线。DDR2 各个信号还需要 50 Ω 的并行端接以改善信号质量。千兆 PHY 输出 MDI 信号也需要在顶层做差分等长，DDR2 和 PHY 需要完整的电源回路做参考，需要做电源层划分。

3 软件设计

VxWorks 操作系统是 WindRiver 公司设计开发的一种嵌入式实时操作系统。它采用微内核的结构，具有支持多种处理器、丰富的网络协议、良好的兼容性和裁剪性等特点，同时具有程序动态链接和下载的功能。VxWorks 的板级支持包 BSP 是介于底层硬件和上层软件之间的底层软件开发包^[7]。

3.1 VxWorks 下的 BSP 移植

Xilinx 公司提供的 EDK 套件，可以在很大程度上减少 BSP 开发的复杂度。EDK 中的 BSP 生成器 (BSP_GEN) 可以根据不同的微处理器和嵌入式实时操作系统组合自动产生用户可裁剪的 BSP。它包括 Boot 代码、设备驱动和操作系统的初始化^[8]。利用 BSP_GEN 可以把 Xilinx 器件驱动打包到 BSP 的子目录下，并且把 Xilinx 器件驱动与 VxWorks 及其 Tornado 集成开发环境无缝集成，缩短开发周期。

但是 BSP_GEN 生成的 BSP 只是一个固定的 BSP 模板，并不能正确地反映 RAM/ROM 的存储器映射，不支持用户通过 BSP_GEN 流程自定义的核驱动等。因此还需要对 BSP_GEN 产生的 BSP 进行修改，借助 EDK 的 BSP_GEN 必须要做以下几项工作：(1) 修改 config.h 和 Makefile 中的 RAM、ROM 地址及串口波特率；修改 sysSerial.c，对串口进行正确的设置；(2) 增加不能与 VxWorks 无缝集成的器件的驱动文件，关键性中断、GPIO 接口等；(3) 配置 sysNet.c 中的以太网参数，设置 MAC 地址；(4) 根据 EDK 中的配置，禁止或使能 Cache；(5) 修改 sysLib.c，以显示正确的信息；(6) 设置主机 IP 地址。

3.2 Socket 的 UDP 程序设计

UDP 协议即用户数据传输协议，在完成对 VxWorks 的 BSP 的配置和修改后，就可以在应用程序中书写用户的 UDP 服务器端程序。本设计用基于 Socket 的 UDP 通信。

网络通信一般可通过 Socket 实现。Socket 编程采用的是客户端/服务器的数据通信模式，VxWorks 提供了标准的 BSDsocket 调用，支持 UDP 协议。它允许创建和维护与远程计算机的连接，使其彼此可以进行数据传输。通信过程如图 5 所示。

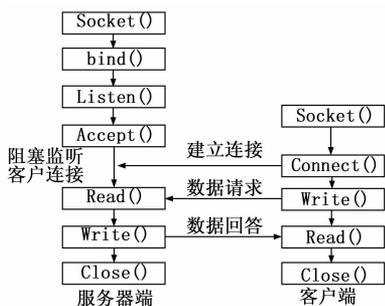


图 5 UDP 通信流程

服务器首先调用 Socket () 建立一个套接字 socket，然后调

用 bind () 将套接字与一个本地网络地址 (IP 地址和端口号) 捆绑在一起，以保证客户端正确识别。接着服务器调用 listen () 使套接字处于被动的准备接收状态，同时规定它的请求队列长度，随后调用 accept () 来接收客户连接。服务器进程随即进入阻塞状态，客户端与服务器的关系是不对称的，服务器先启动，然后在某时刻客户主动发出请求，服务器被动应答。

客户端程序首先调用 Socket ()，这个函数产生用于与各分系统连接的套接口，并为每个套接口返回一个 ID 号。然后初始化一个套接口结构体，为其赋上该 ID 号以及服务端的 IP 地址和端口号，并将其作为函数 connect () 的参数，调用 connect () 函数主动去连接服务端。

当服务端与客户端建立连接之后，就可以发送和接收数据。

4 调试与验证

为迅速有效地对所设计片上系统功能调试，可以通过内嵌的逻辑分析仪 ChipScope Pro 对片上系统内部数据抓取并分析，从而可实现快速调试与验证优化，通过在 ChipScope Pro 下存储器读写时所捕获其逻辑内部的实时数据方针结果，并依据该仿真结果对时序进行优化设计，最终完成桥接逻辑的设计调试与验证。

5 结束语

本文详细介绍了基于 PowerPC440 处理器的智能网络接口片上系统设计与实现。采用 XILINX 公司 Virtex-5 系列速度等级为 2 的 XC5VFX70T 芯片实现的，占用芯片资源小于 50%，软件中设计一段代码，它通过以太网，从上位机获得数据，存入 FPGA 内部 BlockRam 中，用于控制板上的 LED 灯的亮与灭，并且可以返回板上拨码开关以及 LED 灯的状态。通过实验证明，在 FPGA 加入操作系统后，能轻松实现网络数据的收发。而目前 Xilinx、Altera 以及 Lattice 等公司都已经推出了工作频率更高、布线时延更小、容量更大的新型 FPGA 芯片，如 Xilinx 公司的 Virtex-6 系列，Altera 公司推出的 Stratix-IV 系列芯片。所以可以将处理器核、总线接口核和专用算法核等集成在这些频率更高、性能更强大的 FPGA 芯片上，实现片上系统集成。

参考文献：

- [1] 孟宪元，钱伟康. FPGA 嵌入式系统设计 [M]. 北京：电子工业出版社，2007：12-14.
- [2] 牛风举，刘元成，朱明成. 基于 IP 复用的数字 IC 设计技术 [M]. 北京：电子工业出版社，2003：124-126.
- [3] 杨强号. 基于 EDK 的 FPGA 嵌入式系统开发 [M]. 北京：机械工业出版社，2008：20-28.
- [4] UG149. Virtex-5 FPGA Embedded Tri-Mode Ethernet MAC User Guide [S]. XILINX. 22-29.
- [5] 赵 研，屈 超. 千兆以太网 SOPC 系统的实现 [J]. 信息系统与网络，2007：10-12.
- [6] Xapp546. High Performance TCP/IP on Xilinx FPGA Devices Using the Treck Embedded TCP/IP Stack [S]. XILINX. 43-49.
- [7] Xapp1026. LightWeight IP (lwIP) Application Examples [S]. XILINX. 3-5.
- [8] XAPP1117. Software Debugging Techniques for Power PC 440 Processor Embedded Platforms [S]. XILINX. 12-19.