

一种硬件开销低的电路延时故障检测方法

刘杰¹, 贾晓军²

(1. 太原工业学院 计算机工程系, 太原 030008; 2. 山西大学 光电研究所, 太原 030006)

摘要: 文章提出一种统一延时测试架构, 通过重用在线延时故障检测设计资源实现离线延时检测; 首先, 提出了一种硬件开销较小的稳定性检测器, 对每个关键组合输出的稳定性扰乱因子进行检测; 然后通过稳定性检测器中共享全局误差生成器, 可生成各个稳定性检测器的全局误差信号, 以表示是否存在延时故障; 最后, 在扫描链中集成了基于本地扫描的生成器, 以支持基于扫描的离线延时检测; 仿真实验结果表明, 与以前技术相比, 文章方法的硬件开销和设计复杂度更低。

关键词: 延时故障检测; 稳定性检测器; 在线检测; 硬件开销

A Lower Hardware Overhead Method for Delay Fault Detection of Circuits

Liu Jie¹, Jia Xiaojun²

(1. Dept. of Computer Engineering, Taiyuan Institute of Technology, Taiyuan 030008, China;

(2. Light and Electricity Institute, Shanxi University, Taiyuan 030006, China)

Abstract: This paper proposes a unified delay test architecture, in which the design resources for on-line delay fault detection can be reused to support off-line delay testing. Firstly, a stability checker, which has low hardware overhead, is presented to monitor the stability violation from each critical combinational output. Secondly, a global error generator, which is shared among stability checkers, can produce a global error signal from individual stability checkers to indicate whether a delay fault appears. Finally, a local scan enable generator is incorporated into the scan chain to support scan-based off-line delay testing. The simulation experimental results show that, Compared to the previous techniques, the proposed delay fault detection methods have much lower hardware overhead and design complexity.

Key words: delay fault detection; stability checker; on-line testing; lower hardware overhead

0 引言

晶体管尺寸不断变小, 越来越多的部件集成到现代集成电路(IC)上。同时, 由于超深亚微米(DSM)效应不断增强, 集成电路发生时序相关故障的概率变大。因为电路内部信号的可控性和可观察性有所进步, 基于扫描的结构性延时测试已经成为性价比很高的延时故障检测方法^[1]。一般情况下, 需要两个测试向量 $\langle V_1, V_2 \rangle$ 来实现故障检测。第一个向量 V 称为初始化向量, 结合扫描链可将电路初始化到预定义状态。第二个向量 V_2 为启动向量, 可用于目标电路启动跃迁, 并将相应的故障效应传播到可观测输出。电路对启动向量的响应可被迅速捕获, 并与金色响应(golden response)比较, 以检验电路时序要求的正确性。

依据第二个向量的使用方式不同, 基于扫描的标准设计在实践中有两种不同方法^[2]。第一种方法称为捕获即启动(LOC)方法, 通过捕获电路对初始化向量的响应来获得启动向量。第二种方法称为移位即启动方法(LOS), 通过初始化向量进行一位扫描输入来获得启动向量^[3-6]。

深亚微米工艺技术中, 生产出来的芯片容易受到串扰、电源噪声、软差错等环境因素影响^[7]。然而, 由噪声引发的故障

往往取决于激活条件, 因此难以在离线延时测试中检测出来。此外, 老化效应也会不断降低电路性能。因此, 在线延时测试对于正常运行的电路的时序故障检测具有极其重要的作用。这对关键性应用也具有重要意义。

人们已经提出了多种方法, 通过对每个电路组合输出的稳定扰乱因子进行持续检测, 以发现延时故障导致的电路时序故障。在文献[8]中, 提出了一种双晶体管检测器以在已知检查周期内检测组合输出的延迟跃迁(late transition), 进而发现时序故障。然而, 该技术的噪声容限较小。在文献[9]中, 提出了一种传感电路来检测延时故障。该技术需要部署自定义配给电容。此外, 两个控制时钟相位间的偏斜可能导致无法检测出当前延时故障。在文献[10]中, 提出了一种并行检测器, 支持在线时序误差检测。通过在每个组合输出中插入内置了异或(XOR)门的并行检测器, 就可检测出采样时间后的延时信号跃迁。然而, 该方法要求每个并行检测器必须配有XOR门, 增加了硬件开销。此外, 为了分析每个组合输出生成的误差信号, 生成全局误差信号, 需要面积开销极大的专门的逻辑网络。在文献[11]中, 提出了分别基于双相和信号相位策略的传感检测器, 实现了延时故障的在线检测。类似地, 文献[12-13]采用了稳定性检测技术, 在保护带(guard band)期间检查组输出信号跃迁, 估计电路时序故障。

总体来说, 我们迫切需要一种有效的延时故障在线和离线检测技术, 以满足日益增长的对现代芯片的可靠性要求。然而, 在传统上, 人们往往把稳定性在线延时检测问题和对有效的LOS方法的支持问题分开研究。因此, 只有把上述方法结合起来才能解决上文两大难题, 但是结合的难度较大, 且会导致很大的面积开销和设计复杂性。如何避免对问题分开研究,

收稿日期: 2014-01-16; 修回日期: 2014-03-26。

基金项目: 国家自然科学基金面上项目(11322440, A040408)。

作者简介: 刘杰(1980-), 男, 山西武乡人, 硕士, 讲师, 主要从事电路技术及图像处理方向的研究。

贾晓军(1979-), 男, 山西临汾人, 博士, 教授, 博士生导师, 主要从事电路检测与量子信息网络方向的研究。

提出一种硬件开销小且能实现上述两点目的统一型延时测试架构, 引起了人们强烈的研究兴趣。

在本文中, 我们提出了一种统一型延时测试架构。该架构由稳定性检测器、全局误差生成器、嵌入扫描链的局部扫描使能 (LSEN) 生成器构成。该架构既支持正常运行期间的在线延时故障检测, 也支持离线延时检测 (LOS 或 LOC), 且不需切实部署时序关键 SEN 信号。与以前技术相比, 本文方法的硬件开销和设计复杂度更低。

1 延时测试架构

本文方法的核心原则是: 通过在检查周期内持续检查组合输出的稳定性扰乱因子来检测延时故障。首先, 我们提出了统一型延时测试架构及其组件实现。然后, 讨论本文测试架构在在线和离线延时测试中的应用。

1.1 概览和实现

图 1 给出了本文统一型延时测试架构, 包括两个主要部分:

1.1.1 稳定性检测器和全局误差生成器

图 2 (a) 是稳定性检测器在晶体管层面的实现, 可以在每个关键电路组件输出中插入该检测器, 以在检查期间检测出对应信号的稳定性扰乱因子。图 2 (b) 是全局误差生成器在晶体管层面的实现, 该生成器可用于生成全局误差信号, 以在确认各种稳定性扰乱因子时表示电路时序故障。

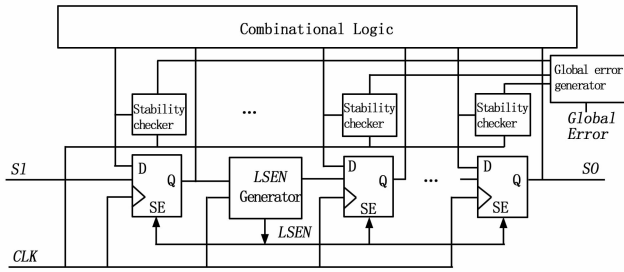
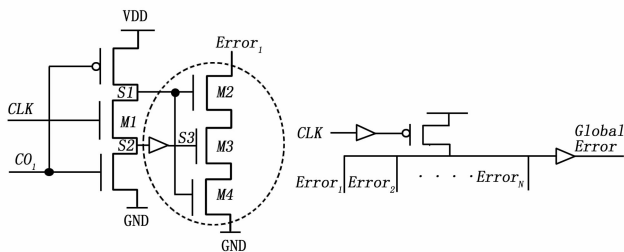


图 1 本文统一型延时测试架构



(a) 稳定性检测器 (b) 全局误差生成器

图 2

稳定性检测器的电路结构与分割输出 (split-output) 锁存器类似, 在该型锁存器中, 被时钟信号控制的晶体管插入到反相器的输出中。文献 [10] 中的并行检测器先前也使用了类似的结构来检测延时故障, 在该检测器中, 如果发现被时钟控制晶体管分离的一对电路结点间存在状态差异, 则认为存在延时故障。本文使用同样的技术设计新型稳定性检测器。然而, 与文献 [10] 中的并行检测器相比, 本文检测器在硬件开销和设计复杂性方面均有性能提升。下文介绍本文稳定性检测器和

全局误差生成器的运行原理和新特点。

如果 CLK 信号的逻辑值较高, 则阈电压较低的 M1 晶体管将被通电。因此, S1 和 S2 将有相同的逻辑值 1s 或 0s, 与组合输出 CO_i 的负数相等。当 CLK 信号的逻辑值较低时,

S1 或 S2 将会浮动并保存先前值 (CO_i 的负值), 而其他结点由于与 VDD 或 GND 相连, 因此逻辑值为 1 或 0, 具体取决于 GND 的逻辑值。同时, 如果在 CLK 为 0 时有晶体管出现在组件输出 GND 中, 则浮动结点的值将由于与 VDD 或 GND 相连而发生改变, 其他结点将成为浮动结点。

很明显, 当 CLK 信号的逻辑值较高时, 由于 S1 和 S3 (S2 的倒转) 的逻辑值不同, 因此在 Error₁ 和 GND 间会产生高阻抗路径。通过使用图 2 (b) 中的全局误差生成器, 可以将 GND 结点充电到高逻辑值。如果在检测周期内 (CLK 的负半周期) CO_i 发生跃迁, 则 S1 和 S3 将获得高逻辑值, 于是由于 S3 和 S3 间的短路径, Error₁ 将被放电至低逻辑值。否则, Error₁ 的逻辑值将会由于浮动现象 (floating) 而保存先前的高逻辑值。

因此, Error₁ 的低逻辑值可被用于表示组合逻辑输出 CO_i 的稳定性扰乱因子。对每个关键的组合输出 CO_i (1 ≤ i ≤ N), 可以插入稳定性检测器, 并使用 Error₁ 来驱动全局误差信号。如果全局误差信号失活 (处于非活跃状态), 则表明至少有一个组合输出存在延时误差。

下面给出稳定性检测器和全局误差生成器的两个新特征:

1) 我们观察到, 如果在 CLK 检测周期内组合输出发生跃迁, 且 S1 和 S3 在相应的稳定性检测器中的状态在 CLK 为 1 时用不同的状态初始化, 那么 S1 和 S3 在相应的稳定性检测器中的状态将会相同并且较高。因此, 通过使用 M1, M2 和 M3 晶体管来创建下拉网络 (pull-down network), 即可实现驱动全局误差信号的 Error₁ 信号, 如图 2 (a) 所示。于是, 与并行检测器不同, 稳定性检测器可以避免往往由 12 个晶体管组成的专门的 XOR 门, 以表明每个组合输出中的稳定性扰乱因子, 这种部署方法大大降低了硬件开销。

2) 一般来说, 如果设计一个逻辑网络, 利用各个组合输出生成的大量局部误差信号来获得全局时序误差信号, 需要导致大量的硬件开销。然而, 有必要指出, 在设计稳定性检测器中, GND 和 Error₁ 间往往会有短路或高阻抗, 取决于信号是否迟到。因此, 可以把 Error₁, Error₂... 和 Error_N 直接连到全局误差生成器上, 以生成全局误差信号且硬件开销和设计复杂度均很小。

1.1.2 局部扫描使能 (LSEN) 生成器

一般来说, 人们喜欢使用外部 ATE 提供的低速扫描时钟来加载测试激励, 卸载测试响应, 使用芯片 PLL 生成的高速功能时钟进行高速延时测试。正常情况下, SEN 信号作为选择信号来选择合适的测试时钟。当 SEN 信号为 0 时, 选择高速功能时钟来转发系统时钟树。否则, 使用低速扫描时钟来转发系统时钟树^[14]。因此, 由于选择了不同的时钟源, 传统上难以保证测试时钟的启动和捕获边缘间的时间间隔满足 LOS 延时测试的高速频率属性。

图 3 给出了 LSEN 生成器。该生成器加入了 LTG 的 FF0, 以避免 FF1 对扫描链 LTG 先前常规扫描单元施加的状态约束。如图 1 所示, 我们在本文测试架构中不是使用 SEN 信号, 而是使用来自 LSEN 生成器的 LSEN 信号来控制扫描单元。

LSEN 生成器的运行原理可参照文献 [5]。下文讨论采用 LTG 单元和采用本文 LSEN 生成器之间的本质区别。

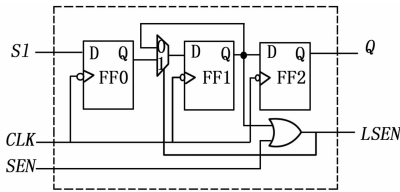


图 3 LSEN 生成器示意图

将 LTG 单元加入到文献 [5] 扫描链的目的是生成可以按功能速度进行切换的多个局部 LSEN 信号，以便支持 LOS 延时测试。因此，为了增加足够多的 LTG 单元，并集成到扫描链中同时满足严格的时序约束，必然要进行多次设计。于是，设计过程将非常复杂。此外，大量额外的 LTG 单元必将导致较大的硬件开销。但是在本文中，我们通过观察组合输出中的稳定性扰乱因子就可进行 LOS 延时测试，而不需利用时序临界扫描使能信号来捕获启动向量触发的测试响应。于是，对基于本文统一型架构的 LOS 延时测试，可以去除大量额外的 LSEN 生成器。扫描链只集成一个 LSEN 生成器的原因是为了方便使用 SEN 信号选择高速功能时钟，以保证 LOS 延时测试启动和捕获边缘间的高速频率属性。生成的 LSEN 信号可用于控制扫描单元，从 V_1 移动一位，进而获得启动向量 V_2 。很显然，本文架构只集成一个 LSEN 生成器的硬件开销可以忽略不计。在下面小节，我们将详细讨论本文统一型延时测试架构。

1.2 基于本文统一型架构的测试方法

根据上文讨论，本文统一型架构的目标是实现有效地延时故障在线和离线检测。下面分析基于本文统一型架构的测试方法。

1) 在线延时检测：在正常运行的应用中，SEN 信号设为 0。于是，芯片 PLL 提供的高速功能时钟被发往时钟树，组合输出被捕获到扫描单元的数据输入中。因此，如果因各种原因（串扰噪声，电源噪声，软错误，等等）在检测周期内，组合输出发生稳定性扰乱因子，则将触发相应的稳定性检测器和全局误差生成器。于是，全局误差信号将被设为 0，以表明发生了时钟时序故障。

2) 离线延时测试：如上文所述，时序临界扫描使能信号的要求为采用传统的 LOS 延时测试造成了严重障碍。下面给出另一种 LOS 延时测试方法。

图 4 给出了基于本文架构的 LOS 延时测试的时序。当 SEN 信号为 1 时，使用低速扫描时钟将测试向量 V_1 转移进扫描链中。在上次移入周期后，LSEN 生成器的 FF1 变为 1，SEN 信号从 1 变成 0。因此，在启动周期内，LSEN 信号保持逻辑高值；通过使用从高速功能时钟中选择的启动边缘将 V_1 移位 1 个比特，来获得测试向量 V_2 。虽然 $FF1 + SEN$ 生成的 LSEN 不是时序关键 LSEN，且无法在启动和采样周期内以功能速度进行切换，但是如果在检测周期内，组合输出发生稳定性扰乱因子，则根据全局误差信号就可判定存在延时故障。此外，与传统的 LOS 延时测试不同，因为根据全局误差信号就可表明存在延时故障，所以使用本文方法后不需比较测试响应和黄金响应（golden counterpart）。基于本文架构的 LOC 延时

测试场景非常类似，但需在上一移入周期内向 LSEN 的生成器移入 0。请注意，忽略本文测试架构后，即可进行传统的 LOC 延时测试和固定型故障测试。

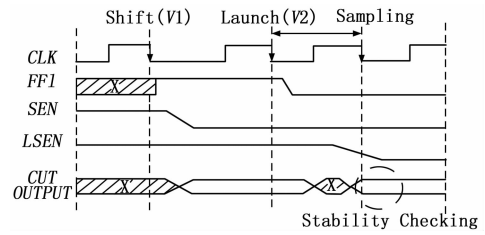


图 4 LOS 延时测试的时序图

2 实验结果

我们基于 SMIC 90nm CMOS 技术^[15]来部署支持在线和离线延时检测的本文统一测试架构。实验结果包括 3 大部分：

- (1) 在线延时测试模拟波形；
- (2) 离线延时测试模拟波形；
- (3) 本文架构的硬件开销。

本文架构利用 HSPICE 仿真得到的在线延时测试的信号波形如图 5 所示。

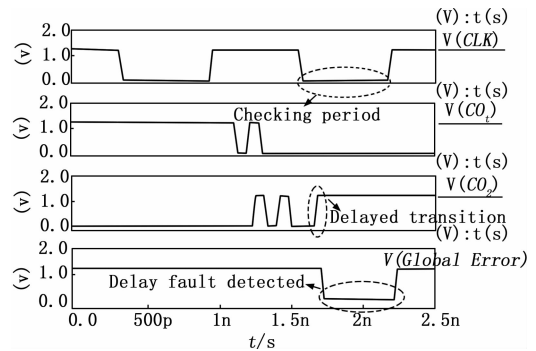


图 5 在线延时测试的模拟波形

假设最短电路路径的传播延时大于功能时钟的半个周期。为了画图简便，在图 5 中只给出了两个组合输出输出信号 CO_1 和 CO_2 。从该图中可以看出，在电路正常运行时，延时跃迁只会发生在检测期间的组合输出中，全局误差信号将被失活以表示发生了时序故障。

本文架构用于 LOS 延时测试时的信号波形如图 6 所示。很明显，当 SEN 信号为 1 时，慢速扫描时钟 SCLK 发往系统时钟 CLK 以扫描测试向量 V_1 。当 SEN 信号转换为 0 时，高速功能时钟 FCLK 发往系统时钟 CLK 以启动测试向量 V_2 并表明检测周期。因此，确保了 CLK 采样边缘启动，与功能时钟周期相等。在上次移入和启动周期内，1 和 0 分别被扫描进 LSEN 生成器的 FF1 中。于是，只有 CLK 的启动边缘到达了，LSEN 信号才会从 1 转换为 0。 V_2 由 V_1 移位 1 个比特而得，因为在启动边缘到达之前，LSEN 信号的逻辑值为 1。虽然在这之后，LSEN 信号从 1 变成 0 的速度很慢，但是通过观察在检测期间 CO_2 发生延时跃迁，也可检测出延时故障。

如果全局误差信号失活，就说明发生了延时故障。因为与 LOS 方法类似，所以本文没有给出 LOC 延时测试时的 HSPICE 波形。

为了评估硬件开销，将本文测试架构分别集成到多种基于 IWLS 2005 全扫描的基准电路中。表 1 给出了基准电路的基本

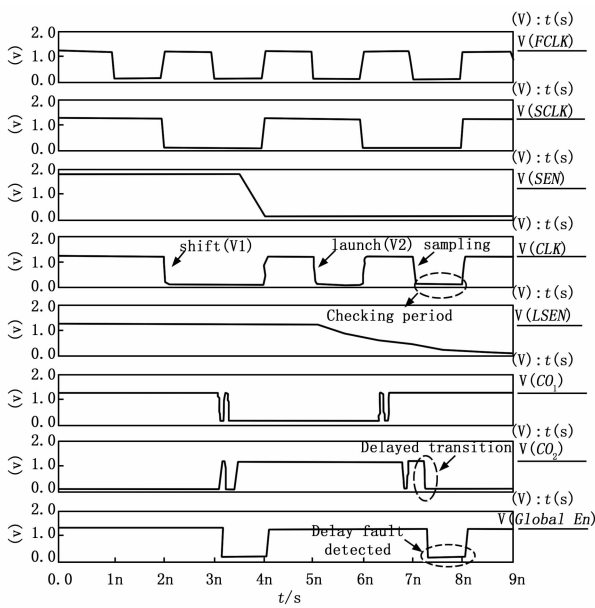


图 6 离线延时测试的模拟波形

情况及本文测试架构的实验结果。第 1 列给出了样本基准电路的电路名称。第 2 列和第 3 列分别给出了触发器和主要输出的数量。通过使用面向 SMIC 典型 90nm CMOS 技术的 Synopsys 设计编译器合成工具来合成基准电路。电路时钟名称列于“时钟域 1”和“时钟域 2”中,而对应的时钟周期列于“P1”和“P2”中。最长电路路径在每个时钟域的滞缓部分 (slack) 等于时钟周期的 10%。“# CF”列表表示所有时钟域下基准电路的关键输出总数 (主要输出或伪主要输出)。在该实验中,如果电路路径的滞缓部分 (slack) 低于对应时钟周期的 20% 并且在电路输出时结束,则认为该电路输出为关键输出。通过使用 Synopsys PrimeTime 工具确定电路关键输出的数量。对被测电路的每个关键输出,插入稳定性检测器。最后 3 列给出了本文测试架构对每个基准电路的面积开销,集成了本文测试架构后基准电路的总面积,以及本文测试架构的硬件开销百分比。

图 7 比较了本文稳定性检测器与并行检测器 (CC)^[10] 的硬件开销,抗老化稳定性检测器 (ARSC)^[12] 和基于稳定性扰乱的故障检测器 (SVFD)^[13] 在晶体管数量方面的性能。虽然忽略了集成到 ARSC 中的延时元件和 SVFD 中 XOR 保险器的晶体管数量,ARSC 和 SVFD 仍然分别需要 14 和 20 个晶体管。在本文比较中,没有考虑逻辑网络根据各个组件输出生成全局误差信号而导致的硬件开销。否则,由于本文全局误差生成器的硬件开销非常低且可在稳定性检测器中共享,本文测试架构的硬件开销性能更优。

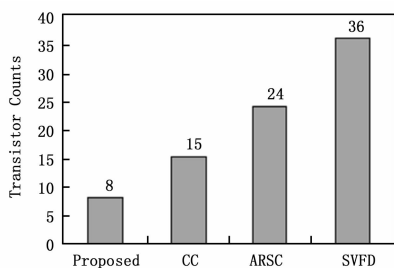


图 7 比较

表 1 本文测试架构实验结果

电路	触发器数据	PO数量	电路时钟			CE数量	面积开销 (μm²)	总面积 (μm²)	面积开销 (%)	
			时钟域1	P1 (ns)	时钟域2					P2 (ns)
pci_bridge32	3313	208	wb_clk_i	1.2	pci_clk_i	2.3	1236	4070	99713	4.08
usb_func1	1743	122	clk_i	1.1	phy_clk_pad_i	1.85	135	444	61427	0.72
ac97_ctrl	2229	50	bit_clk_pad_i	1	clk_i	1.5	503	1656	62650	2.64
mem_ctrl	1126	153	mc_clk_i	1	clk_i	1.6	334	1100	42629	2.58
des_perf	8808	65	clk	1.1	—	—	1356	5058	405056	1.25
aes_core	530	130	clk	1.6	—	—	50	165	69207	0.24
wb_commax	578	1416	clk_i	1.6	—	—	280	922	70139	1.31
systemcaes	670	129	clk	1.75	—	—	183	603	35816	1.68

3 结论

本文提出了一种统一型延时故障在线和离线检测架构。设计的稳定性检测器插到每个临界组合输出中,可用于发现检测周期内组合输出信号的延时跃迁。每个稳定性检测器生成的误差信号可直接连于全局误差生成器,以生成可以表明延时故障是否发生的全局误差信号。通过在上个移入周期内向 LSEN 生成器的 FFS1 转移逻辑 1 (ONE),本文测试架构可支持 LOS 延时检测,且不需时序关键扫描使能信号。实验结果表明,本文设计可有效实现在线和离线延时测试,硬件开销非常低。

参考文献:

- [1] 王振海,汪鹏君,俞海珍,等. 基于 PSO 算法的 FPRM 电路延时和面积优化 [J]. 电路与系统学报, 2012, 17 (5): 75-80.
- [2] Testing for Small-Delay Defects in Nanoscale CMOS Integrated Circuits [M]. CRC Press, 2013.
- [3] 汪鹏君,王振海,陈耀武,等. 固定极性 Reed-Muller 电路最佳延时极性搜索 [J]. 浙江大学学报:工学版, 2013, 47 (2): 361-366.
- [4] Deutsch E W, Mendoza L, Shteynberg D, et al. A guided tour of the trans-proteomic pipeline [J]. Proteomics, 2010, 10 (6): 1150-1159.
- [5] Ahmed N, Ravikumar C P, Tehranipoor M, et al. At-speed transition fault testing with low speed scan enable [A]. VLSI Test Symposium, 2005. Proceedings. 23rd IEEE [C]. IEEE, 2005: 42-47.
- [6] Xu G, Singh A D. Low cost launch-on-shift delay test with slow scan enable [A]. Test Symposium, 2011. ETS11. Eleventh IEEE European [C]. IEEE, 2011: 9-14.
- [7] 郑天华,梁利平. 一种深亚微米复杂芯片物理设计的时序收敛方法 [J]. 微电子学与计算机, 2013, 30 (011): 139-142.
- [8] Oliveira R S, Semiao J, Teixeira I C, et al. On-line BIST for performance failure prediction under NBTI-induced aging in safety-critical applications [J]. Journal of Low Power Electronics, 2011, 7 (4): 562-572.
- [9] Haron N Z, Hamdioui S. On defect oriented testing for hybrid CMOS/memristor memory [A]. Test Symposium (ATS), 2011 20th Asian. IEEE [C], 2011: 353-358.
- [10] Raaheemifar K, Ahmadi M. Design-for-testability techniques for detecting delay faults in CMOS/BiCMOS logic families [J]. Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, 2010, 47 (11): 1279-1290.
- [11] Favalli M, Metra C. Sensing circuit for on-line detection of delay faults [J]. IEEE Transactions on, Very Large Scale Integration (VLSI) Systems, 2012, 4 (1): 130-133.

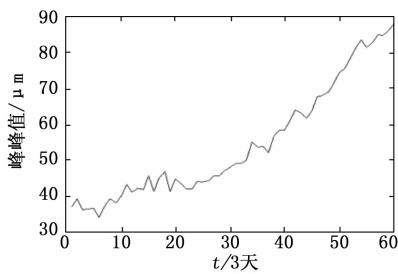


图 8 振动峰峰值趋势图

首先采用虚拟预测, 预测的精度结果如表 2 所示。

表 2 预测模型精度表

算法	最小二乘法	三次指数平滑法	灰色模型
精度	0.787 3	0.766 9	0.890 6

由表 2 看出, 灰色模型的精度最高, 可选用灰色模型作为预测模型。预测结果如表 3 所示。

表 3 灰色模型预测结果

时间	真实值	预测值	误差百分比(%)
51	75.6	79.620 1	5.317 6
52	78.75	80.810 8	2.616 8
53	81.48	82.019 2	0.661 8
54	83.58	83.245 8	0.399 9
55	81.48	84.490 7	3.695
56	82.95	85.754 2	3.380 5
57	85.05	87.036 5	2.335 7
58	84.84	88.338 1	4.123 2
59	86.1	89.659 1	4.133 7
60	88.2	90.999 9	3.174 5

从表中可得出预测数据的精度为 0.967 1。

为了验证虚拟预测的优越性, 不采用虚拟预测, 同样的还是用以上几种方法, 预测的精度如表 4 所示。

表 4 预测模型精度表

算法	最小二乘法	三次指数平滑法	灰色模型
精度	0.957 4	0.952 0	0.925 4

表 5 预测结果

时间	真实值	预测值	误差百分比(%)
51	75.6	73.330 8	3.001 6
52	78.75	74.821 4	4.988 6
53	81.48	76.343	6.304 6
54	83.58	77.895 5	6.801 2
55	81.48	79.479	2.455 9
56	82.95	81.093 3	2.238 3
57	85.05	82.738 5	2.717 8
58	84.84	84.414 7	0.501 3
59	86.1	86.121 8	0.025 3
60	88.2	87.859 8	0.385 7

真数据和实际数据进行对比预测得到了以下结论:

- (1) 针对燃气轮机的状态趋势可以进行预测;
- (2) 针对选用单一的方法达不到最优的效果, 需选用组合优选的思想, 针对精度的高低进行挑选;
- (3) 针对虚拟预测比直接预测的方法有更高的精度。

此外, 采用虚拟预测和组合优选方法对于燃气轮机长期状态趋势的预测, 还有待进一步研究。

参考文献:

[1] 牛利民. 船舶燃气轮机结构 [M]. 哈尔滨: 哈尔滨工程大学出版社, 2007: 1-2.

[2] 舒 干, 黄伯棠, 朱源年, 等. 自适应滤波法在洪水预测中的应用 [J]. 灾害学, 1996: 2-3.

[3] 曾 波. 灰色预测建模技术研究 [D]. 南京航空航天大学, 2011: 46-50.

[4] 陈耀武. 旋转机械状态监测系统与故障诊断、状态预测方法研究 [D]. 杭州: 浙江大学, 1998: 45-47.

[5] 石永强. 工业燃气轮机状态监测与故障诊断方法研究 [D]. 北京: 北京化工大学, 2012: 55-56.

[6] 蒋 瑜, 杨 雪, 阮启明. 机械设备故障规律及运行趋势预测方法综述 [J]. 机电一体化, 2001: 5-6.

[7] 蒋 瑜, 杨 雪, 阮启明. 机械设备故障规律及运行趋势预测方法综述 [J]. 机电一体化, 2001, 5-6.

[8] 郭凤仪, 郭长娜, 王洋洋. 煤矿涌水量的灰色 RBF 网络预测模型 [J]. 计算机测量与控制, 2012, 20 (2): 300-303.

*** **

(上接第 1717 页)

[12] Agarwal M, Paul B C, Zhang M, et al. Circuit failure prediction and its application to transistor aging [A]. VLSI Test Symposium, 2010. 28th IEEE [C]. 2010: 277-286.

[13] Yan G, Han Y, Li X. A unified online fault detection scheme via checking of stability violation [A]. Proceedings of the Conference on Design, Automation and Test in Europe. European Design and Automation Association [C]. 2009: 496-501.

[14] Pei S, Li H, Li X. An on-chip clock generation scheme for faster-than-at-speed delay testing [A]. Design, Automation & Test in Europe Conference & Exhibition (DATE), 2010. IEEE [C]. 2010: 1353-1356.

[15] Haroun I, Wight J, Plett C, et al. A V-band 90-nm CMOS low-noise amplifier with modified CPW transmission lines for UWB systems [A]. Silicon Monolithic Integrated Circuits in RF Systems (SiRF), 2010 Topical Meeting on. IEEE [C]. 2010: 160-163.