

一种水下航行体参数快速传输系统的 FPGA 实现

李金洪

(昆明船舶设备研究试验中心, 昆明 650051)

摘要: 在水下航行测试过程中, 需要对各种运行参数、弹道轨迹进行实时记录, 记录数据最终传到数据处理设备上进行分析处理; 由于航行体在长时间运行过程中记录的数据量非常大, 在对数据进行提取时, 传统的 RS232 传输方法速度较慢, 即使采用 CAN 总线进行数据提取, 也会花费大量时间, 严重影响测试效率; 通过系统分析, 设计一种使用 FPGA 实现 USB 高速传输的方法进行数据提取, 该方法可以明显改进航行体数据提取效率, 在航行体工程设计中具有重要价值。

关键词: 水下航行体; FPGA; 快速传输; USB

Underwater Vehicle's Parameters Fast Transition System Design Based on FPGA

Li Jinhong

(Kunming Shipborne Equipment Research & Test Center, Kunming 650051, China)

Abstract: During the test of Underwater vehicle, we need to record various operating parameters, trajectory in real-time, the record data have to be transmitted to the data terminal processing equipment for analysis and processing. Because of the large amount of data recorded in vehicle's long running, in the processing of data extraction, the traditional RS232 transmission method is very slow, even though with the CAN bus, it also spends a lot of time, seriously affecting the efficiency of the test. Through systematic analysis, the design uses FPGA to achieve a USB high-speed transmission of data extraction, can greatly improve efficiency of the vehicle's data extraction, and has great value in vehicle engineering design.

Key words: underwater vehicle; FPGA; fast transition; USB

0 引言

水下航行体在试验过程中, 为了方便研究、检验水下航行体的工作性能及故障排查, 通常需要在航行体内部安装航行体运行参数记录系统。记录系统实时地对许多参数如航角信号、角加速度、偏航角、弹道轨迹等信息进行记录, 信息量巨大^[1-3]。在试验结束后由数据处理设备对大量的记录数据进行提取。在数据提取过程中, 一般采用 RS232 接口进行提取, 其速度慢, 耗时长, 严重影响试验效率。即便采用 CAN 总线进行数据提取, 提高了数据传输速率, 在实际试验中, 测试发现 CAN 总线的速率仍然不能满足要求。水下航行体在水下运行 5 个小时, 则记录的数据用 CAN 总线提取, 约花费 1.15 小时, 这不利于数据的分析处理^[4-5]。为了提高数据传输速度, 对传输线路的带宽以及系统的硬件资源提出了较高的要求。

USB 具有热插拔、接口结构简单、低成本和兼容性等优点, 近十多年来得到广泛的应用^[6-7], 利用 USB 接口可以方便地与计算机连接, USB 接口传输速度比 RS232 接口高, 故在数据采集记录系统中 USB 接口越来越多地用于与高速信号处理设备之间的数据交换^[8]。

Cypress 公司的 EZ-USB FX2LP 单片机 CY7C68013A (本文缩写为 FX2LP)^[9] 是一款超低功耗的 USB2.0 芯片, 内建增强型 8051 微处理器, 通过独特的 SLAVE FIFO 和 GPIF

接口实现主机与外设的高速通信。本文采用 Cypress 公司的 FX2LP 芯片, 基于 USB2.0 协议, 进行 PC 与 FPGA 之间的高速通信, 将水下航行体运行状态参数信息传输到 PC 机上。

1 硬件电路设计

1.1 系统框图

本文的系统结构如图 1 所示, 航行体运行控制系统与航行体状态参数采集系统的实时记录数据, 通过数据传输系统 (FPGA) 与 USB 接口, 传输到 PC 机。FPGA 作为外部主机 (MASTER) 将数据实时记录系统中的数据并行的交与 USB 接口, 并且控制 USB 的传输。USB 接口 FX2LP 中的增强型串行接口引擎 SIE 可在硬件一级处理大部分的 USB 协议, 从而使 8051 处理器能专致于设备的功能性应用而不必处理复杂的 USB 传输过程, 从而减少了开发时间, 确保了 USB 的兼容性。

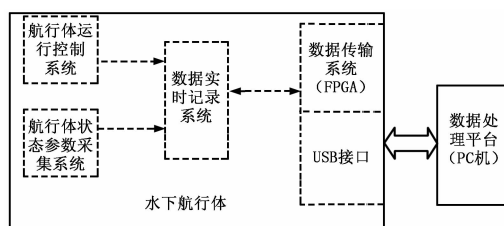


图 1 航行体数据传输系统结构图

FX2LP 的 FIFO 端点可配置为一个高速 USB 主机之间的数据和外部数据处理逻辑路径。FX2LP 的 FIFO 提供了两种配置模式: 通用可编程接口模式 (GPIF) 和从 FIFO 模式 (SLAVE FIFO MODE)。在 SLAVE FIFO 方式下, 数据传输

收稿日期: 2013-12-13; 修回日期: 2014-02-07。

作者简介: 李金洪 (1984-), 男, 云南省大姚县人, 硕士, 助理工程师, 主要从事水下航行体控制系统分析与设计方向的研究。

过程不受 FX2LP 干预，而是通过 FX2LP 内部的端点 FIFO 进行传输；外部主机（MASTER）则负责发送地址信号和读写控制信号以及输出使能信号。本设计采用从 FIFO 模式，将 FPGA 作为外部主机来处理 USB 数据传输。主要包括两条通信链路：其中一条链路作为 PC 机通过 USB 向 FPGA 发送控制命令；另一条链路为 FPGA 通过 FX2LP 的从 FIFO 模式向 PC 传输数据。

1.2 硬件电路接口设计

本文配置 FX2LP 工作的接口模式为从 FIFO 模式，FX2LP 到 FPGA 的硬件接口连接采用如图 2 所示。

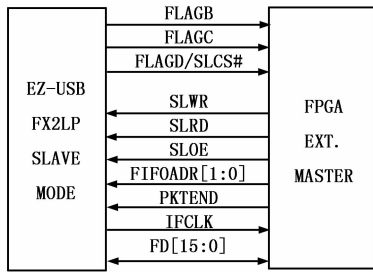


图 2 FX2LP 与 FPGA 的硬件接口设计

在从 FIFO 接口模式下，外部处理器 FPGA 直接与 FX2LP 的 FIFO 端点相连，FPGA 的工作方式可以是同步方式，也可以是异步方式。本文采用同步工作方式，需要加入同步时钟信号 IFCLK，FPGA 与 FX2LP 的每一次数据交换都要通过 IFCLK 同步。

针对外部处理器 FPGA，其输入信号包括：状态寄存器 FLAGD/SLCS# 作为普通 IO，用于用户通过 PC 向 FPGA 发送读写控制信号；FLAGB 和 FLAGC 用于反馈 EZ-USB 中 FIFOs 的状态，分别表示 FX2LP 的缓冲的空和满状态。

输出信号主要包括：SLRD、SLWR 与 SLOE 用于控制 16 位双向数据总线 FD [15: 0] 的读写方向，当 SLWR 有效时，表示 FPGA 向 FX2LP 写数据，而 SLRD 与 SLOE 则控制 FPGA 从 FX2 读数据（注意：本文的输入/出的方向，以及 WR 及 RD 的方向，均针对主机 FPGA）；FIFOADR [1: 0] 用于选择和 FD 连接的端点缓冲区（00 与 01 分别代表输入端点 EP2 与 EP4，10 与 11 分别代表输出端点 EP6 与 EP8）。PKTEND 管脚用于发送比预设包长度小的包。以上控制信号均是低电平有效，也可通过 FIFOPIN-POLAR 寄存器改变它们的极性。

2 软件设计

软件设计包括 FX2LP 端的固件程序设计，FPGA 端的时序控制程序以及电脑中安装的 FX2LP 驱动程序等。FX2LP 的驱动程序主要包括两个部分：一个是由 Cypress 公司提供的通用驱动程序（General Purpose Driver）；另一个是固件下载驱动程序（EZ-Loader Driver），均不用自行开发。本系统软件设计主要涉及 FX2LP 端固件程序设计与 FPGA 端时序控制程序设计。

2.1 FX2LP 端固件程序设计

Cypress 公司提供了完整的固件开发框架及代码^[6]，简化和加速了用户进行 USB 外设开发的过程，且 Cypress 提供了自动指针，使得 USB 数据包自动传输，不需要 8051 参与数据传输，数据直接由 FIFO 送入或送出，这样不仅简化程序复杂度，而且还大大提高数据的传输速度及误码率，实现高速无误

的传输目的。

本文采用自动传输模式，应该把 TD_Poll () 函数清空，只需修改 TD_Init () 函数实现初始化配置。主要包括配置一些与从 FIFO 工作模式相关的寄存器，例如，CPUCS、IFCONFIG、PIN-FLAGSxx、EpxCFG 以及 pxFIFOCFG，本文将增强型 51 内核时钟配置为 48 MHz，配置端口为 SLAVE FIFO 模式，由内部提供 48 MHz 的接口时钟，配置 EP2 为输入端口，EP6 为输出端口，均采用自动输入和输出模式。实现代码如下：

```
void TD_Init( void )
{
    CPUCS=0x10;
    SYNCDELAY;
    IFCONFIG = 0xE3;
    SYNCDELAY;
    PINFLAGSAB=0xC0;
    SYNCDELAY;
    PINFLAGSCD = 0x0A;    SYNCDELAY;
    PORTACFG |= 0x80;
    SYNCDELAY;
    EP2CFG = 0xA0;
    SYNCDELAY;
    EP6CFG = 0xE0; SYNCDELAY;
    EP4CFG = 0x02;
    SYNCDELAY;
    EP8CFG = 0x02;
    SYNCDELAY;
    SYNCDELAY;
    FIFORESET = 0x80;
    SYNCDELAY; FIFORESET = 0x02;
    SYNCDELAY;
    FIFORESET = 0x04; SYNCDELAY;
    FIFORESET = 0x06; SYNCDELAY;
    FIFORESET = 0x08; SYNCDELAY;
    FIFORESET = 0x00;
    SYNCDELAY;
    EP2FIFOCFG = 0x11;
    SYNCDELAY;
    EP6FIFOCFG = 0x0D;
    SYNCDELAY;
}
```

另外，定义两个 Vendor 命令，SC_WR 0xB1，SC_RD 0xB2，命令响应函数 DR_RD () 用于将 FLAGD/SLCS# 置 1 作为 FPGA 写使能，命令响应函数 DR_RESET () 用于将 FLAGD/SLCS# 清零，作为 FPGA 读使能。

使用 Keil uVision2^[10]开发环境对修改后的固件程序进行编译和链接，并生成 .hex 文件。最后，通过 Cypress 公司提供的固件下载程序下载到 FX2LP 的配置芯片中。

2.2 FPGA 端程序设计

本文的外部主机采用 Xilinx 的 Spartan3E^[11]系列芯片—XS3S500E，芯片具有 I/O 多，内部逻辑资源多，多个时钟管理器等特点，性价比高等特点。

FPGA 电路设计主要工作是检查输入/输出缓冲区的满、空标志，并产生相应的读写控制信号。FPGA 在完成这些 FIFO 端口的操作时，采用 Verilog 硬件描述语言实现 FIFO 的

读写时序，并在 Xilinx 公司提供的 ISE13.4 开发工具中综合编译并映射到 FPGA 中运行。FPGA 程序流程图如图 3 所示。

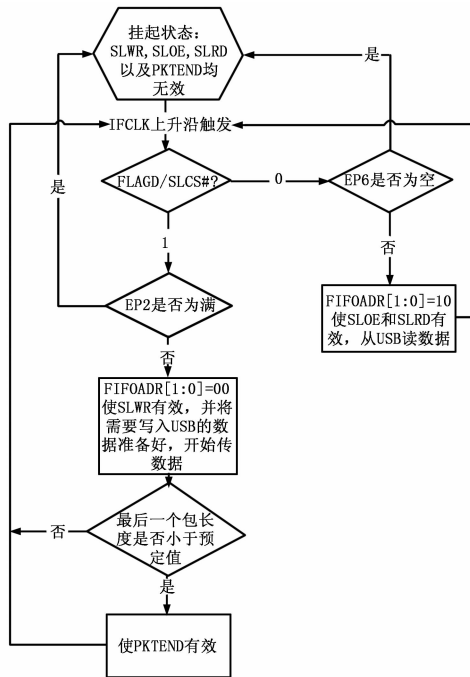


图 3 FPGA 程序流程图

由于固件配置采用内部时钟，FPGA 使用 FX2LP 提供的接口时钟 IFCLK，接口引脚中满、空信号和读写使能等输入信号则控制 FPGA 输出控制信号，输出控制信号均在 IFCLK 时钟下产生。FPGA 端程序主要实现以下功能：根据 PC 端发出的读/写使能信号 (FLAGD) 产生地址信号 FIFOADR [1:0] 以选择相应的端点 FIFO，判断空/满标志，激活读/写控制信号，传送数据或接受指令，反复执行以上操作。

3 测试结果及分析

本设计主要通过 Keil uVision2 和 ISE13.4 开发平台实现。在测试过程中借助 ChipScope Pro 对 FPGA 逻辑工作状态进行跟踪测试，测试结果图 4 所示。

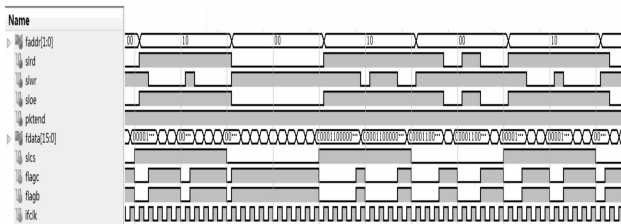


图 4 FPGA 的信号波形图

从测试结果图 4 可以看出，在 FPGA 的挂起状态，若在 IFCLK 的上升沿检测到 PC 发出的读指令 (即 SLCS 变高) 以后，检查输入/输出缓冲区的满、空标志，并产生相应的读写控制信号，并重复上述操作，满足了 FPGA 时序控制的要求。

通过 Cypress 提供的 Suite USB 3.4 开发包中的 DATA Streamer 应用软件^[11]，在 WINDOWS XP SP2 中测试传输速度达到了 39 MBps，满足了水下航行体数据快速传输要求。

4 结论

在水下航行体参数记录系统中，对记录数据的快速提取是一个比较重要的设计。在目前的工程设计中采用 RS232 或 CAN 总线进行参数提取，严重影响对水下航行体的测试效率。采用 USB 来进行航行体记录数据的提取，可以明显改善数据提取效率。由此可见在水下航行体的工程设计中，采用 USB 进行数据传输有较大的应用价值。

同时，该设计可扩展性好，已经被应用于数据传输与采集的板卡上，经实际测试，数据误码率低，传输速率可达 39 MBps，可以满足水下航行体数据快速传输要求。但水下航行体在水下运动，环境相对较恶劣，对电磁特性提出特殊要求。在实际工程设计中必须考虑高速传输条件下的电磁特性要求，需要深入研究探索以完善设计。

参考文献：

[1] 严卫生. 鱼雷航行体力学 [M]. 西安: 西北工业大学出版社, 2005.

[2] 赵连恩. 高性能船舶水动力原理与设计 [M]. 哈尔滨: 哈尔滨工程大学出版社, 2007.

[3] 蔡 镔, 任利娜, 侯小林. 鱼雷热动力装置测试系统开发 [J]. 计算机测量与控制, 2006, 14 (9): 1210-1212.

[4] 易 红, 周殿宝, 陈春玉. 声自导鱼雷进行尺度目标识别的试验方法研究 [J]. 鱼雷技术, 2005, 13 (4): 50-53.

[5] 黄 飞, 乔纯捷, 王跃科, 等. 基于 VXI 总线的鱼雷声自导系统仿真信号源设计 [J]. 计算机测量与控制, 2007, 15 (12): 1750-1752.

[6] 李英伟, 王成儒, 练秋生, 等. USB 2.0 原理与工程技术 (第二版) [M]. 北京: 国防工业出版社, 2007.

[7] 俞卫芳, 赵不贻, 杨 鲲. 基于 USB 的 CAN 总线适配器的设计 [J]. 计算机测量与控制, 2005, 13 (11): 1250-1252.

[8] 薛园园, 赵建领. USB 应用开发实例详解 [M]. 北京: 人民邮电出版社, 2009.

[9] Cypress Semiconductor Corporation. EZ-USB Series FX2 Getting Started [Z]. 2002.

[10] Getting Started with μ Vision2 [Z]. Keil Software, Inc, 2008.

[11] Xilinx, Inc, Spartan-3 FPGA Family: Complete Data Sheet [Z]. 2005.

(上接第 1589 页)

[6] 胡克娴, 马志达, 蔡湘芬, 等. 固体火箭发动机计算机辅助设计程序包 [J]. 固体火箭技术, 1989, (1).

[7] 董师颜, 张兆良. 固体火箭发动机原理 [M]. 北京: 北京理工大学出版社, 1996.

[8] 刘玉宝. 无人机发射段控制律设计 [D]. 南京: 南京航空航天大学, 2009.

[9] 王周益, 刘继兴, 柳长安. VC++ 与 MATLAB 混合编程研究及

开发实例 [J]. 计算机应用研究, 2006, (5): 154-155.

[10] 彭 欢. 基于 V5 Automation 的 CATIA 二次开发技术研究 [J]. 电子机械工程, 2011, 28 (2): 61-64.

[11] 胡 挺, 吴立军. CATIA 二次开发技术基础 [M]. 北京: 电子工业出版社, 2006.

[12] 高运奎, 李召华, 吕勤云. 基于 CATIA 二次开发的发动机喷管外形参数化设计 [J]. 机电产品开发与创新, 2012, 25 (4): 106-107.