

基于 FPGA 和有限状态机的守时系统设计

曾一凡, 吴思琪

(沈阳工业大学 信息科学与工程学院, 沈阳 110870)

摘要: 通过对现阶段守时系统实际应用情况和技术特点的分析, 提出了一种新的守时系统设计方案, 设计了一个基于 FPGA 和有限状态机的守时系统; 采用恒温晶振组成本地时钟, 与 GPS/北斗时钟源共同作为系统的输入信号, 利用 FPGA 设计守时系统的基本电路和有限状态机, 并对调频调相部分和外部 D/A 转换电路进行控制, 实现本地时钟与时钟源完全同频同相输出, 从而快速获得高精度的时间基准, 并能在 GPS/北斗失锁后对时钟源信号进行保持, 实现通信系统的时间同步。

关键词: 守时系统; FPGA; 有限状态机; 驯服控制

Design of Time Keeping Circuit Based on FPGA and FSM

Zeng Yifan, Wu Siqi

(College of Information Science and Engineering, Shenyang University of Technology, Shenyang 110870, China)

Abstract: Through the analysis of the present stage punctual system's practical application situation and technical characteristic, to propose a new designing program of the time keeping system and design a time keeping system based on FPGA and the finite state machine. Using the oven controlled crystal oscillator as the local clock and the input signals of the system together with GPS/beidou. FPGA is used to design the basic circuit and the finite state machine of the time keeping system and to control the two parts of frequency modulation and phase modulation and the external D/A converter circuit, then achieves local clock with the clock source to output the same frequency and phase completely, thus obtains the high accuracy time base quickly. It can keep the clock source signal after GPS/beidou loses lock to achieve time synchronization of the communication system.

Key words: time keeping system; FPGA; finite state machine; tameness controlling

0 引言

精确的时间在工业生产和科学研究中有着广泛的应用, 尤其是在电力系统中, 不仅仅在电网通信网络中需要时间同步, 在监控、调度和数据交换等方面也有高精度的时间同步要求^[1-2], 不同设备采样值的时间同步误差通常要小于 $1 \mu\text{s}$ ^[3]。在实际应用中, 因 GPS/北斗具有较高的时间精度, 普遍采用其作为时间同步的基准。但是一旦 GPS/北斗信号微弱甚至消失时, 其可利用性就会受到限制。守时系统则是一种可以利用标准时标对本地信号进行校准, 并在规定时间内保持稳定的系统, 可在 GPS/北斗受限时作为时间基准为工业生产中高精度要求较高的行业提供高质量的时间信号。

1 守时系统构成

文献 [4-5] 采用普通晶振和单片机构成计时器, 通过与上位机通信实现守时。该方法实现起来较容易, 但普通晶振在工作一段时间后由于温度的变化, 导致其频率会产生一些变化, 不能实现信号的稳定保持。文献 [6], [7], [8], [9] 中的守时电路是通过接收 FPGA 送来的高精度标准时间信息, 对外部频率标准进行高精度分频计时, 产生与标准时间保持同步的时间信号, 并通过软件对守时电路的时间进行校准。

为克服现有方案和技术中存在的一些问题, 本设计的目的是实现一种基于 FPGA 和有限状态机的守时系统, 利用卫星所提供的标准秒脉冲信号, 通过 FPGA 构建频率调整算法和设计有限状态机对晶体振荡器进行驯服控制, 使晶体振荡器经

分频输出的秒信号与 GPS 卫星或北斗卫星的标准时间锁定, 实现同频同相的输出。

系统由标准时钟模块、FPGA 模块、波形转换电路、D/A 转换器和恒温晶体振荡器等组成。其原理框图如图 1 所示。

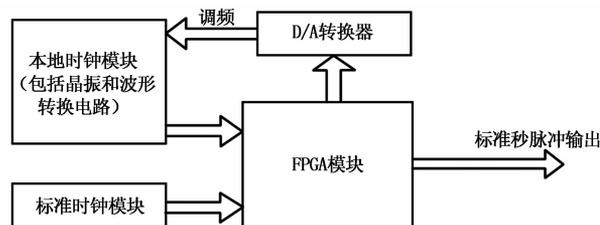


图 1 守时系统原理框图

标准时钟模块由 GPS 接收机和北斗接收机组成, 负责给系统提供标准时钟信号, 恒温晶体振荡器的输出经波形转换电路后作为系统的本地时钟, 本地时钟信号与标准时钟信号共同作为系统的时钟输入端。

FPGA 模块由调频、调相、分频模块和状态机部分组成, 图 2 为 FPGA 模块原理框图, 该部分是整个系统的核心, 工作频率 50 MHz。

该模块对本地时钟进行频率和相位的调整, 控制 D/A 芯片工作, 并对系统所处的状态进行检测和调整, 使其输出与 GPS 或北斗卫星输出的 1PPS 脉冲完全同步的标准秒脉冲信号。当 GPS/北斗卫星失锁时, 能够在相当长的时间内使其输出的秒脉冲保持在卫星未失锁时的精度。

2 守时系统分析

2.1 系统输入时钟的产生

标准时钟模块通过天线接收来自 GPS 卫星和北斗卫星的

收稿日期: 2013-12-06; 修回日期: 2014-02-09。

作者简介: 曾一凡 (1955-), 男, 教授, 主要从事微弱信号检测和信号处理方向的研究。

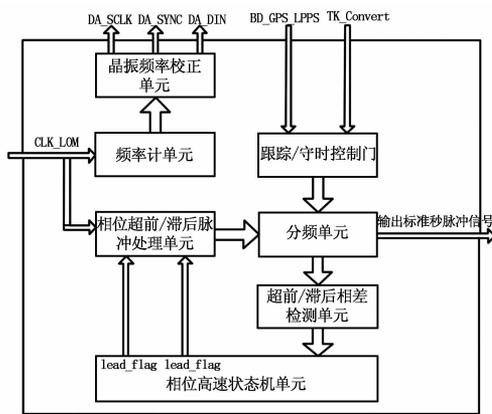


图 2 FPGA 模块原理框图

UTC 时间信息，输出与 UTC 时间同步的 1PPS 秒脉冲，由 FPGA 模块控制其中一个接收机输出秒脉冲，作为系统的标准时钟源，即 BD_GPS_1PPS。

恒温晶体振荡器 MV180 产生 10 MHz±40 Hz 的正弦波信号，需要经过波形转换电路将其转化为同频率的方波信号。本设计采用 74HC14 芯片将正弦波转化为方波，该芯片由施密特触发器构成，由于晶振的输出没有达到触发器的触发阈值，因此需加偏置电路将其抬高后再进行触发。经过两次触发，最终输出 10 MHz 方波信号作为系统的本地时钟信号输入到 FPGA 模块，即 CLK_10M。

2.2 输入时钟的调频处理

由于晶振在运行时可能存在一些频率上的误差，且该误差可能会随着系统的工作进行累计，导致系统输入时钟频率偏差较大，因此需对晶振输出进行调频处理。

经过波形转换电路转换后的 CLK_10M 方波信号接到 FPGA 模块的频率计单元，每到来一个时钟脉冲，频率计单元内部的计数器数值加 1，计数时间为 1 s，记得的数值即为该时钟脉冲的频率值。将该值送入晶振频率校正单元，与标准频率值进行比较，根据差值的大小利用不同的计算公式将差值转换为对应的数字量发送给 D/A 转换器 DAC7512。该芯片将数字量转化为相应的模拟电压，送入到恒温晶体振荡器的控制电压端，该控制电压能够调节恒温晶体振荡器的输出频率值，从而达到频率校正的目的。

根据 MV180 的 f-V 特性，频率随着控制电压的变化呈缓慢变化，且只在总体上呈正向变化，并没有严格的比例关系和数学模型，因此，整个调频过程不应该太快，且需选择合适的算法，而不是单纯的比例控制^[10]。通过一系列的实验，认为调频间隔设置在 3 min 左右效果较好，既保证了精度又提高系统工作效率。频率调整公式：

$$DA_n = DA_{n-1} + (F - f) \times N \quad (1)$$

式中， DA_n 和 DA_{n-1} 为当前和上一次 D/A 转换器的输出值， F 为标准时钟源的频率值， f 为当前的本地时钟频率值， N 为调频系数，介于 0 到 1 之间，根据频率差值的大小选择相应的系数。

DAC7512 是 12 位的 D/A 转换器，FPGA 发送到芯片中的数值经转换后生成控制电压送入晶振，实现本地时钟的频率调节。其电压转换关系为：

$$V_{OUT} = V_{DD} * \frac{DA}{4\ 096} \quad (2)$$

式中， V_{DD} 为芯片电源电压。

2.3 输出秒脉冲的调相处理

跟踪/守时控制门接收 GPS 或北斗卫星接收机接收到的秒脉冲，并且由 FPGA 模块的开关进行跟踪/守时状态的转换，当开关开启时，跟踪/守时控制门开放，系统进入跟踪状态；当开关关闭时，跟踪/守时控制门关闭，系统进入守时状态。

将跟踪/守时控制门的输出信号送到分频电路中，经 2 分频后输出脉宽 1 s，周期 2 s 的方波信号，送入超前滞后相差检测单元与分频后的同频本地时钟进行相差的比较，并将结果送到相位调整状态机单元。根据接收到的不同结果，相位调整状态机单元给出不同的状态信号，控制相位超前/滞后脉冲处理单元进行相位的调整。

当 CLK_10M 分频后的秒信号超前于标准时钟信号时，超前/滞后相差检测单元输出低电平，此时相位调整状态机单元进入 lead 状态，lag_flag 置高电平，lead_flag 置高电平，通过与非门电路阻止 CLK_10M 时钟通过，扣除其超前部分的脉冲，达到消除超前相位差的目的，实现超前校正；当 CLK_10M 分频后的秒信号滞后于标准时钟信号时，超前/滞后相差检测单元输出高电平，此时相位调整状态机单元进入 lag 状态，lag_flag 置为低电平，lead_flag 置低电平，通过非门进入未分频的时钟通道，加速 CLK_10M 时钟通过，补充滞后的脉冲，达到消除滞后相位差的目的，实现滞后校正。

校正后的时钟信号经分频单元进行分频后能够输出与标准时钟信号同频同相的脉冲信号，该信号即为调整后的标准时钟输出，当 GPS/北斗卫星信号微弱时，可作为替代的时钟源应用于各行业中。

2.4 有限状态机的设计

在系统进行调相处理时，需根据实际相位的情况选择相应的处理方式，本文设计了一种状态机对不同的情况进行处理，其状态转移图如图 3 所示。

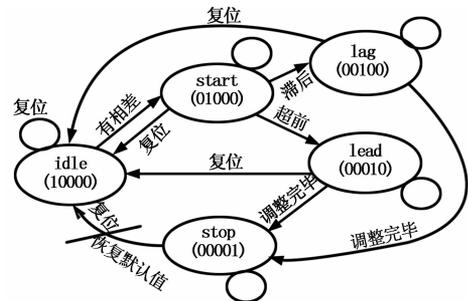


图 3 有限状态机的状态转移图

该状态机采用 one-hot 编码，初始时，相位调整状态机单元处于 idle 状态，即空闲模式，此时等待超前/滞后相差检测单元的检测结果。

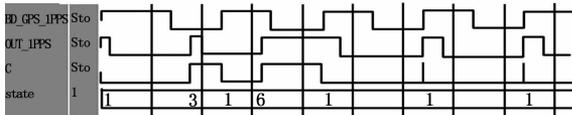
当检测到输出信号与标准时钟信号间存在相差时，状态机进入 start 状态，准备开始相位的校正。若超前/滞后相差检测单元输出低电平，即相位超前时，则进入 lead 状态，lag_flag 置 1，lead_flag 置 1，进行超前脉冲处理；若超前/滞后相差检测单元输出高电平，即相位滞后时，则进入 lag 状态，lag_flag 置 0，lead_flag 置 0，进行滞后脉冲处理。

调整完毕后，状态机进入 stop 状态，将各标志位恢复其默认值，停止对脉冲进行超前/滞后处理，完成该工作后，系统再次进入 idle 状态，等待下一次超前/滞后相差检测单元的

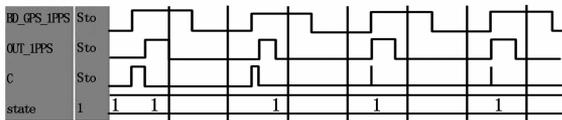
检测结果。

3 实验结果与分析

实验中, 首先对系统的调相功能进行仿真, 图 4 为时钟存在相位差时的校正过程, 其中, BD_GPS_1PPS 为标准时钟信号, OUT_1PPS 为调整后的输出时钟, C 为相差检测信号, 存在相差时 C 输出高电平, state 为当前状态机的状态。



(a) 时钟超前校正



(b) 时钟滞后校正

图 4 时钟校正过程

由图 4 (a) 可知, 当系统存在超前相位差时, 对输出进行超前调整, 在经过两个调整周期后, 输出时钟的上升沿即可与标准时钟信号对齐, 实现同相输出。

由图 4 (b) 可知, 系统存在滞后相位差时, 对输出进行滞后调整, 经过两个时钟周期后, 输出时钟上升沿可与标准时钟信号同相位, 实现滞后校正。

在实际测量中, 经过调频和调相处理的输出信号与标准信号的相位比较如图 5 所示。



图 5 输出秒脉冲与 GPS 时标的相位比较

由图 5 可知, 经过调整后的输出与标准时钟之间的时间误差仅为 20 ns 左右, 即 FPGA 的一个工作周期, 精确度较高。

表 1 为实际校正过程输出频率和相位差的变化情况。

由表 1 数据可知, 该系统具有良好的校正性能, 能较快速

表 1 守时系统的校正过程

校正次数	频率(Hz)	相位差(ns)
1	1.010	$2 * 10^8$
2	0.990	1 200
3	1.000	40
4	1.000	20
5	1.000	20

的减小输出与标准信号的相位差, 最终达到与 GPS/北斗标准时钟信号完同步, 实现精确守时。

经过反复试验, 当 GPS/北斗时钟失锁后, 系统输出信号的长时间时间误差不大于 $0.65 \mu\text{s}/\text{min}$, 符合守时系统不大于 $0.92 \mu\text{s}/\text{min}$ 的精度标准。

4 结论

利用 FPGA 和有限状态机的守时系统能够实现对本地时钟信号频率和相位的校正, 使其作为标准时间为系统提供精准的秒信号, 并能在 GPS/北斗信号失锁后保持长时间的稳定。系统设计中采用的高精度的恒温晶振能够提供稳定的频率输出, 有效保证系统的时间精度。同时, FPGA 的使用增强了系统的可靠性和抗干扰能力, 简化系统的构成的同时提高了精度, 降低系统运行和维护的成本, 有很好的实用价值。

参考文献:

[1] 郭 彬. 基于北斗/GPS 双模授时的电力系统时间同步技术研究 [D]. 长沙: 湖南大学, 2010.

[2] 王新军. 应用 GPS 系统的卫星授时装置研究 [D]. 济南: 山东大学, 2008.

[3] 邓金根, 周 彬, 王 健, 等. 1588 透传中晶振引入误差的一种改进方法 [J]. 计算机测量与控制, 2012, 20 (11): 3060 - 3062.

[4] 原玉磊, 夏天倚, 陈 渊. 基于单片机晶振的守时研究 [J]. 电子测量技术, 2011, 34 (11): 20 - 22.

[5] 李 展, 张 莹, 周 渭. 基于单片机和 GPS 信号的校频系统 [J]. 时间频率学报, 2005, 28 (1): 68 - 75.

[6] 周启民. 高精度守时电路设计及其在导航接收机的实现 [D]. 武汉: 武汉理工大学, 2008.

[7] 廖 瑛. 基于 GPS 技术与 FPGA 技术的时间统一系统研究与设计 [D]. 武汉: 武汉大学, 2005.

[8] 刘 进, 黄秋元, 沈 兵. 自主导航用户机高精度守时电路的设计 [J]. 电子器件, 2007, 30 (5): 1623.

[9] 郭 峰. 基于 FPGA 的作战系统时统设计 [J]. 电子技术, 2009, 10: 9 - 11.

[10] 陈贵军. 基于北斗和 GPS 授时系统的研制 [D]. 沈阳: 沈阳工业大学, 2011.

(上接第 1539 页)

[5] Andreolini M, Casolari S, Colajanni M. Dynamic load management of virtual machines in a cloud architecture [J]. Department of Information Engineering, 2010: 201 - 204.

[6] 王意洁, 孙伟东, 周 松, 等. 云计算环境下的分布存储关键技术 [J]. 2012, 23 (4): 962 - 986.

[7] 李 乔, 郑 喙. 云计算研究现状综述 [J]. 计算机科学, 2011, 38 (4): 32 - 37.

[8] 王永贵, 韩瑞莲. 基于改进蚁群算法的云环境任务调度研究 [J]. 计算机测量与控制, 2011, 19 (5): 1203 - 1211.

[9] Lee Y C, Zomaya A Y. Energy efficient utilization of resources in cloud computing systems [J]. The Journal of Super computing, 2010, (53): 1 - 13.

[10] 孙大为, 常桂然, 李风云, 等. 一种基于免疫克隆的偏好多维 QoS 云资源调度优化算法 [J]. 电子学报, 2011, 39 (8): 1824 - 1831.

[11] Tang Q, Gupta S K S, Varsamopoulos G. Energy efficient thermal aware task scheduling for homogeneous high-performance computing data centers: A cyber-physical approach [J]. IEEE Trans. Parallel Distrib. Syst., 2008, 19 (11): 1458 - 1472.